

ADP32F03XB 数字信号处理器

数据手册

编号: JXDZ3.590.021 SJSC

Advancechip



Electronics

湖南进芯电子科技有限公司

2023 年 12 月

V1.2

历史版本记录

版本号	时间	起草/ 修改人	内容描述	审核人	批准人
V1.0	2023-02-13	张 巍	首次发布		
V1.1	2023-09-15	吴 修 英	修改 6.4.2 流耗 图和勘误		
V1.2	2023-12-01	何 龙、刘 杨 吴 修 英	修改流耗图、第 6 章节电气规范		

目 次

1 产品特征	1
2 ADP32F03XB 简介	2
2.1 器件特性	2
2.2 产品编码	3
2.3 引脚分配	4
2.4 信号说明	8
3 功能概述	16
3.1 方框图	16
3.2 内存映射	17
3.3 简要说明	21
3.3.1 ADP32F03XB DSP	21
3.3.2 控制律加速器 (CLA)	21
3.3.3 内存总线 (哈佛总线架构)	21
3.3.4 外设总线	22
3.3.5 实时 JTAG 和分析	22
3.3.6 闪存	23
3.3.7 M0、M1 SARAM	23
3.3.8 L0 SARAM、L4 SARAM 和 L1、L2 以及 L3 DPSARAM	23
3.3.9 引导 ROM	24
3.3.9.1 仿真引导	24
3.3.9.2 GetMode	24
3.3.9.3 引导加载器使用的外设引脚	25
3.3.10 安全性	26
3.3.11 外设中断扩展 (PIE) 块	27
3.3.12 外部中断 (XINT1-XINT3)	27
3.3.13 内部零引脚振荡器、振荡器和 PLL	27
3.3.14 看门狗	27
3.3.15 外设时钟	28
3.3.16 低功耗模式	28
3.3.17 外设帧 0, 1, 2, 3 (PFn)	28
3.3.18 通用输入/输出(GPIO) 复用器	29
3.3.19 32 位 CPU 定时器 (0, 1, 2)	29
3.3.20 控制外设	30
3.3.21 串行端口外设	31
3.4 寄存器映射	32
3.5 器件仿真寄存器	33
3.6 中断	34
3.6.1 外部中断	37

3.7 LDO/VREG/BOR/POR	37
3.7.1 片载电压稳压器 (VREG)	38
3.7.1.1 使用片载 VREG	38
3.7.1.2 禁用片载 VREG	38
3.7.2 片载低压差线性稳压器 (LDO)	38
3.7.3 片载上电复位 (POR) 和欠压复位(BOR) 电路	39
3.8 系统控制	41
3.8.1 内部零引脚振荡器	44
3.8.2 晶体振荡器选项	44
3.8.3 基于 PLL 的时钟模块	45
3.8.4 输入时钟丢失 (NMI 看门狗功能)	47
3.8.5 CPU 看门狗	48
3.9 低功耗模式	50
4 外设	51
4.1 控制律加速器 (CLA) 概述	51
4.2 模拟模块	55
4.2.1 ADC 特性	55
4.2.2 ADC MUX	60
4.2.3 比较器模块	61
4.3 同步串行通信接口 (SPI) 模块	62
4.4 异步串行通信接口 (SCI) 模块	66
4.5 本地互连网络 (LIN)	69
4.6 增强型控制器局域网络 (ECAN) 模块	72
4.7 内部集成电路 (I2C)	76
4.8 增强型 PWM 模块 (EPWM1/2/3/4/5/6/7)	77
4.9 高分辨率 PWM (HRPWM)	83
4.10 增强型捕获模块 (ECAP1)	84
4.11 高性能捕获 (HRCAP) 模块	86
4.12 增强型正交编码器脉冲 (EQEP)	88
4.13 JTAG 端口	90
4.14 GPIO MUX	91
5 开发支持	96
6 电气规范	97
6.1 最大绝对额定值 ⁽¹⁾⁽²⁾	97
6.2 建议的运行条件	97
6.3 电气特性 ⁽¹⁾	98
6.4 流耗	99
6.4.1 减少流耗	100
6.4.2 流耗图 (VREG 启用)	101

6.4.3 功耗图 (VREG 禁用)	102
6.5 散热设计考虑	103
6.6 针对 MCU 的无信号缓冲的仿真器连接	104
6.7 时序参数符号	105
6.7.1 时序参数的通用注释	105
6.7.2 测试负载电路	105
6.7.3 器件时钟表	106
6.8 时钟要求和特性	106
6.9 电源时序	108
6.10 通用输入/输出 (GPIO)	111
6.10.1 GPIO - 输出时序	111
6.10.2 GPIO - 输入时序	111
6.10.3 输入信号的采样窗口宽度	113
6.10.4 低功耗唤醒时序	114
6.11 增强型控制外设	118
6.11.1 增强型脉宽调制器 (ePWM) 时序	118
6.11.2 可编程控制故障区输入时序	118
6.11.3 高分辨率 PWM (HRPWM) 时序	119
6.11.4 增强型捕获 (eCAP) 时序	119
6.11.5 高性能捕获 (HRCAP) 时序	120
6.11.6 增强型正交编码脉冲 (eQEP) 时序	120
6.11.7 ADC 转换启动时序	121
6.11.8 外部中断时序	121
6.11.9 I2C 电气特性和时序	122
6.11.10 同步串行通信接口 (SPI) 主模式时序	123
6.11.11 SPI 从模式时序	127
6.11.12 片载比较器 / DAC 电气数据和时序	130
6.11.13 片载模数转换器	131
6.11.13.1 内部温度传感器	132
6.11.13.2 ADC 上电控制位时序	132
6.11.13.3 ADC 顺序和同步采样模式时序	134
6.12 详细说明	138
6.13 闪存时序	139
7 热性能/机械数据	141

1 产品特征

• 主要特征

- 高效 32 位中央处理单元(CPU)
(ADP32Fx 内核)
- 主频 100MHz (周期 10ns)
- 3.3V 单电源供电
- 集成上电和欠压复位源
- 片载闪存、SARAM、OTP 内存
- 代码安全模块
- 串行通信外设 (SCI/SPI/I2C/LIN/eCAN)
- 增强型控制外设
 - 增强型脉宽调制器(ePWM)
 - 高分辨率 PWM (HRPWM)
 - 增强型捕获器 (eCAP)
 - 高分辨率输入捕获器(HRCAP)
 - 增强型正交编码器脉冲 (eQEP)
 - 模数转换器 (ADC)
 - 片载温度传感器
 - 比较器

• 高效 32 位中央处理单元(CPU) (ADP32Fx)

- 100MHz (10ns 周期时间)
- 16 x 16 和 32 x 32 乘累加(MAC) 运算
- 16 x 16 双 MAC
- 哈佛 (Harvard) 总线架构
- 连动运算
- 快速中断响应和处理
- 统一存储器编程模型
- 高效代码 (使用 C/C++ 和汇编语言)

• 可编程控制律加速器(CLA)

- 32 位浮点算术加速器
- 独立于主 CPU 之外的代码执行

• 强大的静电泄放(ESD)防护能力

- ESD 人体模式(HBM): $\pm 2000V$

• 低成本

- 无需电源排序
- 集成型上电复位和欠压复位
- 低功耗
- 无模拟支持引脚

• 时钟和系统控制

- 两个内部零引脚振荡器
- 片载振荡器/外部时钟输入
- 支持动态锁相环路 (PLL) 比率变化
- 丢失时钟检测电路

• 多达 45 个具有输入滤波功能、可单独编程的多路复用 GPIO

• 可支持所有外设中断的外设中断扩展 (PIE) 模块

• 三个 32 位 CPU 定时器

• 每个 ePWM 模块中包含独立的 16 位定时器

• 片载存储器

- 闪存、SRAM、OTP、引导 ROM 可用

• 128 位安全密钥/锁

- 保护安全内存块
- 防止硬件逆向工程

• 串行端口外设

- 一个 SCI(UART) 模块
- 两个 SPI 模块
- 一个内部集成电路(I2C)总线
- 一个本地互连网络(LIN)总线
- 一个增强型控制器局域网络(eCAN)总线

• 高级仿真特性

- 分析和断点功能

• 封装选项:

- 56 引脚超小四方扁平无引脚 (VQFN) 封装
- 64 引脚薄型四方扁平 (LQFP) 封装
- 80 引脚薄型四方扁平 (LQFP) 封装
- 48 引脚薄型四方扁平 (LQFP) 封装

2 ADP32F03XB 简介

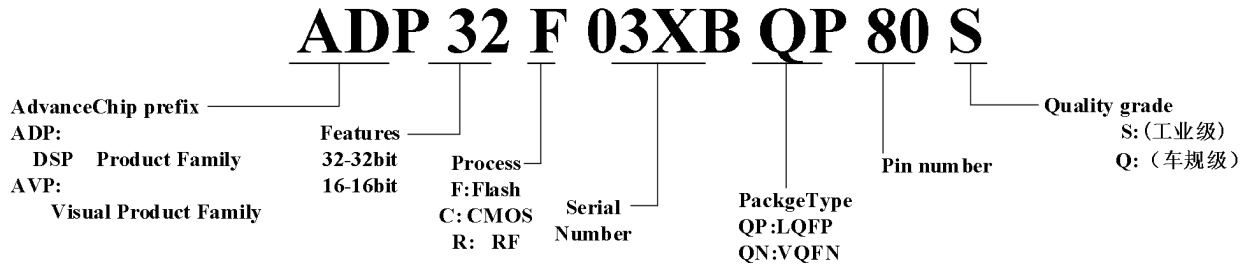
2.1 器件特性

表 2-1 ADP32F03XB 器件的特性

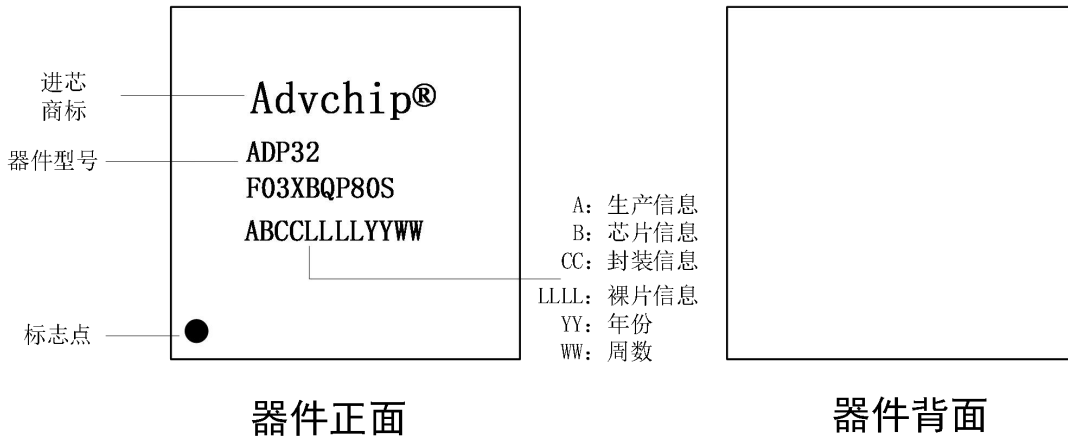
功能		ADP32F034B (100MHz)				ADP32F035B (100MHz)		
封装类型		48 引脚 QP LQFP	56 引脚 QN VQFN	64 引脚 QP LQFP	80 引脚 QP LQFP	56 引脚 QN VQFN	64 引脚 QP LQFP	80 引脚 QP LQFP
指令周期		10ns	10ns			10ns		
控制律加速器(CLA)		不支持	不支持			支持		
片载闪存 (16 位字)		64K	64K			64K		
片载 SARAM (16 位字)		18K	18K			18K		
片载闪存 / SARAM/OTP 块的代码安全		支持	支持			支持		
引导 ROM (8K X 16)		支持	支持			支持		
一次性可编程 (OTP) ROM (16 位字)		1K	1K			1K		
ePWM 输出		8	8	12	14	8	12	14
eCAP 输入		1	1			1		
eQEP 模块		1	1			1		
看门狗定时器		支持	支持			支持		
12 位 ADC (60MHzADC 主频)	每秒百万次采样 (MSPS)	4.28	4.28			4.28		
	转换时间	233ns	233ns			233ns		
	通道	11	13	14	16	13	14	16
	温度传感器	支持	支持			支持		
	双采样保持	支持	支持			支持		
32 位 CPU 定时器		3	3			3		
高分辨率 ePWM 通道		4	4	6	7	4	6	7
高性能捕获 (HRCAP) 模块		-	-	2	2	-	2	2
带有集成数模转换器 (DAC) 的比较器		3	3			3		
内部集成电路 (I2C)		1	1			1		
增强型控制器局域网络 (eCAN)		1	1			1		
本地互连网络 (LIN)		1	1			1		
串行外设接口 (SPI)		1	1	1	2	1	1	2
串行通信接口 (SCI)		1	1			1		
I/O 引脚 (共用)	GPIO	22	26	33	45	26	33	45
	AIO	6	6			6		
外部中断		3	3			3		
电源电压 (典型值)		3.3V	3.3V			3.3V		
温度选项	S: -40°C 至 125°C	支持	支持			支持		
	Q: -40°C 至 125°C (通过 AEC-Q100 认证)	支持	支持			支持		

2.2 产品编码

ADP32F03XB 产品代号编码规则：

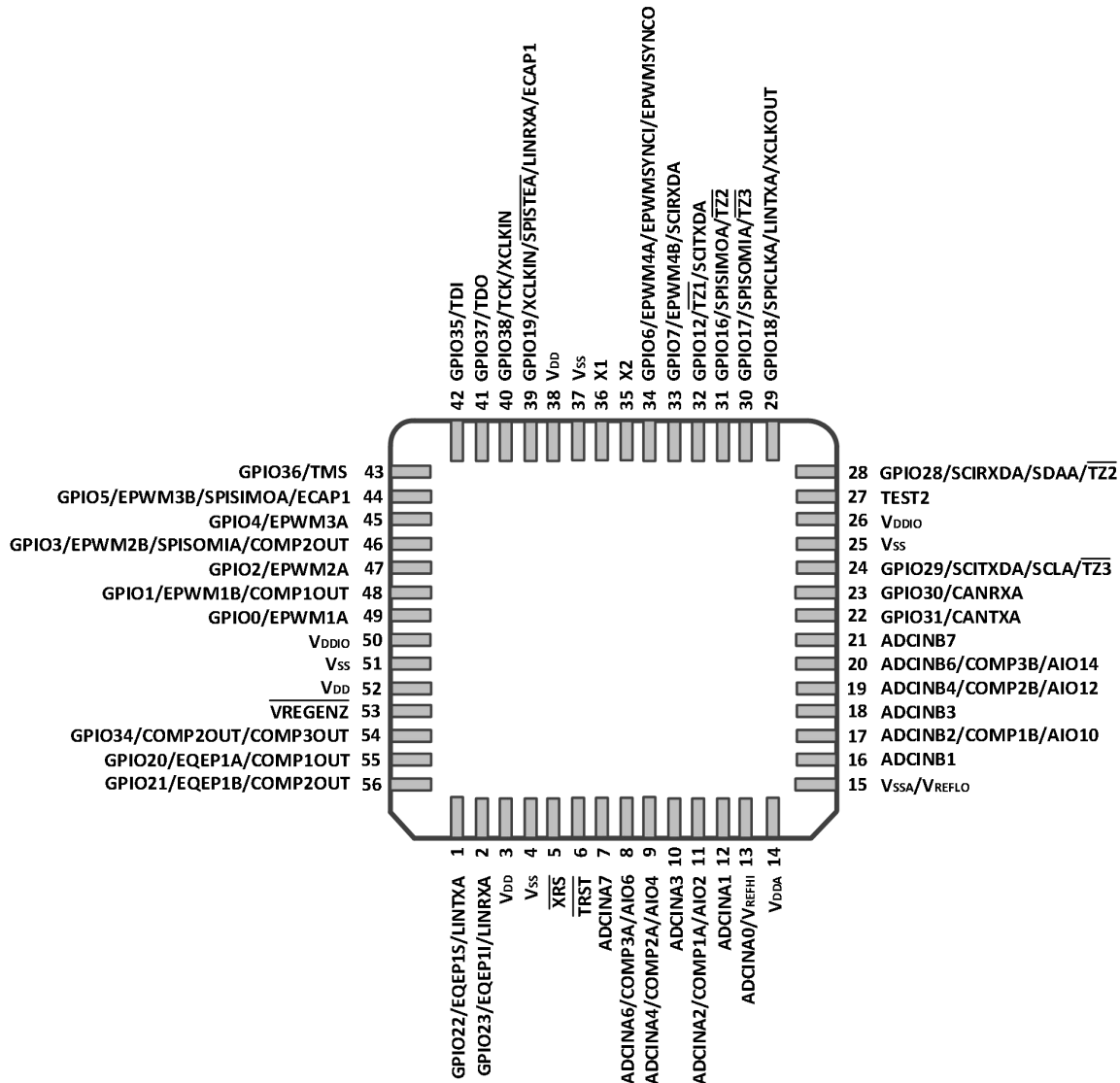


器件标识：



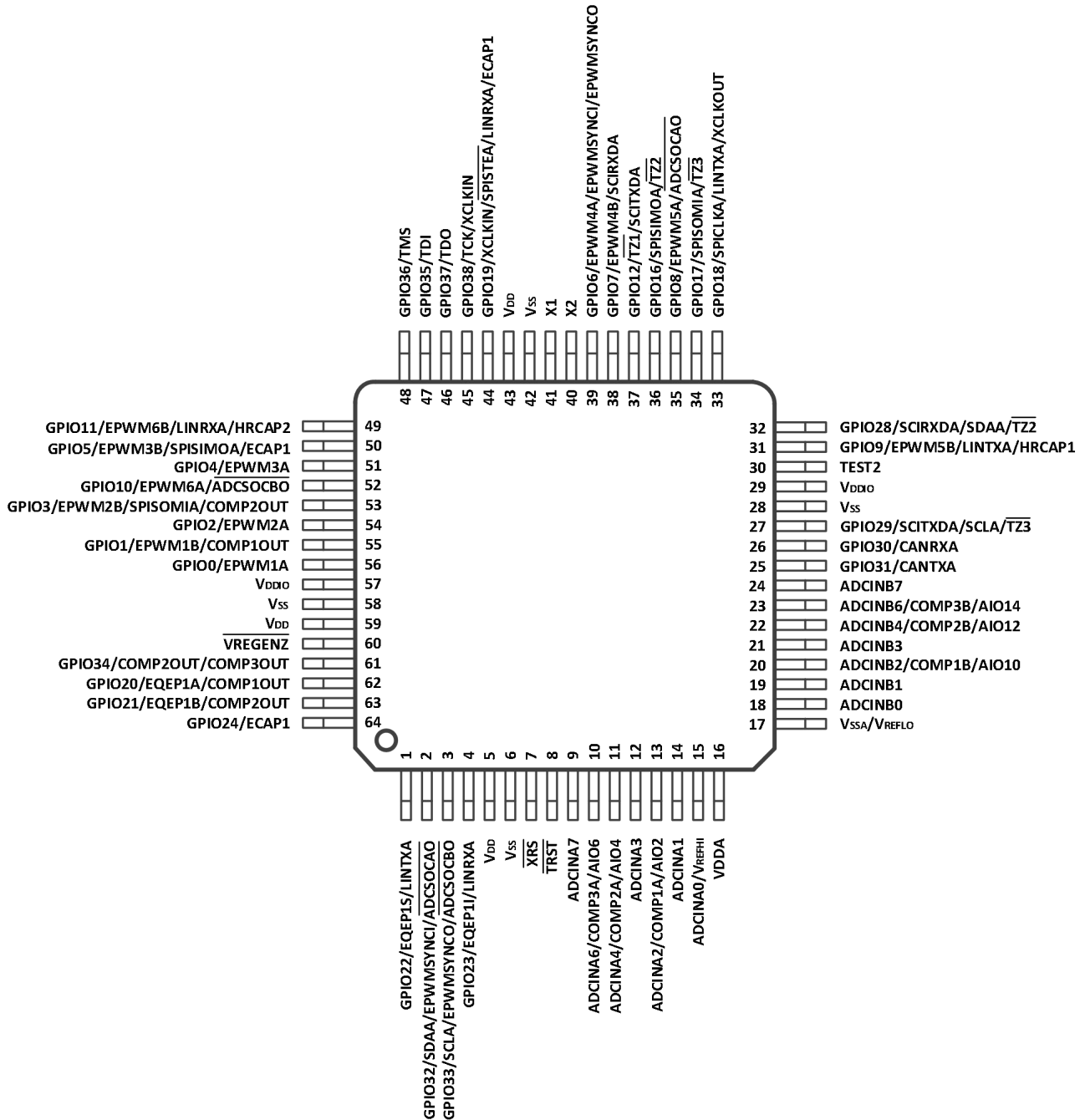
2.3 引脚分配

图 2-1 所示为 56 引脚 QN 小型四方扁平（无引线）封装（VQFN）引脚分配。图 2-2 所示为 64 引脚 QP 薄型四方扁平封装（LQFP）引脚分配。图 2-3 所示为 80 引脚 QP 薄型四方扁平封装（LQFP）引脚分配。图 2-4 所示为 48 引脚薄型四方扁平封装（LQFP）引脚分配。



- 上图为 56 引脚 QN 封装的顶视图。阴影表示端子实际位于封装的底部。关于 56 引脚 QN 机械数据图，请参阅第 7 章“热/机械数据”。
- 引脚 13: V_{REFHI} 和 ADCINA0 共用 56 引脚 QN 器件上的同一引脚，且它们不可同时使用。
- 引脚 15: V_{REFLO} 始终连接至 56 引脚 QN 器件上的 V_{SSA} 。

图 2-1 ADP32F03XB 56 引脚 QN (VQFN 顶视图)



- A. 引脚 15: VREFHI 和 ADCINA0 共用 64 引脚 QP 器件上的同一引脚，且它们不可同时使用。
B. 引脚 17: VREFLO 始终连接至 64 引脚 QP 器件上的 VSSA。

图 2-2 ADP32F03XB 64 引脚 QP (LQFP 顶视图)

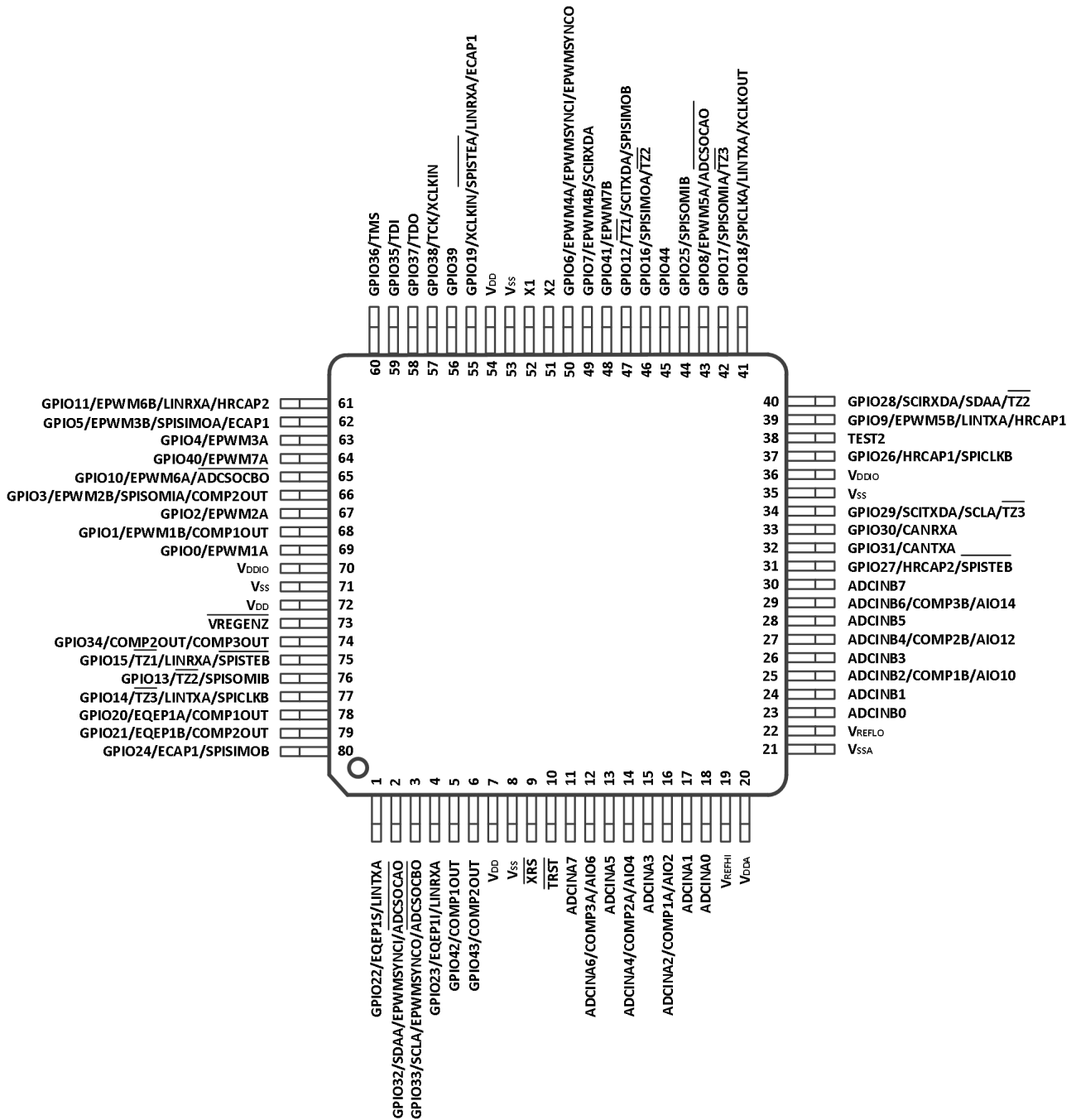


图 2-3 ADP32F03XB 80 引脚 QP (LQFP 顶视图)

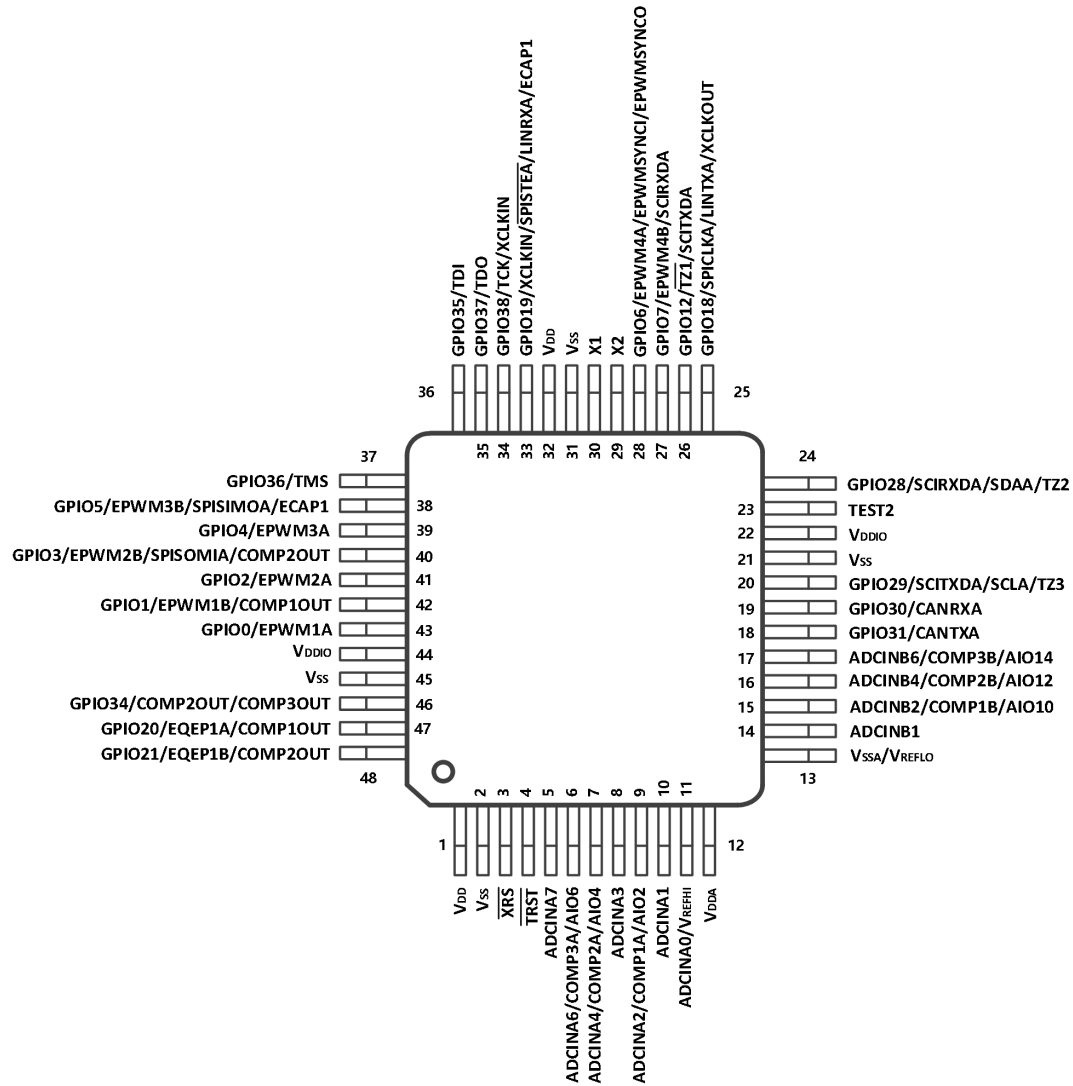


图 2-4 ADP32F034 QFP48 引脚 QP (LQFP 顶视图)

2.4 信号说明

[表 2-2](#) 对这些信号进行了说明。除 JTAG 引脚以外，引脚的 GPIO 功能是复位时的默认功能，除非另外注明。下面列出的外设信号是供替换的功能，有些外设功能并不在所有器件上提供，详细信息请参阅[表 2-1](#)。输入非 5V 耐压，所有 GPIO 引脚为 I/O/Z 且有一个内部上拉电阻器，可在每个引脚上有选择性地启用/禁用此内部上拉电阻器。这一特性只适用于 GPIO 引脚，PWM 引脚上的上拉电阻在复位时并不启用。复位时启用其它 GPIO 引脚上的上拉电阻，AIO 引脚没有内部上拉电阻。

备注

当使用片载 VREG 时，GPIO19、GPIO34、GPIO35、GPIO36、GPIO37 和 GPIO38 引脚在上电期间会有毛刺脉冲。如果这一情况在应用中无法接受的话，可由 1.8V 外部电源供电。当使用一个外部 1.8V 电源时，无需电源时序。然而，如果 I/O 引脚的电平移动输出缓冲器中的 3.3V 晶体管在 1.9V 晶体管之前上电，输出缓冲器有可能打开，这会在上电期间导致引脚上的毛刺脉冲。为了避免这一运行状态，给 V_{DD} 引脚上电应早于对 V_{DDIO} 引脚供电，或者与之同时，以确保 V_{DD} 引脚在 V_{DDIO} 引脚达到 0.7V 之前达到 0.7V。

表 2-2 信号说明⁽¹⁾

名称		引脚编号				I/O/Z	说明
		QP80 引脚 #	QP64 引脚 #	QN56 引脚 #	QP48 引脚 #		
		JTAG信号					
TRST		10	8	6	4	I	使用内部下拉进行JTAG测试复位。当被驱动为高电平时，TRST 使扫描系统获得器件运行的控制权。如果该信号未连接或被驱动至低电平，则器件将在正常功能模式下运行，并将忽略测试复位信号。 请注意： 不要在 TRST 上使用上拉电阻器；它有一个内部下拉器件。TRST是一个高电平有效测试引脚，且必须在器件正常运行期间一直保持低电平。在低噪声环境中，TRST可保持悬空。在其它情况下，强烈建议使用一个外部下拉电阻器。这个电阻器的值应该基于适用于这个设计的调试器推进源代码的驱动强度。通常一个2.2kΩ电阻器可提供足够的保护，由于这是应用专用的，建议针对调试器和应用的正确运行对每个目标板进行验证。
TCK		请参阅 GPIO38				I	请参阅 GPIO38。带有内部上拉电阻器的 JTAG 测试时钟。
TMS		请参阅 GPIO36				I	请参阅 GPIO36。带有内部上拉电阻的JTAG测试模式选择(TMS)。这个串行控制输入在TCK上升沿锁存到TAP控制器中。
TDI		请参阅 GPIO35				I	请参阅 GPIO35。带有内部上拉电阻的JTAG测试数据输入(TDI)。TDI在TCK上升沿锁存到寄存器（指令或者数据）。
TDO		请参阅 GPIO37				O/Z	请参阅 GPIO37。JTAG 扫描输出，测试数据输出 (TDO)。所选寄存器（指令或者数据）的内容在TCK的下降沿上从 TDO 移出。（8mA 驱动）
		闪存信号					
TEST2		38	30	27	23	I/O	测试引脚、数字内核1.5V电压引脚。使用时必须悬空或外挂滤波电容。

(1) I = 输入，O = 输出，Z = 高阻抗，OD = 开漏

表 2-2 信号说明⁽¹⁾ (续)

名称		引脚编号				I/O/Z	说明
		QP80 引脚 #	QP64 引脚 #	QN56 引脚 #	QP48 引脚 #		
		时钟信号					
XCLKOUT		请参阅 GPIO18		-	请参阅 GPIO18	O/Z	请参阅 GPIO18。取自 SYSCLKOUT 的输出时钟。XCLKOUT 可以与SYSCLKOUT 的频率一样、也可为其 1/2 或 1/4。这由 XCLK 寄存器内的引脚 1:0 (XCLKOUTDIV) 控制。复位时，XCLKOUT=SYSCLKOUT/4。通过将 XCLKOUTDIV 设定为 3，可关闭XCLKOUT 信号。为使SYSCLKOUT 信号传输到此引脚，GPIO18 的复用控制必须被设定为 XCLKOUT。
XCLKIN		请参阅 GPIO19 和 GPIO38				I	请参阅 GPIP19 和 GPIO38。外部振荡器输入，时钟源由 XCLK 寄存器内的 XCLKINSEL 位控制，GPIO38 为默认选择。此引脚馈送来自外部 3.3V振荡器的时钟，在这种情况下，X1 引脚必须连接至 GND，而且必须通过 CLKCTL 寄存器的XTALOSCOFF位将片载晶体振荡器禁用。如果使用晶振/谐振器，则必须通过 CLKCTL 寄存器的XCLKINOFF位将 XCLKIN禁用。
X1		52	41	36	30	I	片载晶体振荡器输入。若要使用此振荡器，X1 和 X2两端必须连接一个石英晶振或一个陶瓷电容。在这种情况下，必须通过 CLKCTL 寄存器的XCLKINOFF位将 XCLKIN禁用。如果该引脚未使用，则必须将其连接至 GND。
X2		51	40	35	29	O	片载晶体振荡器输出。X1和X2两端必须连接一个石英晶振或一个陶瓷电容。如果X2未使用，必须使其保持未连接状态。
		复位信号					
$\overline{\text{XRS}}$		9	7	5	3	I/O	器件复位（输入）和看门狗复位（输出）。内置上电复位 (POR) 和欠压复位 (BOR) 电路。无需外部电路即可产生一个复位脉冲。在上电或欠压情况下，此引脚由器件驱动为低电平。POR/BOR 块的阈值，请参阅第6.3节“电气特性”。当发生看门狗复位时，此引脚也由DSP驱动为低电平。看门狗复位期间，在 512 个 OSCCLK 周期的看门狗复位持续时间内，此引脚被驱动为低电平。如有需要，一个外部电路也可驱动此引脚使器件复位生效。建议由一个开漏器件驱动此引脚。由于抗扰度原因，此引脚必须连接一个 R-C电路。器件复位会导致器件终止执行。程序计数器指向位置 03xFFFC0 包含的地址。当复位失效时，从程序计数器指定的位置开始执行。此引脚的输出缓冲器是一个具有内部上拉电阻器的开漏器件。
		模数转换器 (ADC)，比较器 (COMPARATOR)，模拟 (ANALOG) I/O信号					
ADCINA7		11	9	7	5	I	ADC A组，通道 7 输入
ADCINA6 COMP3A AIO6		12	10	8	6	I I I/O	ADC A组，通道 6 输入 比较器输入 3A 数字 AIO 6
ADCINA5		13	-	-	-	I	ADC A组，通道 5 输入
ADCINA4 COMP2A AIO4		14	11	9	7	I I I/O	ADC A组，通道 4 输入 比较器输入 2A 数字 AIO 4
ADCINA3		15	12	10	8	I	ADC A组，通道 3 输入
ADCINA2 COMP1A AIO2		16	13	11	9	I I I/O	ADC A组，通道 2 输入 比较器输入 1A 数字 AIO 2
ADCINA1		17	14	12	10	I	ADC A组，通道 1 输入
ADCINA0		18	15	13	11	I	ADC A组，通道 0 输入 请注意：VREFHI和 ADCINA0 在 64 引脚 QP 器件上共用同一个引脚，且它们不能同时使用。 请注意：VREFHI和 ADCINA0 在 56 引脚 QN 器件上共用同一个引脚，且它们不能同时使用。

表 2-2 信号说明⁽¹⁾ (续)

名称	引脚编号				I/O/Z	说明
	QP80 引脚 #	QP64 引脚 #	QN56 引脚 #	QP48 引脚 #		
VREFHI	19	15	13	11	I	ADC 外部基准-仅在 ADC 外部基准模式下使用。请参阅第4.2.1节 “ADC” 。 请注意：VREFHI和 ADCINA0 在 64 引脚 QP 器件上共用同一个引脚，并且它们不能同时使用。 请注意：VREFHI和 ADCINA0 在 56 引脚 QN 器件上共用同一个引脚，并且它们不能同时使用。
ADCINB7	30	24	21	-	I	ADC B组，通道 7 输入
ADCINB6 COMP3B AIO14	29	23	20	17	I I I/O	ADC B组，通道 6 输入 比较器输入 3B 数字 AIO 14
ADCINB5	28	-	-	-	I	ADC B组，通道 5 输入
ADCINB4 COMP2B AIO12	27	22	19	16	I I I/O	ADC B组，通道 4 输入 比较器输入 2B 数字 AIO 12
ADCINB3	26	21	18	-	I	ADC B组，通道 3 输入
ADCINB2 COMP1B AIO10	25	20	17	15	I I I/O	ADC B组，通道 2 输入 比较器输入 1B 数字 AIO 10
ADCINB1	24	19	16	14	I	ADC B组，通道 1 输入
ADCINB0	23	18	-	-	I	ADC B组，通道 0 输入
VREFLO	22	17	15	13	I	注：VREFLO被连接至 64 引脚 QP 器件和 56 引脚 QN 器件上的 VSSA上。
电源信号						
VDDA	20	16	14	12		模拟电源引脚。在此引脚附近连接一个 2.2μF 电容（典型值）。
VSSA	21	17	15	13		模拟接地引脚。 注：VREFLO被连接至 64 引脚 QP 器件和 56 引脚 QN 器件上的 VSSA上。
VDD	7	5	3	1		数字电源引脚-当使用内部 VREG 时，无需电源。当使用内部 VREG时，将1.2μF（最小值）陶瓷电容接地，可使用更大值的电容，但会影响电源轨斜坡上升时间。
VDD	54	43	38	32		
VDD	72	59	52	-		
VDDIO	36	29	26	22		数字 I/O 和闪存电源引脚-当启用VREG时，为单电源。
VDDIO	70	57	50	44		数字接地引脚
VSS	8	6	4	2		
VSS	35	28	25	21		
VSS	53	42	37	31		
VSS	71	58	51	45		
电压稳压器控制信号						
VREGENZ	73	60	53	-	I	内部 VREG 启用/禁用 - 拉至低电平启用 VREG，上拉至高电平禁用 VREG。

表 2-2 信号说明⁽¹⁾ (续)

名称		引脚编号				I/O/Z	说明
		QP80 引脚 #	QP64 引脚 #	QN56 引脚 #	QP48 引脚 #		
		GPIO 和外设信号 ⁽¹⁾					
GPIO0 EPWM1A - -		69	56	49	43	I/O/Z O - -	通用输入/输出 0 增强型 PWM1 输出 A 和高分辨率脉宽调制 (HRPWM) 通道 - -
GPIO1 EPWM1B - COMP1OUT		68	55	48	42	I/O/Z O O	通用输入/输出 1 增强型 PWM1 输出 B - 比较器 1 的直接输出
GPIO2 EPWM2A - -		67	54	47	41	I/O/Z O	通用输入/输出 2 增强型 PWM2 输出 A 和 HRPWM 通道 - -
GPIO3 EPWM2B SPISOMIA COMP2OUT		66	53	46	40	I/O/Z O I/O O	通用输入/输出 3 增强型 PWM2 输出 B SPI-A 从器件输出, 主器件输入 比较器 2 的直接输出
GPIO4 EPWM3A - -		63	51	45	39	I/O/Z O	通用输入/输出 4 增强型 PWM3 输出 A 和 HRPWM 通道 - -
GPIO5 EPWM3B SPISIMOA ECAP1		62	50	44	38	I/O/Z O I/O I/O	通用输入/输出 5 增强型 PWM3 输出 B SPI-A 从器件输入, 主器件输出 增强型捕获输入/输出 1
GPIO6 EPWM4A EPWMSYNCI EPWMSYNCO		50	39	34	28	I/O/Z O I O	通用输入/输出 6 增强型 PWM4 输出 A 和 HRPWM 通道 外部 ePWM 同步脉冲输入 外部 ePWM 同步脉冲输出
GPIO7 EPWM4B SCIRXDA -		49	38	33	27	I/O/Z O I	通用输入/输出 7 增强型 PWM4 输出 B SCI-A 接收数据 -
GPIO8 EPWM5A - ADCSOCAO		43	35	-	-	I/O/Z O O	通用输入/输出 8 增强型 PWM5 输出 A 和 HRPWM 通道 - ADC 转换启动 A

表 2-2 信号说明⁽¹⁾(续)

名称	引脚编号				I/O/Z	说明
	QP80 引脚 #	QP64 引脚 #	QN56 引脚 #	QP48 引脚 #		
GPIO9 EPWM5B LINTXA HRCAP1	39	31	-	-	I/O/Z O O I	通用输入/输出 9 增强型 PWM5 输出 B LIN 发送 A 高分辨率输入捕获 1
GPIO10 EPWM6A - ADCSOCBO	65	52	-	-	I/O/Z O O	通用输入/输出 10 增强型 PWM6 输出 A 和 HRPWM 通道 - ADC 转换开始 B
GPIO11 EPWM6B LINRXA HRCAP2	61	49	-	-	I/O/Z O I I	通用输入/输出 11 增强型 PWM6 输出 B LIN 接收 A 高分辨率输入捕获 2
GPIO12 TZ1 SCITXDA SPISIMOB	47	37	32	26	I/O/Z O O I/O	通用输入/输出 12 触发区输入 1 SCI-A 发送数据 SPI-B 从器件输入，主器件输出。 注：SPI-B 只在 QP 封装内可用。
GPIO13 TZ2 SPISOMIB -	76	-	-	-	I/O/Z I I/O	通用输入/输出 13 触发区输入 2 SPI-B 从器件输出，主器件输入 -
GPIO14 TZ3 LINTXA SPICLKB	77	-	-	-	I/O/Z I O I/O	通用输入/输出 14 触发区输入 3 LIN 发送 SPI-B 时钟输入/输出
GPIO15 TZ1 LINRXA SPISTEB	75	-	-	-	I/O/Z I I I/O	通用输入/输出 15 触发区输入 1 LIN 接收 SPI-B 从器件发送使能输入/输出
GPIO16 SPISIMOA - TZ2	46	36	31	-	I/O/Z I/O I	通用输入/输出 16 SPI-A 从器件输入，主器件输出 - 触发区输入 2
GPIO17 SPISOMIA - TZ3	42	34	30	-	I/O/Z I/O I	通用输入/输出 17 SPI-A 从器件输出，主器件输入 - 触发区输入 3

表 2-2 信号说明⁽¹⁾(续)

名称	引脚编号				I/O/Z	说明
	QP80 引脚 #	QP64 引脚 #	QN56 引脚 #	QP48 引脚 #		
<i>GPIO18</i> SPICLKA LINTXA XCLKOUT	41	33	29	25	I/O/Z O O O/Z	通用输入/输出18 SPI-A 时钟输入/输出 LIN 发送 取自 SYSCLKOUT 的输出时钟。XCLKOUT 可与 SYSCLKOUT 的频率一样、也可为其1/2或者1/4。这由 XCLK 寄存器内的引脚 1:0(XCLKOUTDIV) 控制。复位时, XCLKOUT=SYSCLKOUT/4。通过将XCLKOUTDIV 设定为 3, XCLKOUT信号可被关闭。为了使这个信号传输到此引脚, GPIO18的复用控制必须被设定为 XCLKOUT。
<i>GPIO19</i> XCLKIN SPISTEA LINRXA ECAP1	55	44	39	33	I/O/Z I/O I I/O	通用输入/输出 19 外部振荡器输入。从这个引脚到时钟块的路径不是由这个引脚的复用功能选通。如果这个引脚被用于其它外设功能, 应该注意不要启用这个路径用于计时。 SPI-A 从器件发送使能输入/输出 LIN 接收 增强型捕获输入/输出 1
<i>GPIO20</i> EQEP1A - COMP1OUT	78	62	55	47	I/O/Z I O	通用输入/输出 20 增强型 QEPI 输入 A - 比较器 1 的直接输出
<i>GPIO21</i> EQEP1B - COMP2OUT	79	63	56	48	I/O/Z I O	通用输入/输出 21 增强型 QEPI 输入 B - 比较器 2 的直接输出
<i>GPIO22</i> EQEP1S - LINTXA	1	1	1	-	I/O/Z I/O O	通用输入/输出 22 增强型 QEPI 选通脉冲 - LIN 发送
<i>GPIO23</i> EQEP1I - LINRXA	4	4	2	-	I/O/Z I/O I	通用输入/输出 23 增强型 QEPI 索引 - LIN 接收
<i>GPIO24</i> ECAP1 SPISIMOB -	80	64	- 请参阅 GPIO5和 GPIO19	-	I/O/Z I/O I/O	通用输入/输出 24 增强型捕获输入/输出 1 SPI-B 从器件输入, 主器件输出。注: SPI-B 只在 QP 和 QN封装内可用。 -
<i>GPIO25</i> - SPISOMIB -	44	-	-	-	I/O/Z I/O	通用输入/输出 25 - SPI-B 从器件输出, 主器件输入 -

表 2-2 信号说明⁽¹⁾(续)

名称	引脚编号				I/O/Z	说明
	QP80 引脚 #	QP64 引脚 #	QN56 引脚 #	QP48 引脚 #		
GPIO26 HRCAP1 SPICLKB -	37	-	-	-	I/O/Z I I/O	通用输入/输出 26 高分辨率输入捕获 1 SPI-B 时钟输入/输出 -
GPIO27 HRCAP2 SPISTEB -	31	-	-	-	I/O/Z I I/O	通用输入/输出 27 高分辨率输入捕获 2 SPI-B 从器件发送使能输入/输出 -
GPIO28 SCIRXDA SDAA T2Z	40	32	28	24	I/O/Z I I/OD I	通用输入/输出 28 SCI 接收数据 I2C 数据开漏双向端口 触发区输入 2
GPIO29 SCITXDA SCLA T2Z	34	27	24	20	I/O/Z O I/OD I	通用输入/输出 29 SCI 发送数据 I2C 时钟开漏双向端口 触发区输入 3
GPIO30 CANRXA - -	33	26	23	19	I/O/Z I	通用输入/输出 30 控制器局域网 (CAN) 接收 - -
GPIO31 CANTXA - -	32	25	22	18	I/O/Z O	通用输入/输出 31 CAN 发送 - -
GPIO32 SDAA EPWMSYNCI ADCSOCAO	2	2	-	-	I/O/Z I/OD I O	通用输入/输出 32 I2C 数据开漏双向端口 增强型 PWM 外部同步脉冲输入 ADC 转换开始 A
GPIO33 SCLA EPWMSYNCO ADCSOCBO	3	3	-	-	I/O/Z I/OD O O	通用输入/输出 33 I2C 时钟开漏双向端口 增强型 PWM 外部同步脉冲输入 ADC 转换开始 B
GPIO34 COMP2OUT COMP3OUT -	74	61	54	46	I/O/Z O O	通用输入/输出 34 比较器 2 的直接输出 比较器 3 的直接输出 -
GPIO35 TDI	59	47	42	36	I/O/Z I	通用输入/输出 35 带有内部上拉电阻器的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 的上升沿上所选择的寄存器 (指令或者数据) 内计时。
GPIO36 TMS	60	48	43	37	I/O/Z I	通用输入/输出 36 带有内部上拉电阻器的 JTAG 测试模式选择 (TMS)。这个串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。

表 2-2 信号说明⁽¹⁾ (续)

名称	引脚编号				I/O/Z	说明
	QP80 引脚 #	QP64 引脚 #	QN56 引脚 #	QP48 引脚 #		
<i>GPIO37</i> TDO	58	46	41	35	I/O/Z O/Z	通用输入/输出 37 JTAG 扫描输出, 测试数据输出 (TDO)。所选寄存器 (指令或者数据) 的内容被从 TCK 下降沿的 TDO 移出 (8mA 驱动)。
<i>GPIO38</i> TCK XCLKIN -	57	45	40	34	I/O/Z I I -	通用输入/输出 38 带有内部上拉电阻器的 JTAG 测试时钟 外部振荡器输入。从这个引脚到时钟块的路径不是由这个引脚的复用功能选通。如果这个被用于其它功能, 应该注意不要为计时启用这个路径。
<i>GPIO39</i> - - -	56	-	-	-	I/O/Z	通用输入/输出 39 - - -
<i>GPIO40</i> EPWM7A - -	64	-	-	-	I/O/Z O	通用输入/输出 40 增强型 PWM7 输出 A 和 HRPWM 通道 - -
<i>GPIO41</i> EPWM7B - -	48	-	-	-	I/O/Z O	通用输入/输出 41 增强型 PWM7 输出 B - -
<i>GPIO42</i> COMP1OUT - -	5	-	-	-	I/O/Z O	通用输入/输出 42 比较器 1 的直接输出 - -
<i>GPIO43</i> COMP2OUT - -	6	-	-	-	I/O/Z O	通用输入/输出 43 比较器 2 的直接输出 - -
<i>GPIO44</i> - - -	45	-	-	-	I/O/Z	通用输入/输出 44 - - -

(1) GPIO 功能 (用斜体显示) 在复位时为默认值。其下面列出的外设信号是备用功能。对于实现了 GPIO 功能多路复用的 JTAG 引脚, 到 GPIO 块的输入路径始终有效。根据 TRST 信号条件, 启用/禁用从 GPIO 模块输出的路径和从一个引脚到 JTAG 模块的路径。

3 功能概述

3.1 方框图

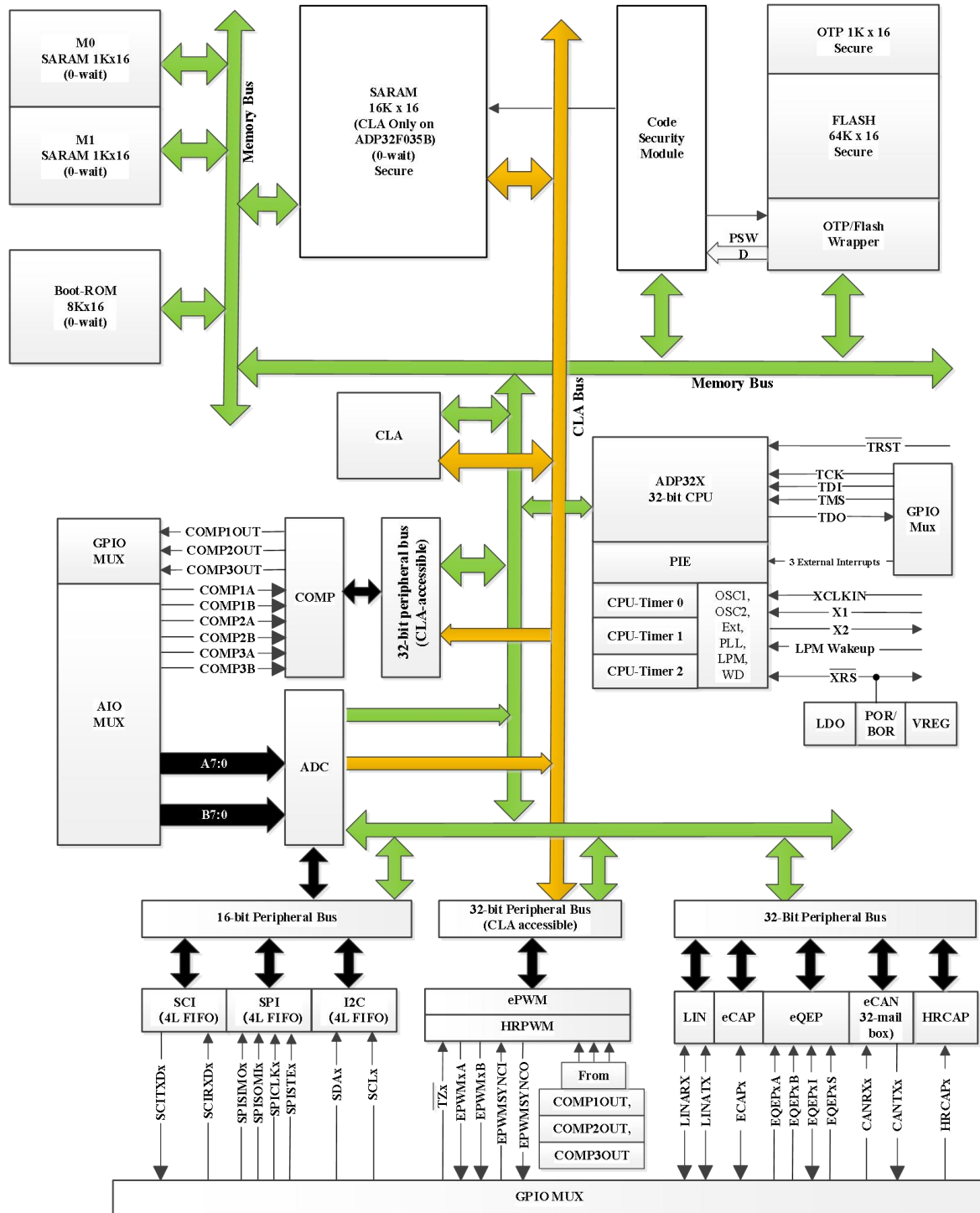


图 3-1 功能框图

3.2 内存映射

- 内存块不可拓展。
- 外设帧 0、外设帧 1、外设帧 2 和外设帧 3 内存映射只限于数据内存。用户程序不能访问这些处于程序空间内的内存映射。
- “受保护”意味着保存“写后读”操作的顺序，而非流水线顺序。
- 特定内存区域受 EALLOW 保护以防止配置之后的假写入。
- 位置 0x3D7C80-0x3D7CC0 包含内部振荡器和 ADC 校准例程。用户不能对这些内存空间进行编程。

	Data Space	Prog Space	
0x00 0000	M 0 Vector RAM (Enabled if VMAP = 0)		
0x00 0040	M0 SARAM (1K x 16, 0-Wait)		
0x00 0400	M1 SARAM (1K x 16, 0-Wait)		
0x00 0800	Peripheral Frame 0	Reserved	
0x00 0D00	PIE Vector – RAM (256 x 16) (Enabled if VMAP = 1, ENPIE = 1)		
0x00 0EB0	Peripheral Frame 0		
0x00 1400	CLA Registers		
0x00 1480	CLA-to-CPU Message RAM		
0x00 1500	CPU-to-CLA Message RAM		
0x00 1580	Peripheral Frame 0		
0x00 2000	Reserved		
0x00 6000	Peripheral Frame 1 (1K x 16, Protected)		Reserved
0x00 6400	Peripheral Frame 3 (1.5K x 16, Protected)		
0x00 6A00	Peripheral Frame 1 (1.5K x 16, Protected)		
0x00 7000	Peripheral Frame 2 (4K x 16, Protected)		
0x00 8000	L0 SARAM (2K x 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)		
0x00 8800	L1 DPSARAM (1K x 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 0)		
0x00 9C00	L2 DPSARAM (1K x 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 1)		
0x00 9000	L3 DPSARAM (4K x 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM)		
0x00 A000	L4 SARAM (8K x 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)		
0x00 C000	Reserved		
0x3D 7800	User OTP (1K x 16,Secure Zone + ECSL)		
0x3D 7C00	ONLYID		
0x3D 7C04	PARTID		
0x3D 7C80	Calibration Data		
0x3D 7CC0	Get_mode function		
0x3D 7CE0	Reserved		
0x3D 7E80	Calibration Data		
0x3D 7EB0	Reserved		
0x3E 8000	FLASH (64K x 16, 8 Sectors , Secure Zone+ ECSL)		
0x3F 7FF8	128-Bit Password		
0x3F 8000	L0 SARAM (2K x 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)		
0x3F 8800	Reserved		
0x3F E000	Boot ROM (8K x 16,0-Wait)		

A. CLA 专用寄存器和 RAM 只适用于 ADP32F035B 器件。

图 3-2 ADP32F03XB 内存映射

表 3-1 ADP32F03XB 中闪存扇区的地址

地址范围	程序和数据空间
0x3E 8000-0x3E 9FFF	扇区 H (8K x 16)
0x3E A000-0x3E BFFF	扇区 G (8K x 16)
0x3E C000-0x3E DFFF	扇区 F (8K x 16)
0x3E E000-0x3E FFFF	扇区 E (8K x 16)
0x3F 0000-0x3F 1FFF	扇区 D (8K x 16)
0x3F 2000-0x3F 3FFF	扇区 C (8K x 16)
0x3F 4000-0x3F 5FFF	扇区 B (8K x 16)
0x3F 6000-0x3F 7F7F	扇区 A (8K x 16)
0x3F 7F80-0x3F 7FF5	当使用代码安全模块时，编程至 0x0000
0x3F 7FF6-0x3F 7FF7	引导至闪存进入点（程序分支指令）
0x3F 7FF8-0x3F 7FFF	安全密码（128 位）（不要设定为零）

备注

- 当对代码安全密码进行编辑时，0x3F7F80 到 0x3F7FF5 间的所有地址无法用作程序代码或者数据。这些位置必须被设定为 0x0000。
- 如果未使用代码安全特性，地址 0x3F 7F80 至 0x3F 7FEF 可用于代码或者数据。地址 0x3F 7FF0-0x3F 7FF5 为数据保留，且不能包含程序代码。

表 3-2 说明了使用安全代码模块的影响及如何处理相应内存地址。。

表 3-2 使用安全代码模块的影响

地址范围	闪存	
	启用代码安全模块	禁用代码安全模块
0x3F 7F80-0x3F 7FEF	用 0x0000 填充	应用代码和数据。
0x3F 7FF0-0x3F 7FF5		只为数据而保留。

外设帧 1、外设帧 2 以及外设帧 3 被编成一组以使这些块成为“受保护的写入/读取外设块”。

“受保护”模式确保所有到这些块的访问与文档中描述的一致。由于 ADP32Fx 的流水线，在对不同内存位置读取之前的写入操作将在 CPU 内存总线上以相反的顺序出现。这会导致特定外设应用中的问题，在此类应用中，用户认为写入会首先发生（如文档所述）。ADP32Fx CPU 支持一个块保护模式，在这个模式中，可对一个内存区域进行保护，以确保操作与本文档所述一致（代价是会增加额外的周期以校正运行）。可对这个模式进行编程，并且默认情况下，它将保护所选的区域。

针对内存映射区域内不同空间的等待状态，如[表 3-3](#)所示。

表 3-3 等待状态

区域 (AREA)	等待状态 (CPU)	注释
M0 和 M1 SARAM	0 - 等待	固定的
外设帧 0	0 - 等待	
外设帧 1	0 - 等待 (写入) 2 - 等待 (读取)	周期可由已生成的外设扩展。 到外设帧 1 寄存器的背靠背写入操作将生成一个 1 周期停止 (1 周期延迟)。
外设帧 2	0 - 等待 (写入) 2 - 写入 (读取)	固定的 周期不可由外设扩展。
外设帧 3	0 - 等待 (写入) 2 - 等待 (读取)	假定 CPU 和 CLA 间无冲突。周期可由已生成的外设扩展。
L0 SARAM	0 - 等待数据和程序	假定没有 CPU 冲突
L1 SARAM	0 - 等待数据和程序	假定没有 CPU 冲突
L2 SARAM	0 - 等待数据和程序	假定没有 CPU 冲突
L3 SARAM	0 - 等待数据和程序	假定没有 CPU 冲突
L4 SARAM	0 - 等待数据和程序	假定没有 CPU 冲突
OTP	可编程 1 - 等待最小	由闪存寄存器设定。 1 - 等待是等待状态所允许的最小值。
闪存	可编程 0 - 页式等待最小值 1 - 随机等待最小值 随机等待 ≥ 页式等待	由闪存寄存器设定。
闪存密码	16	密码位置的等待状态是固定的。
引导 - ROM	0 - 等待	

3.3 简要说明

3.3.1 ADP32F03XB DSP

ADP32F03XB DSP 系列是进芯电子定点 DSP 平台上的最新产品，基于 ADP32Fx 的控制器具有与现有 ADP32Fx MCU 相同的 32 位定点架构。它是一款非常高效的 C/C++ 引擎，此引擎不仅支持用户使用高级语言开发控制系统软件，还支持使用 C/C++ 开发数学算法。此器件在处理 DSP 算术任务时与处理系统控制任务时同样有效，而系统控制任务通常由微控制器器件处理。利用 32x32 位 MAC 功能与其 64 位处理能力，使得该器件能够有效处理较高数字分辨率问题。器件内部带有关键寄存器自动环境保存的快速中断响应，使得器件能够用最小的延迟处理多个异步事件。此器件还有一个具有流水线式存储器访问的 8 级深度受保护流水线。该流水线式操作使得此器件无需昂贵的高速存储器即可高速执行指令。特别分支超前硬件显著减少了条件不连续而带来的延迟。特殊存储条件操作也进一步提升了性能。

3.3.2 控制律加速器 (CLA)

ADP32Fx 控制律加速器是一款单精度（32 位）浮点单元，此单元通过添加并行处理能力扩展了 ADP32Fx CPU 的处理能力。CLA 是一款独立的浮点处理器，此处理器具有其自身的总线结构、取指令机制和流水线。可指定 8 个独立的 CLA 任务或者例程。每个任务的启动由软件或者一个外设诸如 ADC、ePWM、eCAP 或者 CPU 定时器 0 等控制。CLA 每次完整执行一个任务。当一个任务完成时，PIE 产生一个中断到主 CPU，而 CLA 自动开始下一个高优先级的挂起任务。CLA 能够直接访问 ADC 的结果寄存器和 ePWM+HRPWM 寄存器。专用信息传输 RAM 提供了一个在主 CPU 和 CLA 之间传递附加数据的方法。

3.3.3 内存总线（哈佛总线架构）

与多数 DSP 类型器件一样，多总线架构用于在内存、外设和 CPU 之间传输数据。ADP32Fx 内存总线架构包含：程序读取总线、数据读取总线和数据写入总线。此程序读取总线由 22 条地址线路和 32 条数据线路组成。数据读取和写入总线由 32 条地址线路和 32 条数据线路组成。32 位宽数据总线可

实现单周期 32 位运行。多总线结构通常称为“哈佛总线”，使得 ADP32Fx 能够在一个单周期内取一个指令、读取一个数据值和写入一个数据值。所有连接在内存总线上的外设和内存对内存访问进行优先级设定。总的来说，内存总线访问的优先级可概括如下：

最高级：数据写入（内存总线上不能同时进行数据和程序写入。）

程序写入（内存总线上不能同时进行数据和程序写入。）

数据读取

程序读取（内存总线上不能同时进行程序读取和取指令。）

最低级：取指令（内存总线上不能同时进行程序读取和取指令。）

3.3.4 外设总线

ADP32Fx 器件采用了一个针对外设互连的外设总线标准。外设总线桥复用了多种总线，此总线将处理器“内存总线”组装进一个由 16 条地址线路和 16 条或者 32 条数据线路以及相关控制信号组成的单总线中。在 ADP32Fx 器件上支持三个版本的外设总线。一个版本只支持 16 位访问（被称为外设帧 2）并且这个版本保留了与 ADP16 外设的兼容性。另外一个版本支持 16 位和 32 位访问（被称为外设帧 1）。第三个版本支持 CLA 访问和 16 位以及 32 位访问（被称为外设帧 3）。

3.3.5 实时 JTAG 和分析

此器件执行标准 IEEE1149.1 JTAG 接口。此外，此器件支持实时运行模式，在处理器正在运行、执行代码并且处理中断时，可修改存储器内容、外设和寄存器位置。用户也可以实现需要实时处理的中断对在不受干扰的情况下对非要求实时处理的代码进行单步操作，同时可在没有干扰的情况下启用即将被处理的实时处理中断。此器件在 CPU 的硬件内执行实时模式。这是 ADP32Fx 系列器件所特有的功能，无需软件监控。此外，还提供了特别分析硬件，以使用户能够设定硬件断点或者数据/地址观察点，并当一个匹配发生时生成不同的用户可选中断事件。

3.3.6 闪存

ADP32F03XB 器件包含 64K x 16 的嵌入式闪存存储器，被分别放置在 8 个 8K x 16 扇区内。该器件还包含一个 1K x 16 OTP 内存，其地址范围为 0x3D 7800-0x3D 7BFF。用户能够在不改变其它扇区的同时单独擦除、编辑和验证一个闪存扇区。然而，不能使用闪存的一个扇区或者该 OTP 来执行擦除/编辑其它扇区的闪存算法。提供了特殊内存流水线操作以使闪存模块实现更高的性能。闪存 / OTP 被映射到程序和数据空间；因此它可被用于执行代码或者存储数据信息。地址 0x3F 7FF0-0x3F 7FF5 为数据变量保留且不能包含程序代码。

备注

闪存和 OTP 等待状态可由应用配置。这使得运行在较低频率上的应用能够将闪存配置为使用较少的等待状态。可通过在闪存选项寄存器中启用闪存流水线操作模式来提升闪存的性能。启用该模式时，线性代码执行的性能将显著高于只由等待状态配置所表示的原始性能。使用闪存流水线模式的准确性能增加依应用而定。

3.3.7 M0、M1 SARAM

所有器件包含这两块单周期访问内存，每一个的大小为 1K x 16。复位时堆栈指针指向块 M1 的开始位置。M0 和 M1 块与所有其它 ADP32Fx 器件上的内存块一样被映射到程序和数据空间。因此，用户能够使用 M0 和 M1 来执行代码或者存储数据变量。分区在连接器内执行。ADP32Fx 器件提供了一个到编程器的统一内存映射。这使得用高级语言编程变得更加容易。

3.3.8 L0 SARAM、L4 SARAM 和 L1、L2 以及 L3 DPSARAM

器件含有多达 16K x 16 的单周期访问 RAM。这些块被映射到程序和数据空间。块 L0 的大小为 2K 并且双映射至程序和数据空间。块 L4 的大小为 8K 并且双映射至程序和数据空间。块 L1 和 L2 大小均为 1K 并且与 CLA 共用，CLA 将这些块用于其数据空间。块 L3 大小为 4K 并且与 CLA 共用，CLA 将这个块用于其程序空间。DPSARAM 是指这些块的双端口配置。

3.3.9 引导 ROM

引导 ROM 由厂家使用引导载入软件进行设定。引导 ROM 程序在器件复位并检查了相应 GPIO 引脚后执行以确定应该进入的引导模式。例如，用户可以选择执行已经出现在内部闪存中的代码，或通过相关串行端口中的一个将全新的软件下载至内部 RAM。还有其它的引导模式。引导 ROM 还包含用于数学相关算法中的标准表，例如 SIN/COS 波形。

表 3-4 引导模式选择

模式	GPIO37/TDO	GPIO34/ COMP2OUT/ COMP3OUT	TRST	模式
3	1	1	0	取模式(GetMode)
2	1	0	0	等待 (说明请参阅第 3.3.10 节)
1	0	1	0	SCI
0	0	0	0	并行 IO
EMU	x	x	1	仿真引导

3.3.9.1 仿真引导

连接仿真器时，GPIO37/TDO 引脚不能被用于引导模式选择。在这种情况下，引导 ROM 检测一个连接的仿真器并使用 PIE 向量表中两个保留的 SARAM 位置内的内容来确定引导模式。如果两个位置内的内容均无效，则使用等待引导选项。可在仿真引导中访问所有引导模式选项。

3.3.9.2 GetMode

GetMode 的默认运行状态选项为引导至闪存。通过在 OTP 中设定两个位置，此运行状态能够更改为其它的引导选项。如果两个 OTP 位置的内容均为无效，则引导至闪存。可指定以下加载器之一：SCI、SPI、I2C、CAN 或者 OTP。

3.3.9.3 引导加载器使用的外设引脚

[表 3-5](#) 显示了每一个外设引导加载器所使用的 GPIO 引脚。

表 3-5 外设引导加载引脚

引导加载器	外设加载器引脚
SCI	SCIRXDA (GPIO28) SCITXDA (GPIO29)
并行引导	数据(GPIO31, 30,5:0) ADP32F03X 控制(AIO6) 主机控制(AIO12)
SPI	SPISIMOA (GPIO16) SPISOMIA (GPIO17) SPICLKA (GPIO18) SPISTEA(GPIO19)
I2C	SDAA (GPIO32) SCLA (GPIO33)
CAN	CANRXA (GPIO30) CANTXA (GPIO31)

3.3.10 安全性

ADP32Fx 支持高级别安全以保护用户固件不受逆向工程损坏。该加密装置有一个 128 位密码（针对 16 个等待状态的硬编码），此密码由用户编辑写入闪存。一个代码安全模块（CSM）被用于保护闪存/ROM/OTP 和 L0/L1/L4 SARAM 块。这个安全特性防止未经授权的用户通过 JTAG 端口检查内存内容，从外部内存执行代码或者试图引导加载一些将会输出安全内存内容的恶意软件。为了启用到安全块的访问，用户必须写入与存储在闪存/ROM 密码位置内的值相匹配的正确的 128 位“KEY（密钥）”值。

除了 CSM，仿真代码安全逻辑电路(ECSL) 也已经被实现用来防止未经授权的用户安全代码。在仿真器连接时，任何对于闪存、用户 OTP 或者 L0/L4 内存的代码或者数据访问将触发 ECSL 并断开仿真连接。为了实现安全代码仿真，同时保持 CSM 安全内存读取，用户必须向 KEY 寄存器的低 64 位写入正确的值，这个值与存储在闪存密码位置的 64 位的值相符合。请注意仍须执行闪存内所有 128 位密钥的伪读取。如果密码位置的 64 位为全 1（未被编辑），那么无须符合 KEY 值。

当对闪存内被编辑的密码区（即安全的）进行最初调试时，CPU 将开始运行并可执行一个指令来访问一个受保护的 ECSL 区域。如果这一情况发生，ECSL 将发生错误并使仿真器连接被断开。

注

- 编辑当代码安全密钥时，0x3F7F80 到 0x3F7FF5 间的所有地址不能被用作程序代码或者数据。这些位置必须编程为 0x0000。
 - 如果代码安全特性未使用，地址 0x3F7F80 至 0x3F7FEF 可用于代码或者数据。地址 0x3F7FF0-0x3F7FF5 为数据保留且不能包含程序代码。
 - 128 位密码（位于 0x3F7FF8-0x3F7FFF）不能写入全零。一旦写入全零将永久锁住此器件，请务必慎重。
-

代码安全模块免责声明

此器件所包含的代码安全模块（CSM）旨在保护存储在相关内存（ROM 或者闪存）中的数据，并且由原厂提供质量保证，与其标准条款和条件相一致，符合原厂发布的规范以获得适用于该期间的保修期。

但是，原厂不保证或声明 CSM 不会受到损坏或破坏，或无法通过其它方式访问相关存储器中存储的数据。而且，除了上述内容外，原厂也未对本器件的 CSM 或操作做任何保证或表示，包括任何隐含的用于特定用途的商用性或适用性保证。

在任何情况下，原厂均不对任何因您使用 CSM 或本器件引起的任何后果性、特殊、间接、偶然或惩罚性损害负责，无论告知已是否原厂此类损害。除外损害包括但不限于数据丢失、信誉损失、无法使用、业务中断或其它经济损失。

3.3.11 外设中断扩展 (PIE) 块

PIE 块将许多中断源复用至中断输入的较小的集合中。PIE 块能够支持多达 96 个外设中断。在 ADP32F03XB 上，外设使用 96 个中断中的 54 个。96 个中断被分成 8 组，每组被提供 12 个 CPU 中断线 (INT1 或者 INT12) 中的 1 个。96 个中断中的每一个中断由其存储在一个可被用户写覆盖的专用 RAM 块中的向量支持。在处理这个中断时，该向量由 CPU 自动抽取。抽取这个向量以及保存关键 CPU 寄存器将花费 8 个 CPU 时钟周期。因此 CPU 能够对中断事件作出快速响应。可以通过硬件和软件控制中断的优先级。每个中断都可以在 PIE 块内启用/禁用。

3.3.12 外部中断 (XINT1-XINT3)

ADP32F03XB 支持三个可屏蔽的外部中断(XINT 1- XINT 3)。每一个中断可被选择为负边沿、正边沿、或者二者同时触发，并且可被启用或禁用。这些中断还包含一个 16 位自由运行增序计数器，当检测到一个有效的中断边沿信号时，此计数器被重置为 0。该计数器可被用于为中断精确计时。这些外部中断没有专用引脚。XINT1、XINT2 和 XINT3 中断可接受来自 GPIO0-GPIO3 引脚的输入。

3.3.13 内部零引脚振荡器、振荡器和 PLL

此器件可由两个内部零引脚振荡器、一个外部振荡器或者一个连接至片载振荡器电路的晶振中的任一个计时。一个提供的 PLL 支持高达 12 种输入时钟缩放比率。PLL 比率可利用软件在器件运行时进行更改，这使得用户在需要低功耗运行时能够按比例降低运行频率。时序细节，请参考第 6 节“电气规范”。PLL 块可设定为旁路模式。

3.3.14 看门狗

每个器件包含两个看门狗电路：内部监控 CPU 看门狗和丢失时钟检测电路 NMI 看门狗。用户软件必须在特定的周期内定期复位 CPU 看门狗计数器；否则 CPU 看门狗将产生一个复位信号复位处理器。如果需要可将 CPU 看门狗禁用。只有在发生时钟故障的情况下，NMI 看门狗才起作用并可生成一个中断或器件复位。

3.3.15 外设时钟

在外设闲置时，到每一个独立外设的时钟可被启用/禁用以减少功耗。此外到串行端口（除了 I2C）的系统时钟可按照 CPU 时钟进行缩放。

3.3.16 低功耗模式

ADP32F03XB 器件是完全静态 CMOS 器件。提供三种低功耗模式：

IDLE：将 CPU 置于低功耗模式。可有选择性地关闭外设时钟并且只有那些在 IDLE 期间必须运行的外设保持运行状态。来自使能外设的已启用的中断或者看门狗将处理器从 IDLE 模式中唤醒。

STANDBY：关闭到 CPU 和外设的时钟。在这个模式下振荡器和 PLL 仍然运行。一个外部中断事件将唤醒处理器和外设。唤醒操作在检测到中断事件之后的下一个时钟周期执行。

HALT：该模式会关断器件并将器件置于尽可能低的功耗模式中。HALT 模式在内部零引脚振荡器被用作时钟源时默认关闭。为了防止这些振荡器被关闭，可配置 CLKCTL 寄存器内的 INTOSCnHALTI 位。这样零引脚振荡器可在这个模式下被用于为 CPU 看门狗计时。如果片载晶体振荡器被用作时钟源，在这个模式中它将被关闭。在此模式下可由一个复位信号或者外部信号（通过一个 GPIO 引脚）以及 CPU 看门狗唤醒。

在试图将器件置于HALT或者STANDBY模式前，CPU时钟 (OSCCLK) 和 WDCLK信号应来自同一个时钟源。

3.3.17 外设帧 0, 1, 2, 3 (PFn)

此器件将外设分成四个部分。外设映射如下：

PF0： **PIE**：PIE 中断启用和控制寄存器加上 PIE 向量表

闪存：闪存控制、编程、擦除、验证寄存器

定时器：CPU-定时器 0, 1, 2 寄存器

CSM：代码安全模块 KEY 寄存器

ADC：ADC 结果寄存器

CLA: 控制率加速器寄存器和消息 RAM

PF1: GPIO: GPIO MUX 配置和控制寄存器

eCAN: eCAN 邮箱和控制寄存器

LIN: 本地互连网络配置和控制寄存器

eCAP: 增强型捕获模块和寄存器

eQEP: 增强型正交编码脉冲模块和寄存器

HRCAP: 高性能捕获模块和寄存器

PF2: SYS: 系统控制寄存器

SCI: 异步串行通信接口(SCI)控制和 RX/TX 寄存器

SPI: 同步串行通信接口(SPI)控制和 RX/TX 寄存器

ADC: ADC 状态、控制和配置寄存器

I2C: 集成电路总线模块和寄存器

XINT: 外部中断寄存器

PF3: ePWM: 增强型脉冲宽度调制器模块和寄存器

HRPWM: 高分辨率脉宽调制器寄存器

比较器: 比较器模块

3.3.18 通用输入/输出(GPIO) 复用器

大多数的外设信号与通用输入/输出(GPIO)信号复用。这个复用使得用户能够在外设信号或者功能不使用时将一个引脚用作 GPIO。复位时所有 GPIO 引脚被配置为输入。针对 GPIO 模式或者外设信号模式, 用户能够独立设定每一个引脚。对于特定的输入引脚, 用户也可以选择输入限定周期的数量。这是为了过滤掉有害的噪音毛刺脉冲。GPIO 信号也可被用于使器件脱离特定低功耗模式。

3.3.19 32 位 CPU 定时器 (0, 1, 2)

CPU 定时器 0、1 和 2 是完全一样的 32 位定时器, 这些定时器带有可预先设定的周期和 16 位时钟预分频。此定时器有一个 32 位倒计时寄存器, 此寄存器在计数器达到 0 时生成一个中断。这个计数器的减量为被预分频值设置所分频的 CPU 时钟速度的值。当此计数器达到 0 时, 它自动重新载入

一个 32 位的周期值。CPU 定时器 2 为 DSP/BIOS 预留，并且连接到 CPU 的 INT14。如果 DSP/BIOS 未被使用，CPU 定时器 2 也可作为通用定时器使用。

CPU 定时器 2 可由下列任何一种方式进行计时：

- SYSCLKOUT (默认)
- 内部零引脚振荡器 1 (INTOSC1)
- 内部零引脚振荡器 2 (INTOSC2)
- 外部时钟源

3.3.20 控制外设

ADP32F03XB 支持以下用于嵌入式控制和通信的外设：

ePWM： 增强型 PWM 外设支持针对前缘/后缘边沿、被锁存的/逐周期机制的独立的/互补的 PWM 生成，可调节死区生成。一些 PWM 引脚支持 HRPWM 高分辨率占空比和周期特性。ADP32F03XB 器件上的类型 1 模块也支持增强的死区分辨率、增强型片上系统 (SOC) 和中断生成和包括基于比较器输出的触发功能的高级触发。

eCAP： 此增强型捕获外设使用一个 32 位时基并在连续/单次捕获模式中记录多达四个可编程事件。

此外设也可配置为生成辅助 PWM 信号。

eQEP： 增强型 QEP 外设使用一个 32 位位置计数器，使用捕获单元和一个 32 位单元定时器分别支持低速测量和高速测量。这个外设有一个看门狗定时器来检测电机停转和输入错误检测逻辑电路来识别 QEP 信号中的同步边沿转换。

ADC： ADC 模块是一个 12 位转换器。根据器件的不同它有多达 16 个单端通道输出引脚。它包含两个用于同步采样的采样保持单元。

比较器： 每个比较器块由一个模拟比较器连同为一个为比较器的输入供电的内部 10 位基准组成。

HRCAP: 高分辨率捕获外设通过一个为 HCCAPCLK 计时的 16 位计数器在正常捕获模式下运行, 或者通过利用与校准库协同工作的内置校准逻辑在高分辨率捕获模式下运行。

3.3.21 串行端口外设

此器件支持以下串行通信外设:

SPI: SPI 是一个高速、同步串行 I/O 端口, 此端口可在设定的位传输速率上将一个设定长度 (1 至 16 位) 的串行比特流移入和移出器件。SPI 常用于 MCU 和外部外设或者其它处理器之间的通信。典型应用包括外部 I/O 或者从诸如移位寄存器、显示驱动器和 ADC 等器件的外设扩展。多器件通信由 SPI 主模式/从模式操作支持。SPI 包含一个用于减少中断处理开销的 4 级接收和发送 FIFO。

SCI: 串行通信接口是一个两线制异步串行端口, 通常被称为 UART。SCI 包含一个用于减少中断处理开销的 4 级接收和发送 FIFO。

I2C: 内部集成电路 (I2C) 模块提供一个 MCU 和其它器件 (符合飞利浦半导体内部 IC 总线 (I2C-bus) 规范版本 2.1 并由一个 I2C-bus 相连) 间的接口。通过这个 I2C 模块, 连接在这个两线制总线上的外部组件能够发送 8 位数据到 MCU 或者从 MCU 接收 8 位数据。I2C 包含一个用于减少中断处理开销的 4 级接收和发送 FIFO。

eCAN: 这是 CAN 外设的增强型版本。它支持 32 个邮箱、消息时间戳并与 CAN 2.0B 兼容。

LIN: LIN 1.3 或者 2.0 兼容外设, 可配置为额外的 SCI 端口。

3.4 寄存器映射

此器件包含 4 个外设寄存器空间，这些空间分类如下：

外设帧 0：这些是直接映射到 CPU 内存总线的外设，请参阅表 3-6。

外设帧 1：这些是映射到 32 位外设总线的外设，请参阅表 3-7。

外设帧 2：这些是映射到 16 位外设总线的外设，请参阅表 3-8。

外设帧 3：这些是映射到 32 位外设总线并可由 CLA 访问的外设，请参阅表 3-9。

表 3-6 外设帧 0 寄存器⁽¹⁾

名称	地址范围	大小 (x16)	受 EALLOW 保护 ⁽²⁾
器件仿真寄存器	0x00 0880-0x00 0984	261	支持
系统功率控制寄存器	0x00 0985-0x00 0987	3	支持
闪存寄存器 ⁽³⁾	0x00 0A80-0x00 0ADF	96	支持
代码安全模块寄存器	0x00 0AE0-0x00 0AEF	16	支持
ADC 寄存器 (0 等待只读)	0x00 0B00-0x00 0B0F	16	否
CPU-定时器 0/1/2 寄存器	0x00 0C00-0x00 0C3F	64	否
PIE 寄存器	0x00 0CE0-0x00 0CFF	32	否
PIE 向量表	0x00 0D00-0x00 0DFF	256	否
CLA 寄存器	0x00 1400-0x00 147F	128	支持
CLA 到 CPU 消息 RAM (忽略 CPU 写入)	0x00 1480-0x00 14FF	128	不适用
CPU 到 CLA 消息 RAM (忽略 CLA 写入)	0x00 1500-0x00 157F	128	不适用

- (1) 在帧 0 中的寄存器支持 16 位和 32 位访问。
- (2) 如果寄存器是 EALLOW 受保护的，那么在 EALLOW 指令被执行前写入不能被执行。EDIS 指令禁用写入以防止杂散代码或指针破坏寄存器内容。
- (3) 闪存寄存器也受到代码安全模块 (CSM) 的保护。

表 3-7 外设帧 1 寄存器

名称	地址范围	大小 (x16)	受 EALLOW 保护
eCAN-A 寄存器	0x00 6000-0x00 61FF	512	(1)
eCAP1 寄存器	0x00 6A00-0x00 6A1F	32	否
HRCAP1 寄存器	0x00 6AC0-0x00 6ADF	32	(1)
HRCAP2 寄存器	0x00 6AE0-0x00 6AFF	32	(1)
eQEP1 寄存器	0x00 6B00-0x00 6B3F	64	(1)
LIN-A 寄存器	0x00 6C00-0x00 0C7F	128	(1)
GPIO 寄存器	0x00 6F80-0x00 6FFF	128	(1)

- (1) 某些寄存器受 EALLOW 保护。详细信息请参阅各模块寄存器描述。

表 3-8 外设帧 2 寄存器

名称	地址范围	大小 (x16)	受 EALLOW 保护
系统控制寄存器	0x00 7010-0x00 702F	32	支持
SPI-A 寄存器	0x00 7040-0x00 704F	16	否
SCI-A 寄存器	0x00 7050-0x00 705F	16	否
NMI 看门狗中断寄存器	0x00 7060-0x00 706F	16	支持
外部中断寄存器	0x00 7070-0x00 707F	16	支持
ADC 寄存器	0x00 7100-0x00 717F	128	(1)
I2C-A 寄存器	0x00 7900-0x00 793F	64	(1)
SPI-B 寄存器	0x00 7740-0x00 774F	16	否

(1) 某些寄存器受 EALLOW 保护。详细信息请参阅各模块寄存器说明。

表 3-9 外设帧 3 寄存器

名称	地址范围	大小 (x16)	受 EALLOW 保护
比较器 1 寄存器	0x00 6400-0x00 641F	32	(1)
比较器 2 寄存器	0x00 6420-0x00 643F	32	(1)
比较器 3 寄存器	0x00 6440-0x00 645F	32	(1)
ePWM1 + HRPWM1 寄存器	0x00 6800-0x00 683F	64	(1)
ePWM2 + HRPWM2 寄存器	0x00 6840-0x00 687F	64	(1)
ePWM3 + HRPWM3 寄存器	0x00 6880-0x00 68BF	64	(1)
ePWM4 + HRPWM4 寄存器	0x00 68C0-0x00 68FF	64	(1)
ePWM5 + HRPWM5 寄存器	0x00 6900-0x00 693F	64	(1)
ePWM6 + HRPWM6 寄存器	0x00 6940-0x00 697F	64	(1)
ePWM7 + HRPWM7 寄存器	0x00 6980-0x00 69BF	64	(1)

(1) 某些寄存器受 EALLOW 保护。详细信息请参阅各模块寄存器说明。

3.5 器件仿真寄存器

表 3-10 器件仿真寄存器

名称	地址范围	大小 (x16)	说明	受 EALLOW 保护
DEVICECNF	0x00 0880 0x00 0881	2	器件配置寄存器	支持
PARTID	0x3D7C04	1	部件 ID 寄存器 ADP32F035BQP80S 0x00BF ADP32F035BQP64S 0x00BE ADP32F035BQN56S 0x00BD ADP32F034BQP80S 0x00BB ADP32F034BQP64S 0x00BA ADP32F034BQN56S 0x00B9 ADP32F034BQP48S 0x00B8	否
CLASSID	0x0882	1	类别 ID 寄存器 0x00BF	否
ONLYID	0x3D7C00 0x3D7C01 0x3D7C02 0x3D7C03	4	芯片唯一码 (64 位随机值)	否

3.6 中断

图 3-3 所示为外部和 PIE 中断源。

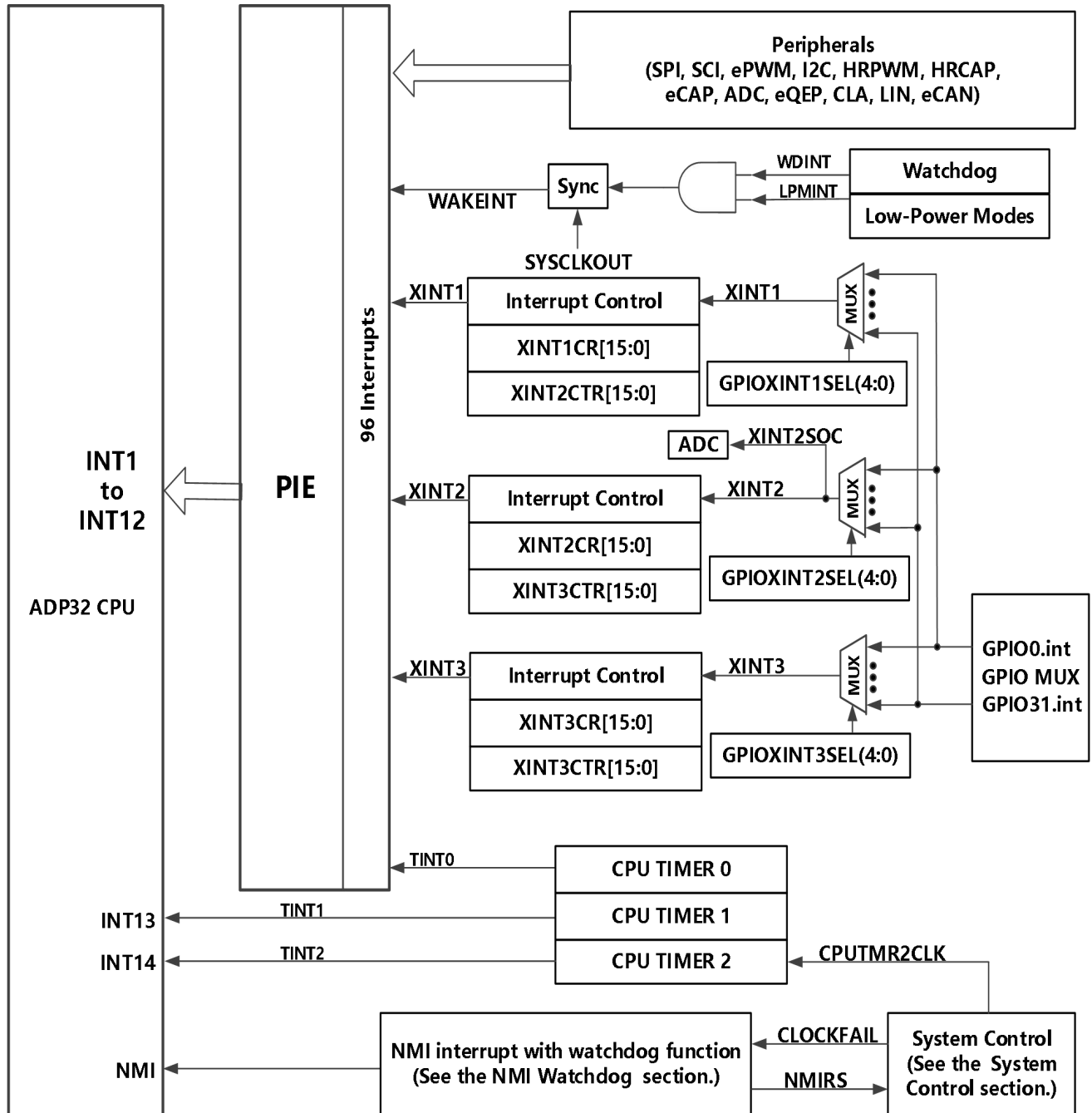


图 3-3 外部和 PIE 中断源

8 个 PIE 块中断组合成一个 CPU 中断。总计 12 个 CPU 中断组，每组有 8 个中断，相当于 96 个可用的中断。表 3-11 显示了 ADP32F03x 器件所用的中断。

TRAP#Vectornumber(向量号) 指令将程序控制发送至与指定的向量相对应的中断处理例程。

TRAP#0 尝试传送程序控制到复位向量所指向的地址。然而，PIE 向量表不含复位向量。因此，当 PIE 被启用时，TRAP#0 不应被使用。这样做将导致未知的运行状态。

当 PIE 被启用时，TRAP#1 至 TRAP#12 将传送程序控制到 PIE 组内第一个向量相对应的中断处理例程。例如：TRAP #1 从 INT1.1 取向量，TRAP #2 从 INT2.1 取向量，以此类推。

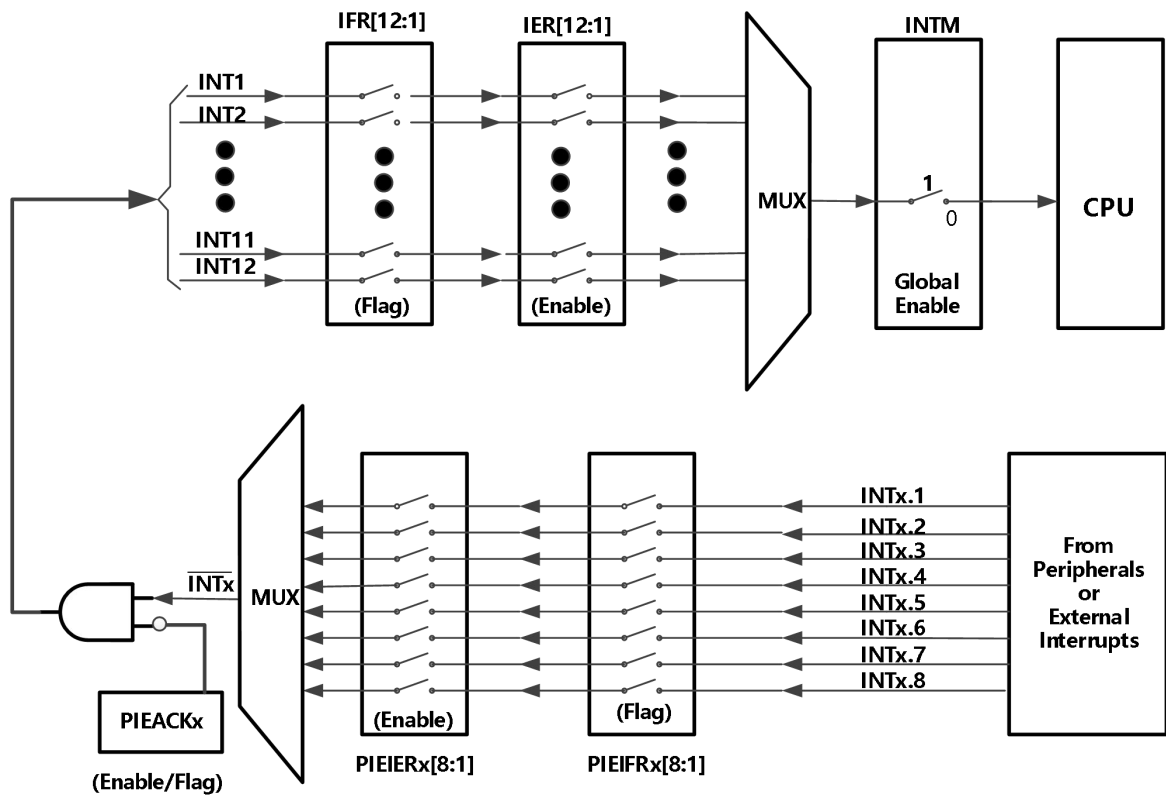


图 3-4 使用 PIE 块的中断复用

表 3-11 PIE 多路复用的外设中断向量表⁽¹⁾

	INTx.8	INTx.7	INTx.6	INTx.5	INTx.4	INTx.3	INTx.2	INTx.1
INT1.y	WAKEINT (LPM/WD) 0xD4E	TINT0 (定时器 0) 0xD4C	ADCINT9 (ADC) 0xD4A	XINT2 外部内部 2 0xD48	XINT1 外部内部 1 0xD46	保留 - 0xD44	ADCINT2 (ADC) 0xD42	ADCINT1 (ADC) 0xD40
INT2.y	保留 - 0xD5E	EPWM7_TZIN T (ePWM7) 0xD5C	EPWM6_TZIN T (ePWM6) 0xD5A	EPWM5_TZIN NT (ePWM5) 0xD58	EPWM4_TZIN TZINT (ePWM4) 0xD56	EPWM3_TZIN TZINT (ePWM3) 0xD54	EPWM2_TZIN TZINT (ePWM2) 0xD52	EPWM1_TZIN TZINT (ePWM1) 0xD50
INT3.y	保留 - 0xD6E	EPWM7_INT (ePWM7) 0xD6C	EPWM6_INT (ePWM6) 0xD6A	EPWM5_INT (ePWM5) 0xD68	EPWM4_INT (ePWM4) 0xD66	EPWM3_INT (ePWM3) 0xD64	EPWM2_INT (ePWM2) 0xD62	EPWM1_INT (ePWM1) 0xD60
INT4.y	HRCAP2_INT T (HRCAP2) 0xD7E	HRCAP1_INT (HRCAP1) 0xD7C	保留 - 0xD7A	保留 - 0xD78	保留 - 0xD76	保留 - 0xD74	保留 - 0xD72	ECAP1_INT - 0xD70
INT5.y	保留 - 0xD8E	保留 - 0xD8C	保留 - 0xD8A	保留 - 0xD88	保留 - 0xD86	保留 - 0xD84	保留 - 0xD82	EQEP1_INT (eQEP1) 0xD80
INT6.y	保留 - 0xD9E	保留 - 0xD9C	保留 - 0xD9A	保留 - 0xD98	SPITXINTB (SPI-B) 0xD96	SPIRXINTB (SPI-B) 0xD94	SPITXINTA (SPI-A) 0xD92	SPIRXINTA (SPI-A) 0xD90
INT7.y	保留 - 0xDAE	保留 - 0xDAC	保留 - 0xDAA	保留 - 0xDA8	保留 - 0xDA6	保留 - 0xDA4	保留 - 0xDA2	保留 - 0xDA0
INT8.y	保留 - 0xDBE	保留 - 0xDBC	保留 - 0xDBA	保留 - 0xDB8	保留 - 0xDB6	保留 - 0xDB4	I2CINT2A (I2C-A) 0xDB2	I2CINT1A (I2C-A) 0xDB0
INT9.y	保留 - 0xDCE	保留 - 0xDCC	ECAN1_INTA (CAN-A) 0xDCA	ECAN0_INTA (CAN-A) 0xDC8	LIN1_INTA (LIN-A) 0xDC6	LIN0_INTA (LIN-A) 0xDC4	SCITXINTA (SCI-A) 0xDC2	SCIRXINTA (SCI-A) 0xDC0
INT10.y	ADCINT8 (ADC) 0xDDE	ADCINT7 ADC 0xDDC	ADCINT6 ADC 0xDDA	ADCINT5 ADC 0xDD8	ADCINT4 ADC 0xDD6	ADCINT3 ADC 0xDD4	ADCINT2 ADC 0xDD2	ADCINT1 ADC 0xDD0
INT11.y	CLA1_INT8 (CLA) 0xDEE	CLA1_INT7 (CLA) 0xDEC	CLA1_INT6 (CLA) 0xDEA	CLA1_INT5 (CLA) 0XDE8	CLA1_INT4 (CLA) 0xDE6	CLA1_INT3 (CLA) 0xDE4	CLA1_INT2 (CLA) 0xDE2	CLA1_INT1 (CLA) 0xDE0
INT12.y	LUF (CLA) 0xDFE	LVF (CLA) 0xDFC	保留 - 0xDFA	保留 - 0xDF8	保留 - 0xDF6	保留 - 0xDF4	保留 - 0xDF2	XINT3 外部 内部 3 0xDF0

(1) 在 96 个可用的中断中，有一些是不使用的。这些中断是为以后的器件所保留的。如果它们在 PIEIFRx 级被启用并且这个组中的中断没有一个被外设使用，这些中断可被用作软件中断。否则，在意外地清除它们的标志同时修改 PIEIFR 的情况下，来自外设的中断也许会丢失。总的来说，在两个安全情况下，保留的中断可被用作软件中断：

- 组内没有外设使中断有效。
- 没有外设中断被分配到组（例如，PIE 组 7）。

表 3-12 PIE 配置和控制寄存器

名称	地址	大小 (X 16)	说明 ⁽¹⁾
PIECTRL	0x 0CE0	1	PIE,控制寄存器
PIEACK	0x 0CE1	1	PIE,确认寄存器
PIEIER1	0x 0CE2	1	PIE,INT1 组启用寄存器
PIEIFR1	0x 0CE3	1	PIE,INT1 组标志寄存器
PIEIER2	0x 0CE4	1	PIE,INT2 组启用寄存器
PIEIFR2	0x 0CE5	1	PIE,INT2 组标志寄存器
PIEIER3	0x 0CE6	1	PIE,INT3 组启用寄存器
PIEIFR3	0x 0CE7	1	PIE,INT3 组标志寄存器
PIEIER4	0x 0CE8	1	PIE,INT4 组启用寄存器
PIEIFR4	0x 0CE9	1	PIE,INT4 组标志寄存器
PIEIER5	0x 0CEA	1	PIE,INT5 组启用寄存器
PIEIFR5	0x 0CEB	1	PIE,INT5 组标志寄存器
PIEIER6	0x 0CEC	1	PIE,INT6 组启用寄存器
PIEIFR6	0x 0CED	1	PIE,INT6 组标志寄存器
PIEIER7	0x 0CEE	1	PIE,INT7 组启用寄存器
PIEIFR7	0x 0CEF	1	PIE,INT7 组标志寄存器
PIEIER8	0x 0CF0	1	PIE,INT8 组启用寄存器
PIEIFR8	0x 0CF1	1	PIE,INT8 组标志寄存器
PIEIER9	0x 0CF2	1	PIE,INT9 组启用寄存器
PIEIFR9	0x 0CF3	1	PIE,INT9 组标志寄存器
PIEIER10	0x 0CF4	1	PIE,INT10 组启用寄存器
PIEIFR10	0x 0CF5	1	PIE,INT10 组标志寄存器
PIEIER11	0x 0CF6	1	PIE,INT11 组启用寄存器
PIEIFR11	0x 0CF7	1	PIE,INT11 组标志寄存器
PIEIER12	0x 0CF8	1	PIE,INT12 组启用寄存器
PIEIFR12	0x 0CF9	1	PIE,INT12 组标志寄存器
保留	0x 0CFA-0x 0CFF	6	保留

(1) PIE 配置和控制寄存器未受 EALLOW 模式保护。PIE 向量表受保护。

3.6.1 外部中断

表 3-13 外部中断寄存器

名称	地址	大小 (X 16)	说明
XINT1CR	0x00 7070	1	XINT1 配置寄存器
XINT2CR	0x00 7071	1	XINT2 配置寄存器
XINT3CR	0x00 7072	1	XINT3 配置寄存器
XINT1CTR	0x00 7078	1	XINT1 计数器寄存器
XINT2CTR	0x00 7079	1	XINT2 计数器寄存器
XINT3CTR	0x00 707A	1	XINT3 计数器寄存器

每个外部中断可由正边沿、负边沿或双沿启用、禁用或限定。

3.7 LDO/VREG/BOR/POR

内核和 I/O 电路在两个不同的电压上运行，内核电压由片载低压差线性稳压器（LDO）提供，LDO 供电电压通过一个片载电压稳压器（VREG）生成 VDD 电压，此电压由 VDDIO 供电。因此，在

设计应用板时无需额外考虑和使用第二个外部稳压器，从而节省了成本和空间。此外，在上电和运行模式期间，内部上电复位 (POR) 和欠压复位 (BOR) 电路监控内核电压、VDD 和 VDDIO 三个电源轨。

3.7.1 片载电压稳压器 (VREG)

片载 LDO 供电电压 (VDD) 由线性稳压器生成，此电压由 VDDIO 电源提供。因此，虽然在每个 VDD 引脚上都需要电容器来稳定生成的电压，但运行此器件并不需要为这些引脚供电。可将 VREG 禁用来降低功耗。

3.7.1.1 使用片载 VREG

为使用片载 VREG， $\overline{\text{VREGNZ}}$ 引脚应该连接至低电平，并且将建议的适当工作电压应用于 VDD 和 VDDIO 引脚。在这种情况下，片载 LDO 所需的 VDD 电压将由 VREG 生成。为正确调节 VREG，每个 VDD 引脚需要连接电容值为 $1.2\mu\text{F}$ （最小值）的电容器。这些电容器应该放置在尽可能接近 VDD 引脚的位置。

3.7.1.2 禁用片载 VREG

为了降低功耗，也可禁用片载 VREG，并使用一个效率更高的外部稳压器将片载 LDO 供电电压提供给 VDD 引脚。为了启用该选项， $\overline{\text{VREGNZ}}$ 引脚必须连接至高电平。

3.7.2 片载低压差线性稳压器 (LDO)

内核电压由片载低压差线性稳压器 (LDO) 提供，当芯片使用片载 VREG 或使用外部 VREG 提供 LDO 供电电压时，片载 LDO 始终处于工作状态，为内核提供工作电压。

3.7.3 片载上电复位 (POR) 和欠压复位(BOR) 电路

两个片载监视电路（上电复位 (POR) 和欠压复位 (BOR)）使应用板不再需要监控 V_{DD} 和 V_{DDIO} 电源轨。POR 的目的是在整个上电过程中建立一个清晰的上电复位点。相对于 BOR，POR 的触发点更宽松、更低，用于在器件运行期间检测内核电压、 V_{DD} 和 V_{DDIO} 电源轨的骤减。POR 功能始终存在于内核电压、 V_{DD} 和 V_{DDIO} 电源轨上。在器件首次上电后，BOR 功能总是出现在 V_{DDIO} 电源轨上，并且当内部 VREG 被启用时（ $\overline{VREGNZ}$ 引脚被接至低电平），内核电压 V_{DD} 也会受到 BOR 监控。当其中一个电压低于它们各自的触发点时，两个功能连接至 $\overline{XRS}$ 引脚低电平。此外，当启用内部电压稳压器时，一个过压保护电路将连接至 $\overline{XRS}$ 低电平，此时内核电源轨上升至高于其触发点。在第 6 章节中列出了不同的触发点，以及器件在移除欠压/过压条件后释放 $\overline{XRS}$ 引脚的延迟时间。图 3-5 所示为 LDO、VREG、POR、BOR 及复位信号连接。在 BORCFG 寄存器中提供了一位以禁用 V_{DD} 和 V_{DDIO} BOR 功能。

3.8 系统控制

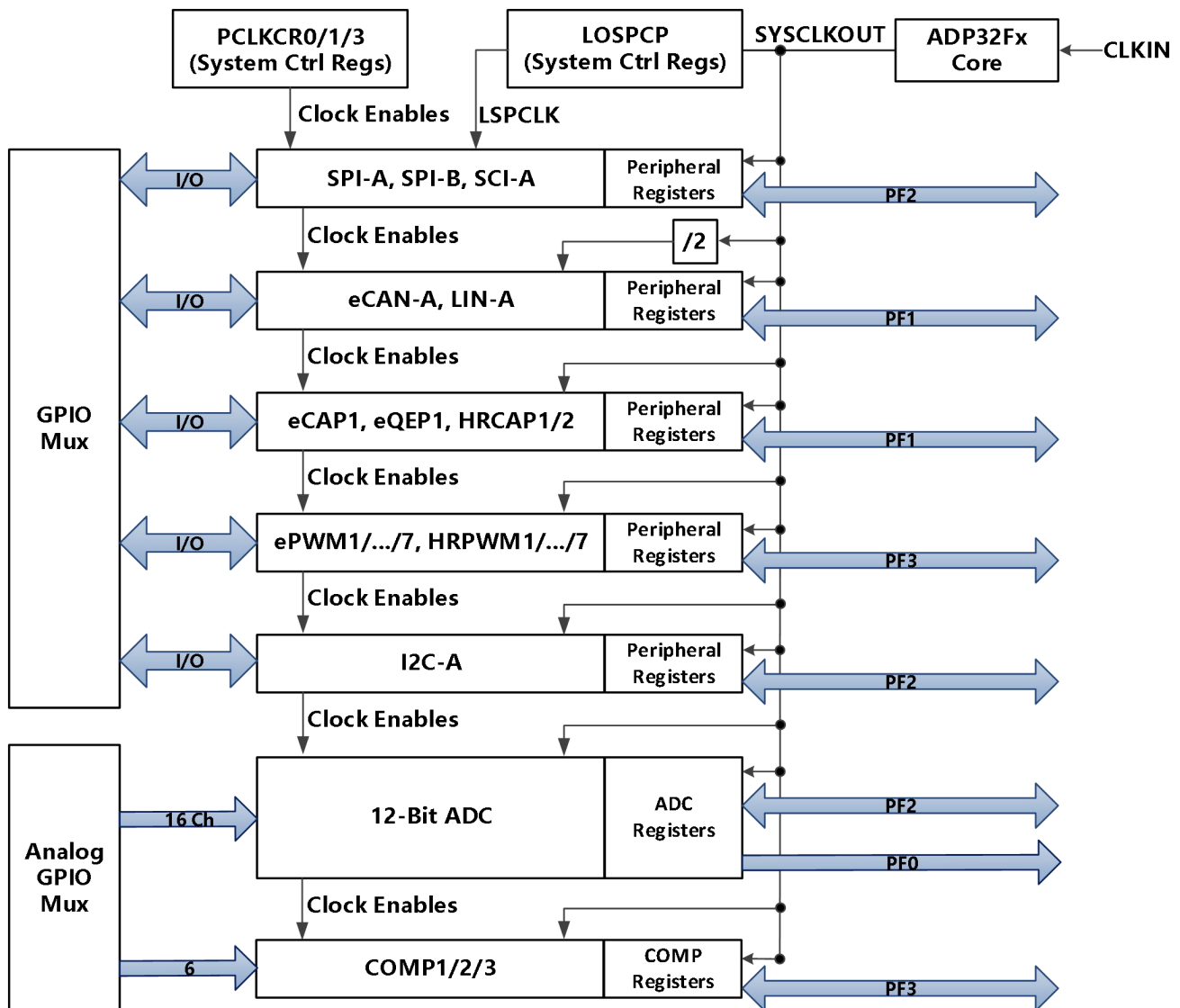
本节对振荡器和时钟机制、看门狗功能以及低功耗模式进行了说明。

表 3-14 PLL、时钟、看门狗和低功耗模式寄存器

名称	地址	大小 (X 16)	说明 ⁽¹⁾
BORCFG	0x00 0985	1	BOR 配置寄存器
XCLK	0x00 7010	1	XCLKOUT 控制
PLLSTS	0x00 7011	1	PLL 状态寄存器
CLKCTL	0x00 7012	1	时钟控制寄存器
PLLLOCKPRD	0x00 7013	1	PLL 锁周期
INTOSC1TRIM	0x00 7014	1	内部振荡器 1 调整寄存器
INTOSC2TRIM	0x00 7016	1	内部振荡器 2 调整寄存器
LOSPCP	0x00 701B	1	低速外设时钟预分频寄存器
PCLKCR0	0x00 701C	1	外设时钟控制寄存器 0
PCLKCR1	0x00 701D	1	外设时钟控制寄存器 1
LPMCR0	0x00 701E	1	低功耗模式控制寄存器 0
PCLKCR3	0x00 7020	1	外设时钟控制寄存器 3
PLLCR	0x00 7021	1	PLL 控制寄存器
SCSR	0x00 7022	1	系统控制与状态寄存器
WDCNTR	0x00 7023	1	看门狗计数器寄存器
WDKEY	0x00 7025	1	看门狗复位密钥寄存器
WDCR	0x00 7029	1	看门狗控制寄存器

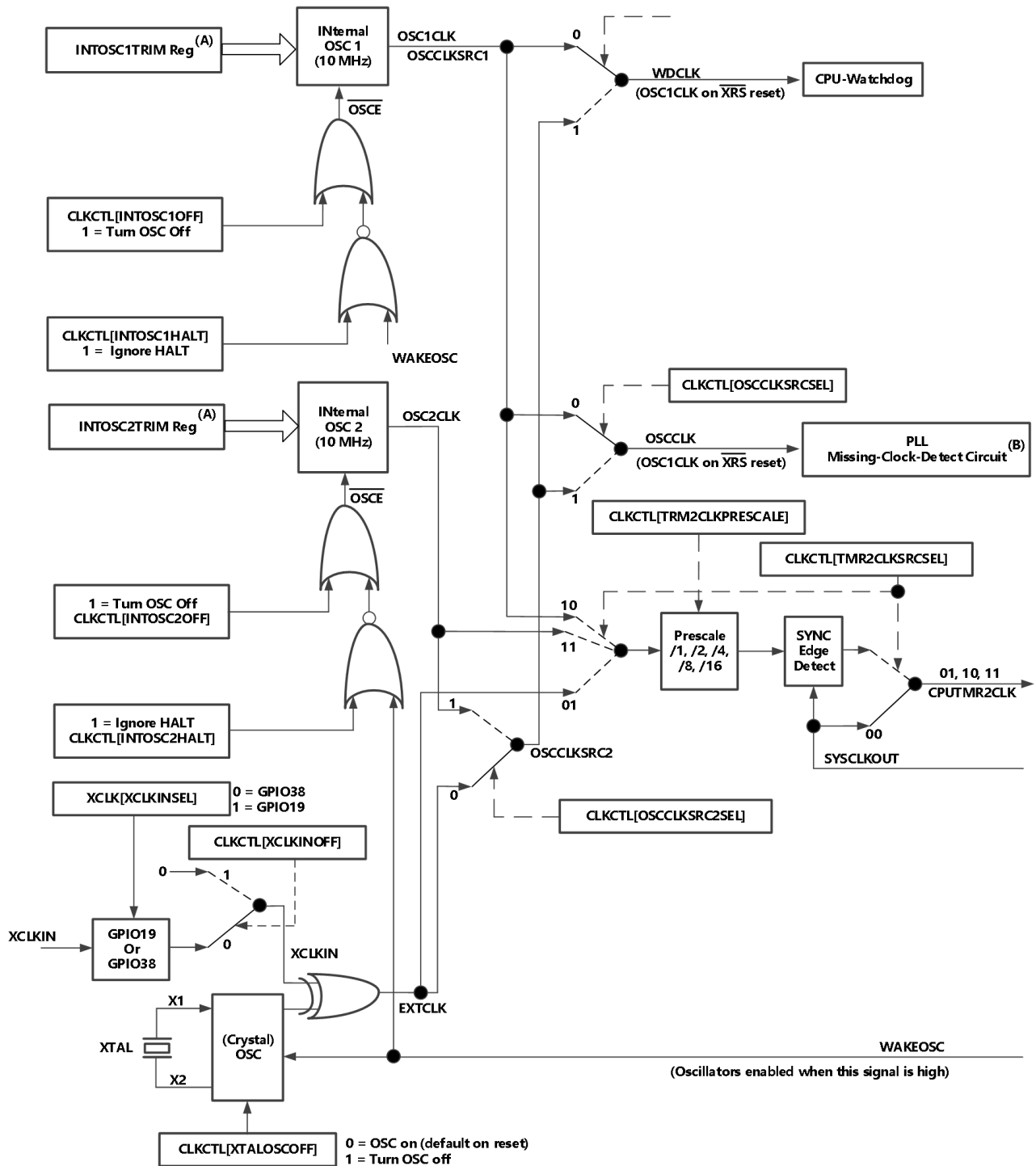
(1) 此表中的所有寄存器都是受 EALLOW 保护的。

图 3-6 所示为时钟和复位域。图 3-7 所示为供设备运行的不同的时钟源（包括内部的和外部的）。



A. CLKIN 为 CPU 提供时钟。它作为 SYSCLKOUT 从 CPU 传出（即，CLKIN 与 SYSCLKOUT 频率相同）。

图 3-6 时钟和复位域



A.基于 OTP 的校准函数载入的寄存器。

B.详细的丢失时钟检测逻辑请参阅第 3.8.4 节。

图 3-7 时钟树

3.8.1 内部零引脚振荡器

ADP32F03XB 器件包含两个独立的内部零引脚振荡器。默认情况下两个振荡器在上电时全都打开，此时内部振荡器 1 是默认时钟源。为了降低功耗，用户可关闭未使用的振荡器。内部零引脚振荡器的中心频率由其对应的振荡器校准寄存器决定，并且在引导 ROM 执行过程中，会将相应的校准值写入这些寄存器，以进行振荡器的校准。有关这些振荡器的更多信息，请参阅第 6 章节 [“电气规范”](#)。

3.8.2 晶体振荡器选项

[表 3-15](#) 中列出了外部石英晶体（基本模式，并行共振）的典型技术规范。此外，ESR 范围 = 30 至 150Ω。

表 3-15 外部石英晶振的典型技术规范⁽¹⁾

频率 (MHz)	$R_d(\Omega)$	$C_{L1}(pF)$	$C_{L2}(pF)$
5	2200	18	18
10	470	15	15
15	0	15	15
20	0	12	12

(1) C 并联应该少于或者等于 5pF。

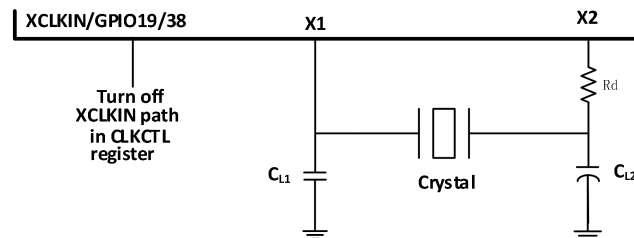


图 3-8 片载晶体振荡器的使用

注

1. C_{L1} 和 C_{L2} 是电路板和包括晶振在内的组件的总电容值。这个值通常约为晶振负载电容值的两倍。
2. 制造商的晶振技术规范中对晶振的负载电容值进行了说明。
3. 我司建议用户让谐振器/晶振销售商对其销售的器件与 MCU 芯片的运行进行特性说明。谐振器/晶体供应商具有调谐谐振电路的设备和专业技术。销售商也可建议客户考虑适当的谐振组件值，这个值将在整个运行范围内实现适当的启动和稳定性。

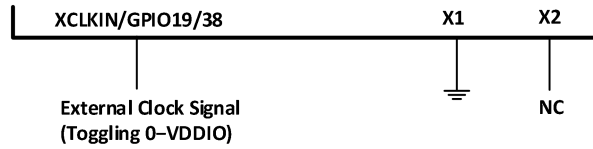


图 3-9 3.3V 外部振荡器的使用

3.8.3 基于 PLL 的时钟模块

ADP32F03XB 有一个片载基于 PLL 的时钟模块。这个模块为器件提供所有需要的时钟信号以及对进入低功耗模式的控制。PLL 有一个 4 位比率控制 PLLCR[DIV] 来选择不同的 CPU 时钟速率。在写入 PLLCR 寄存器之前，看门狗模块应该被禁用。在 PLL 模式稳定后，它可被重新启用（如有需要），重新启用的时间为 1ms。输入时钟和 PLLCR[DIV] 位的选择方法应该是在 PLL (VCOCLK) 的输出频率至少为 50MHz 的时候再选择。

表 3-16 PLL 设置

PLLCR[DIV] 值 ^{(1) (2)}	SYSCLKOUT (CLKIN)		
	PLLSTS[DIVSEL]=0 或 1 ⁽³⁾	PLLSTS[DIVSEL]=2	PLLSTS[DIVSEL]=3
0000 (PLL 旁路)	OSCCLK/4 (默认) ⁽¹⁾	OSCCLK/2	OSCCLK
0001	(OSCCLK * 1)/4	(OSCCLK * 1)/2	(OSCCLK * 1)/1
0010	(OSCCLK * 2)/4	(OSCCLK * 2)/2	(OSCCLK * 2)/1
0011	(OSCCLK * 3)/4	(OSCCLK * 3)/2	(OSCCLK * 3)/1
0100	(OSCCLK * 4)/4	(OSCCLK * 4)/2	(OSCCLK * 4)/1
0101	(OSCCLK * 5)/4	(OSCCLK * 5)/2	(OSCCLK * 5)/1
0110	(OSCCLK * 6)/4	OSCCLK * 6/2	(OSCCLK * 6)/1
0111	(OSCCLK * 7)/4	(OSCCLK * 7)/2	(OSCCLK * 7)/1
1000	(OSCCLK * 8)/4	(OSCCLK * 8)/2	(OSCCLK * 8)/1
1001	(OSCCLK * 9)/4	(OSCCLK * 9)/2	(OSCCLK * 9)/1
1010	(OSCCLK * 10)/4	(OSCCLK * 10)/2	(OSCCLK * 10)/1
1011	(OSCCLK * 11)/4	(OSCCLK * 11)/2	(OSCCLK * 11)/1
1100	(OSCCLK * 12)/4	(OSCCLK * 12)/2	(OSCCLK * 12)/1

- (1) PLL 控制寄存器 (PLLCR) 和 PLL 状态寄存器 (PLLSTS) 只能通过 XRS 信号或者一个看门狗复位被复位为它们的默认值。调试器发出的复位或者丢失时钟检测逻辑对其没有影响。
- (2) 此寄存器受 EALLOW 保护。
- (3) 默认情况下，PLLSTS [DIVSEL] 被配置为 /4。（引导 ROM 将这个配置改为 /1。）在写入 PLLCR 前，PLLSTS[DIVSEL] 必须为 0，而只有当 PLLSTS[PLLOCKS]=1 时才应被改变。

表 3-17 CLKIN 分频选项

PLLSTS [DIVSEL]	CLKIN 分频
0	/4
1	/4
2	/2
3	/1

基于 PLL 的时钟模块提供四种运行模式：

- **INTOSC1**（内部零引脚振荡器 1）：内部片载振荡器 1。此振荡器可为看门狗、内核和 CPU 定时器 2 提供时钟。
- **INTOSC2**（内部零引脚振荡器 2）：内部片载振荡器 2。此振荡器可为看门狗、内核和 CPU 定时器 2 提供时钟。INTOSC1 和 INTOSC2 都可被独立选择用于看门狗、内核和 CPU 定时器 2。
- **晶振/谐振器运行**：片载（晶振）振荡器使得器件可以使用一个连接在其上的外部晶振/振荡器来提供时基。晶振/谐振器被连接至 X1/X2 引脚上。某些器件也许没有 X1/X2 引脚。详细信息请参阅[表 2-2](#)。
- **外部时钟源运行**：如果片载（晶振）振荡器未被使用，这个模式可实现对振荡器的旁通模式。此器件时钟由一个外部时钟源生成并从 XCLKIN 引脚输入。请注意 XCLKIN 与 GPIO19 或者 GPIO38 引脚复用。通过 XCLK 寄存器中的 XCLKINSEL 位，XCLKIN 输入可选择为 GPIO19 或者 GPIO38。CLKCTL[XCLKINOFF] 位禁用该时钟输入（强制低电平）。如果时钟源未被使用或者各自的引脚被用作 GPIO，用户应该在引导时间上将其禁用。

在改变时钟源前，要确保目标时钟存在。如果时钟不存在，那么那个时钟源必须在开关时钟前被禁用（使用 CLKCTL 寄存器）。

表 3-18 可能的 PLL 配置模式

PLL 模式	注释	PLLSTS[DIVSEL]	CLKIN 和 SYSCLKOUT
禁用 PLL	由 PLLSTS 寄存器中的 PLLOFF 位控制。在这个模式中，禁用 PLL 块。这对降低系统噪声和功耗非常有用。在进入此模式之前，必须先将 PLLCR 寄存器设置为 0x0000（PLL 旁路）。CPU 时钟 (CLKIN) 直接源自 X1/X2、X1 或者 XCLKIN 上的时钟输入。	0, 1	OSCCLK/4
		2	OSCCLK/2
		3	OSCCLK/1
旁路 PLL	PLL 旁路是上电或外部复位 $\overline{XRS}$ 时的默认 PLL 配置。当 PLLCR 寄存器设置为 0x0000 时或在 PLLCR 寄存器已经被修改之后，PLL 锁定至新频率时选择此模式。在此模式中 PLL 本身被旁路，但未关闭。	0, 1	OSCCLK/4
		2	OSCCLK/2
		3	OSCCLK/1
启用 PLL	通过将一个非零值“n”写入 PLLCR 寄存器实现。在写入 PLLCR 时，此器件将在 PLL 锁定之前切换至 PLL 旁路模式。	0, 1	OSCCLK * n/4
		2	OSCCLK * n/2
		3	OSCCLK * n/1

3.8.4 输入时钟丢失 (NMI 看门狗功能)

ADP32F03XB 器件可由两个内部零引脚振荡器 (INTOSC1/INTOSC2) 之一、片载晶体振荡器或一个外部时钟输入计时。无论时钟源是什么，在 PLL 启用和 PLL 旁路模式中，如果输入到 PLL 的输入时钟消失，PLL 将输出一个跛行模式时钟。该跛行模式时钟持续为 CPU 和外设提供一个典型值为 1-5MHz 的时钟。

当跛行模式激活时，生成一个被锁存为 NMI 中断的 $\overline{\text{CLOCKFAIL}}$ 信号。根据 NMIRESETSEL 位的配置，对器件的复位可被立即启动或者当 NMI 看门狗计数器溢出时复位。除此之外可通过配置丢失时钟状态 (MCLKSTS) 位确定时钟丢失。应用可使用 NMI 中断来检测输入时钟故障并启动所需的校正操作，例如切换到另一个时钟源（如有）或者为系统启动一个关断过程。

如果软件对于时钟故障情况没有应答，NMI 看门狗将在一个设定时间间隔后触发复位。

[图 3-10](#) 显示了相关的中断机制。

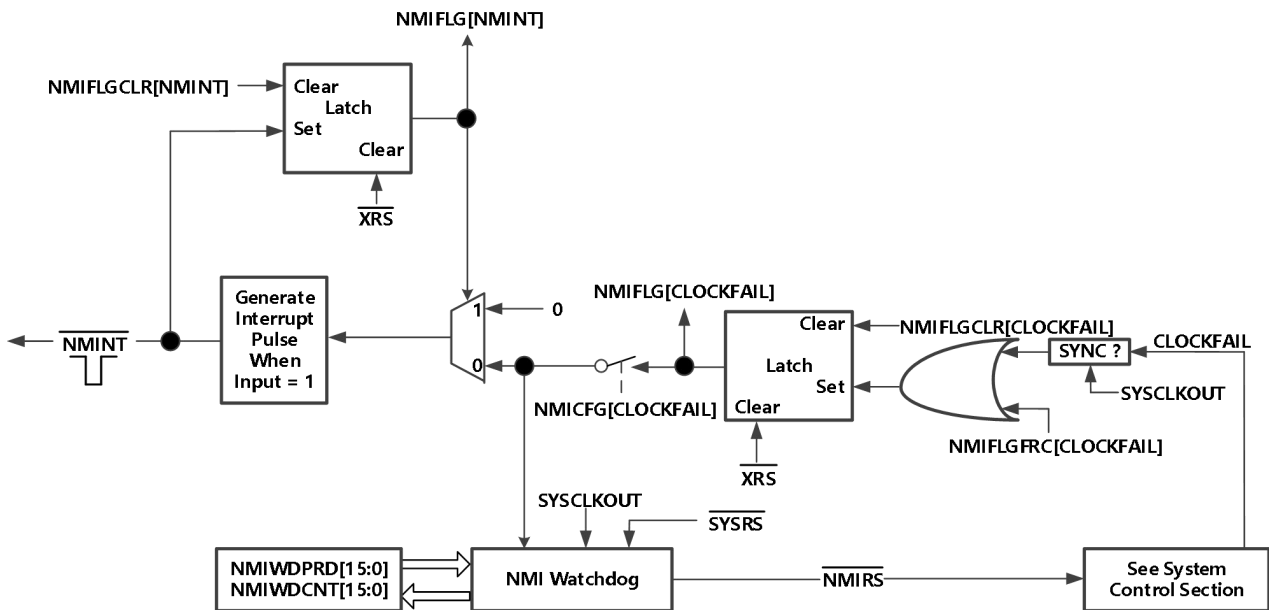


图 3-10 NMI - 看门狗

3.8.5 CPU 看门狗

ADP32F03XB 器件上的 CPU 看门狗与 ADP32F1x/ AVP32F335 器件上所使用的模块相类似。只要 8 位看门狗递增计数器在 512 个振荡器时钟宽度 (OSCCLK) 后达到了其最大值，这个模块就生成一个输出脉冲。为防止这一情况，用户必须禁用此计数器，或者通过软件定期地往看门狗密钥寄存器写入一个 0x55+0xAA 序列，用于复位此看门狗计数器。图 3-11 显示了看门狗模块内的各种功能块。

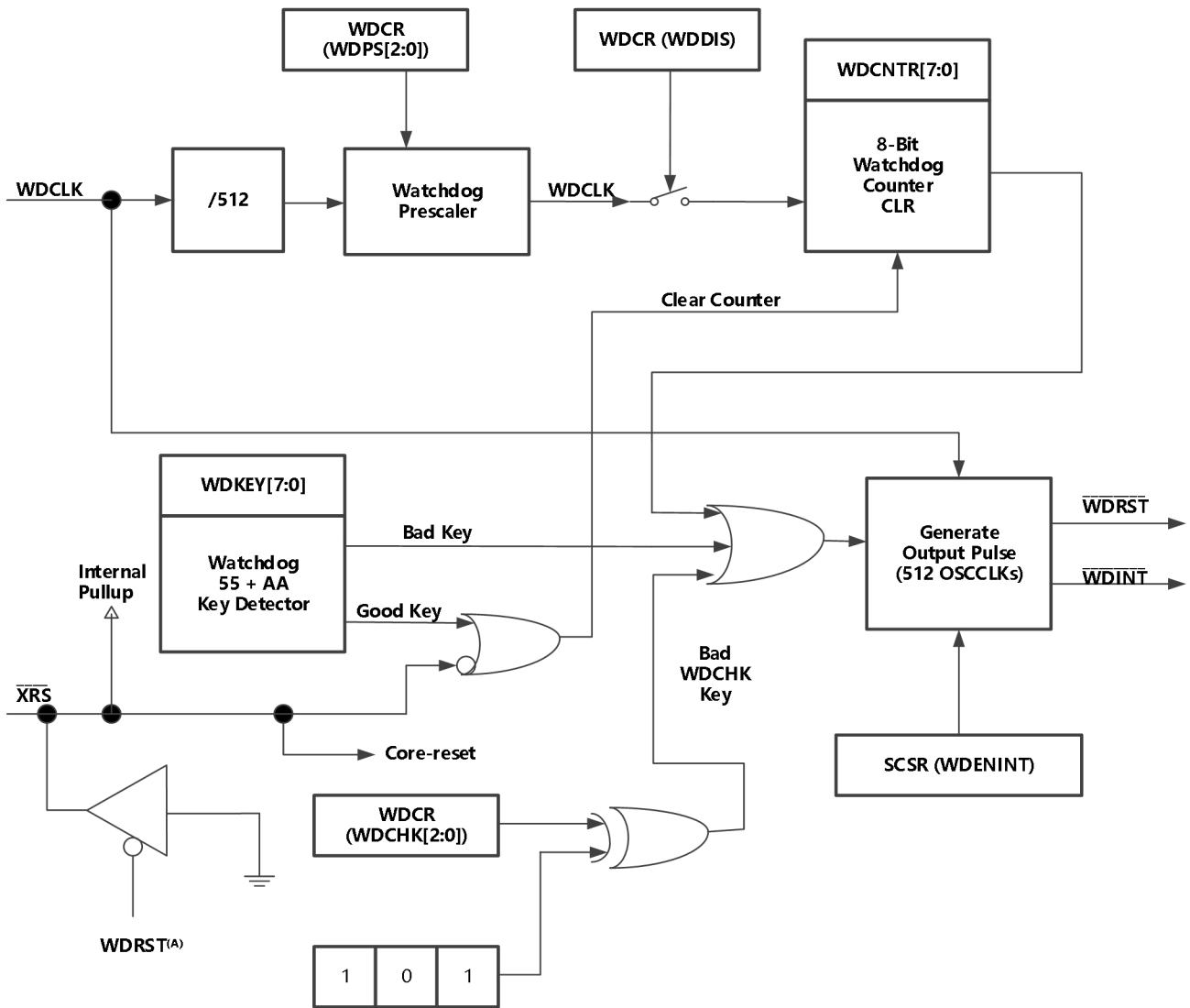
通常情况下，当输入时钟出现时，CPU 看门狗计数器递减以启动 CPU 看门狗复位或 WDINT 中断。然而当外部输入时钟发生故障时，CPU 看门狗计数器停止递减（即看门狗计数器不会随着跛行模式时钟而变化）。

注

CPU 看门狗与 NMI 看门狗不同。它是出现在所有 ADP32F03XB 器件中的老版看门狗。

注

在正确 CPU 运行频率绝对关键的应用中应该执行一个机制，通过这个机制，只要输入时钟出现故障，MCU 就被保持在复位状态。例如，只要电容器充满电，一个 R-C 电路可被用于触发 MCU 的 XRS 引脚。一个 I/O 引脚可被用于定期为电容器放电以防止其被完全充满。此电路也有助于检测闪存存储器的故障。



A. WDRST信号在 512 个 OSCCLK 周期内被驱动为低电平。

图 3-11 CPU - 看门狗模块

WDINT信号使看门狗可作为从 IDLE/STANDY 模式唤醒的激励源。

在 STANDBY 模式下，器件上的所有外设关闭。唯一保持正常运行的外设是 CPU 看门狗。这个模块将关闭 OSCCLK。WDINT信号被馈送到 LPM 块以便它可以将器件从 STANDBY 唤醒（如已启用）。详细信息请参阅第 3.9 节“低功耗模式”。

在 IDLE 模式下，WDINT信号可通过 PIE 对 CPU 生成一个中断，以使 CPU 退出 IDLE。

在 HALT 模式下，CPU 看门狗可用来通过器件复位唤醒器件。

3.9 低功耗模式

表 3-19 总结了各种模式。

表 3-19 低功耗模式

模式	LPM[1:0]	OSCCLK	CLKIN	SYSCLKOUT	退出 ⁽¹⁾
IDLE	0,0	打开	打开	打开	$\overline{XRS}$, CPU 看门狗中断, 任何被启动的中断
STANDBY	0,1	打开 (CPU 看门狗仍然运行)	关闭	关闭	$\overline{XRS}$, CPU 看门狗中断, GPIO 端口 A 信号, 调试器 ⁽²⁾
HALT ⁽³⁾	1,X	关闭 (片载振荡器和 PLL 关闭, 零引脚振荡器和 CPU 看门狗状态取决于用户代码。)	关闭	关闭	$\overline{XRS}$, GPIO 端口 A 信号, 调试器 ⁽²⁾ , CPU 看门狗中断

(1) “退出”，列出哪些信号或在哪些情况下会退出低功耗模式，在这些信号中的任何一个低电平信号，将退出低功耗状态。此信号必须保持低电平足够长时间以便器件识别中断。否则，将不会从 IDLE 模式中退出，而器件将返回到已确认的低功耗模式。

(2) 在 ADP32F03XB 上，内核时钟 (CLKIN) 被关闭，JTAG 仍然可以工作。

(3) 为了使器件进入 HALT 模式，必须激活 WDCLK。

三种不同的低功耗模式运行状态如下：

IDLE 模式 通过任一被启用的中断或者一个由处理器识别的 XNMI 来退出此模式。在这个模式期间，在 LPMCR0(LPM)位被设定为 0，0 时，LPM 模块不执行任何任务。

STANDBY 模式 任一 GPIO 端口 A 信号 (GPIO[31:0]) 能够将器件从 STANDBY 模式中唤醒。用户必须通过 GPIOLPMSEL 寄存器选择哪一个信号将器件唤醒。在唤醒器件之前，所选的信号会被一定数量的 OSCCLK 限定，OSCCLK 的数量由 LPMCR0 寄存器中相应的比特位设置。

HALT 模式 CPU 看门狗， $\overline{XRS}$ 和任何一个 GPIO 端口 A 信号 (GPIO[31:0])可将器件从 HALT 模式中唤醒。用户在 GPIOLPMSEL 寄存器中选择信号。

注

低功耗模式并不会影响输出引脚的状态（包括 PWM 引脚在内）。当 IDLE 被指令执行时，它们将保持在代码指定的状态中。

4 外设

4.1 控制律加速器 (CLA) 概述

控制律加速器通过添加并行处理来扩展 ADP32Fx CPU 的功能。CLA 处理的时间关键控制环路可实现低 ADC 采样输出延迟。因此，CLA 支持更快速的系统响应和高频率的控制环路。将 CLA 用于时间关键任务可将 CPU 解放出来去同时执行其它系统和通信功能。以下为 CLA 主要特性：

- 时钟速率与主 CPU 一致 (SYSCLKOUT)
- 一个独立的架构使得 CLA 能够独立于主 C28x CPU 之外进行算法执行
 - 完整的总线架构：
 - ~ 程序地址总线和程序数据总线
 - ~ 数据地址总线、数据读取总线和数据写入总线
 - 独立的 8 级流水线
 - 12 位程序计数器 (MPC)
 - 4 个 32 位结果寄存器 (MR0-MR3)
 - 2 个 16 位辅助寄存器 (MAR0, MAR1)
 - 状态寄存器 (MSTF)
- 指令集包括：
 - IEEE 单精度 (32 位) 浮点数学运算
 - 带有并行载入或者存储的浮点数学
 - 带有并行加法或者减法的浮点乘
 - $1/X$ 和 $1/\sqrt{X}$ 估值
 - 数据类型转换。
 - 条件分支指令和调用
 - 数据载入/存储操作

- CLA 程序代码能够包含多达 8 个任务或者中断处理例程
 - 每一个任务的开始地址由 MVECT 寄存器指定
 - 只要任务符合 CLA 内的程序内存空间，对任务大小就没有限制
 - 每次处理并完成一个任务。无任务嵌套
 - 任务完成时，在 PIE 内标志一个任务专用中断
 - 当一个任务结束时，下一个具有最高优先级的等待任务自动开始
- 任务触发机制：
 - 借助于 IACK 指令的 C28x CPU
 - 任务 1 至 任务 7：相应的 ADC 或 ePWM 模块中断。例如：
 - 任务 1：ADCINT1 或 EPWM1_INT
 - 任务 2：ADCINT2 或 EPWM2_INT
 - 任务 7：ADCINT7 或 EPWM7_INT
 - 任务 8：ADCINT8 或由 CPU 定时器 0 发出的任务
- 内存和共用外设：
 - 两个专用消息 RAM 用于 CLA 和主 CPU 间的通信
 - ADP32F03XB CPU 能够将 CLA 程序和数据内存映射到主 CPU 空间或者 CLA 空间
 - CLA 可直接访问 ADC 结果寄存器、比较器寄存器和 ePWM+HRPWM 寄存器

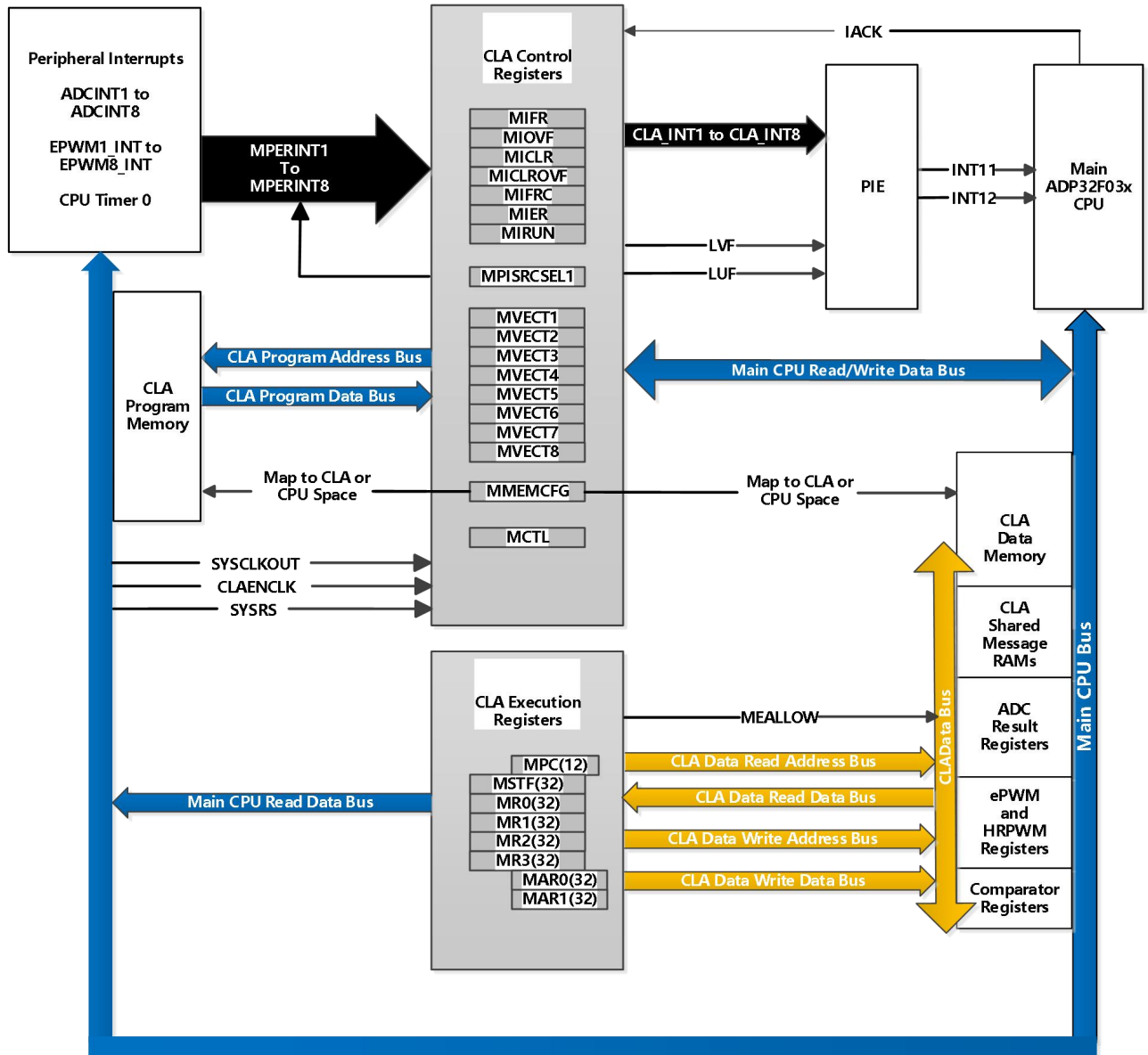


图 4-1 CLA 框图

表 4-1 CLA 控制寄存器

寄存器名称	CLA1 地址	大小(x 16)	受 EALLOW 保护	说明 ⁽¹⁾
MVECT1	0x1400	1	支持	CLA 中断/任务 1 起始地址
MVECT2	0x1401	1	支持	CLA 中断/任务 2 起始地址
MVECT3	0x1402	1	支持	CLA 中断/任务 3 起始地址
MVECT4	0x1403	1	支持	CLA 中断/任务 4 起始地址
MVECT5	0x1404	1	支持	CLA 中断/任务 5 起始地址
MVECT6	0x1405	1	支持	CLA 中断/任务 6 起始地址
MVECT7	0x1406	1	支持	CLA 中断/任务 7 起始地址
MVECT8	0x1407	1	支持	CLA 中断/任务 8 起始地址
MCTL	0x1410	1	支持	CLA 控制寄存器
MMEMCFG	0x1411	1	支持	CLA 内存配置寄存器
MPISRCSEL1	0x1414	1	支持	外设中断源选择寄存器 1
MIFR	0x1420	1	支持	中断标志寄存器
MIOVF	0x1421	1	支持	中断溢出寄存器
MIFRC	0x1422	1	支持	中断强制寄存器
MICLR	0x1423	1	支持	中断清除寄存器
MICLROVF	0x1424	1	支持	中断溢出清除寄存器
MIER	0x1425	1	支持	中断使能寄存器
MIRUN	0x1426	1	支持	中断 RUN (运行) 寄存器
MIPCTL	0x1427	1	支持	中断优先级控制寄存器
MPC ⁽²⁾	0x1428	1	-	CLA 程序计数器
MAR0 ⁽²⁾	0x142A	1	-	CLA 辅助寄存器 0
MAR1 ⁽²⁾	0x142B	1	-	CLA 辅助寄存器 1
MSTF ⁽²⁾	0x142E	2	-	CLA STF 寄存器
MR0 ⁽²⁾	0x1430	2	-	CLA R0H 寄存器
MR1 ⁽²⁾	0x1434	2	-	CLA R1H 寄存器
MR2 ⁽²⁾	0x1438	2	-	CLA R2H 寄存器
MR3 ⁽²⁾	0x143C	2	-	CLA R3H 寄存器

(1) 这个表中的所有寄存器是受 CSM 保护的。

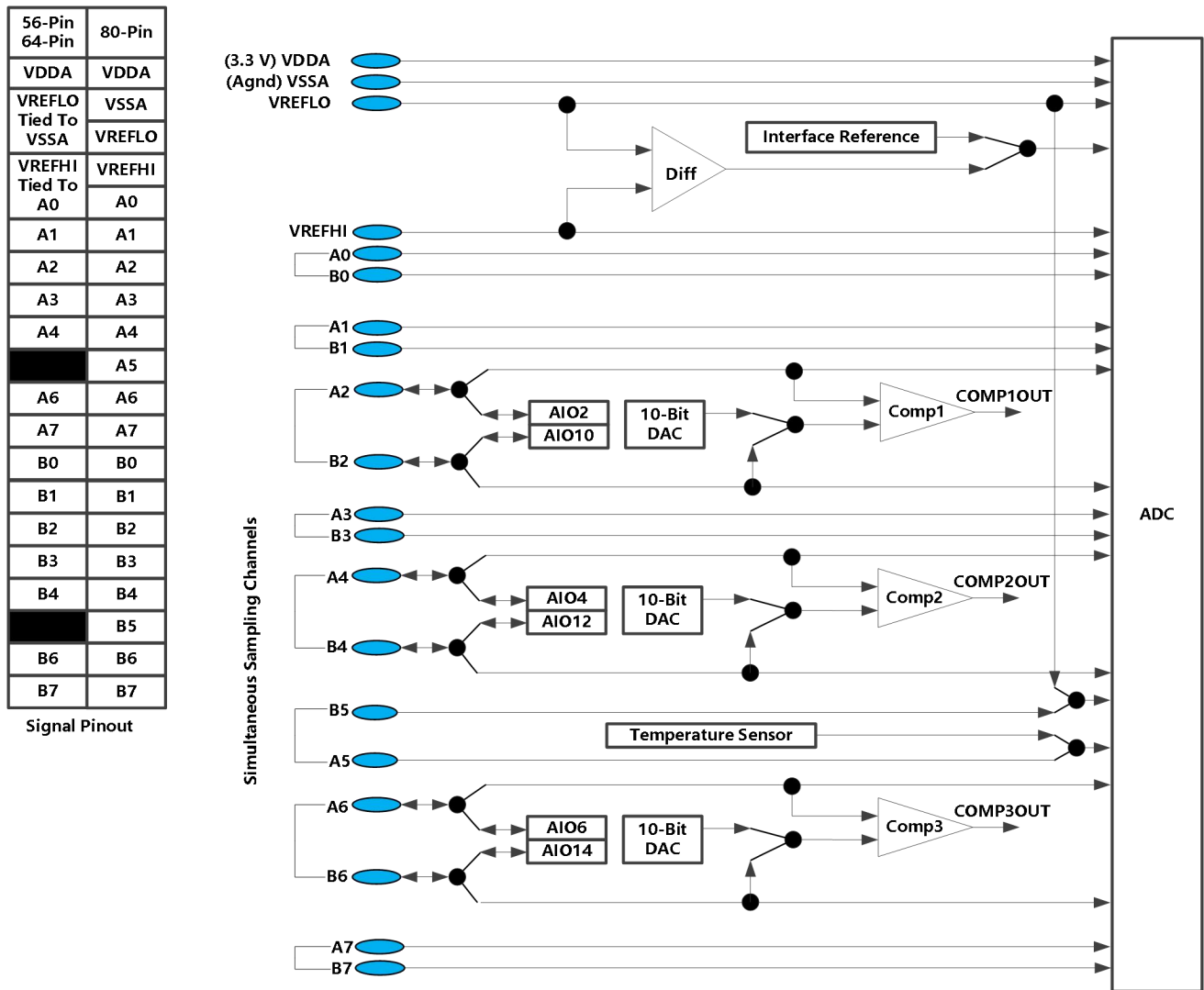
(2) 主 ADP32Fx CPU 对于这些寄存器只有用于调试目的的只读权限。主 CPU 不能执行到这个寄存器的 CPU 或者调试器写入。

表 4-2 CLA 消息 RAM

地址范围	大小(x 16)	说明
0x1480-0x14FF	128	CLA 到 CPU 消息 RAM
0x1500-0x157F	128	CPU 到 CLA 消息 RAM

4.2 模拟模块

图 4-2 所示为模拟模块与 ADP32F03x 系统其余部分的交互。



4.2.1 ADC 特性

ADC 内核包含一个由 2 个采样保持电路提供输入信号的 12 位转换器。可对这两个采样保持电路进行同时或顺序采样。两个采样保持电路的输入信号又由多达 16 个模拟输入通道提供。AD 转换器可

以配置为与内部带隙基准一起运行，以创建基于真实电压值的转换或与一对外部参考电压（VREFHI / VREFLO）一起创建基于比率的转换。

与之前的 ADC 类型不同，此 ADC 并不是基于序列发生器的。对于用户而言，可以很容易地从单个触发器创建一系列转换。然而，操作的基本原则是以单个转换的配置为中心，被称为 SOC 或转换开始。

ADC 模块的功能包括：

- 具有内置双采样保持 (S/H) 的 12 位 ADC 内核
- 同步采样模式或顺序采样模式
- 全范围模拟输入：0V 至 3.3V 固定值，或者基于 VREFHI/VREFLO 进行比例运算。输入模拟电压的数字值由以下公式得出：

- 内部基准电压源（VREFLO=VSSA。当使用内部或外部基准电压源模式时，VREFHI 一定不能超过 VDDA。）

Digital Value = 0, when input ≤ 0 V

$$\text{Digital Value} = 4096 \times \frac{\text{Input Analog Voltage} - V_{REFLO}}{3.3} \quad \text{when } 0 \text{ V} \leq \text{input} \leq 3.3 \text{ V}$$

Digital Value = 4095, when input ≥ 3.3 V

- 外部基准（VREFHI/VREFLO 连接至外部基准。当使用内部或者外部基准模式时，VREFHI 一定不能超过 VDDA。）

Digital Value = 0, when input ≤ 0 V

$$\text{Digital Value} = 4096 \times \frac{\text{Input Analog Voltage} - V_{REFLO}}{V_{REFHI} - V_{REFLO}} \quad \text{when } 0 \text{ V} < \text{input} < V_{REFHI}$$

Digital Value = 4095, when input ≥ VREFHI

- 运行在全系统时钟上，无需预分频（系统时钟≤60MHz）
- 多达 16 通道的多路复用输入
- 16 个 SOC，可单独对触发、采样窗口和通道进行配置
- 用于存储转换值的 16 个结果寄存器（可单独寻址）

- 多个触发源
 - S/W - 软件立即启动
 - ePWM 1-7
 - GPIO XINT2
 - CPU 定时器 0/1/2
 - ADCINT1/2
- 9 个灵活的 PIE 中断，可以在任一转换后配置中断请求

表4-3 ADC配置和控制寄存器

寄存器名称	地址	大小 (x16)	受 EALLOW 保护	说明
ADCCTRL1	0x7100	1	支持	控制寄存器 1
ADCCTRL2	0x7101	1	支持	控制寄存器 2
ADCINTFLG	0x7104	1	否	中断标志寄存器
ADCINTFLGCLR	0x7105	1	否	中断标志清除寄存器
ADCINTOVF	0x7106	1	否	中断溢出寄存器
ADCINTOVFCLR	0x7107	1	否	中断溢出清除寄存器
INTSEL1N2	0x7108	1	支持	中断 1 和 2 选择寄存器
INTSEL3N4	0x7109	1	支持	中断 3 和 4 选择寄存器
INTSEL5N6	0x710A	1	支持	中断 5 和 6 选择寄存器
INTSEL7N8	0x710B	1	支持	中断 7 和 8 选择寄存器
INTSEL9N10	0x710C	1	支持	中断 9 选择寄存器 (被保留的中断 10 选择)
SOCPRCTL	0x7110	1	支持	SOC 优先级控制寄存器
ADCSAMPLEMODE	0x7112	1	支持	采样模式寄存器
ADCINTSOCSEL1	0x7114	1	支持	中断 SOC 选择寄存器 1 (用于 8 个通道)
ADCINTSOCSEL2	0x7115	1	支持	中断 SOC 选择寄存器 2 (用于 8 个通道)
ADCSOCFLG1	0x7118	1	否	SOC 标志寄存器 1 (用于 16 个通道)
ADCSOCFRC1	0x711A	1	否	SOC 强制寄存器 1 (用于 16 个通道)
ADCSOCOVF1	0x711C	1	否	SOC 溢出寄存器 1 (用于 16 个通道)
ADCSOCOVFCLR1	0x711E	1	否	SOC 溢出清除 1 寄存器 1 (用于 16 个通道)
ADCSOC0CTL 至 DCSOC15CTL	0x7120 - 0x712F	1	支持	SOC0 控制寄存器至 SOC15 控制寄存器
ADCREFTTRIM	0x7140	1	支持	参考修调寄存器
ADCOFFTRIM	0x7141	1	支持	失调修调寄存器
COMPHYSTCTL	0x714C	1	支持	比较器迟滞控制寄存器
ADCREV	0x714F	1	否	修订版本寄存器

表 4-4 ADC 结果寄存器 (映射至 PF0)

寄存器名称	地址	大小 (x16)	受 EALLOW 保护	说明
ADCRESULT0 至 ADCRESULT15	0xB00 - 0xB0F	1	否	ADC 结果 0 寄存器至 ADC 结果 15 寄存器

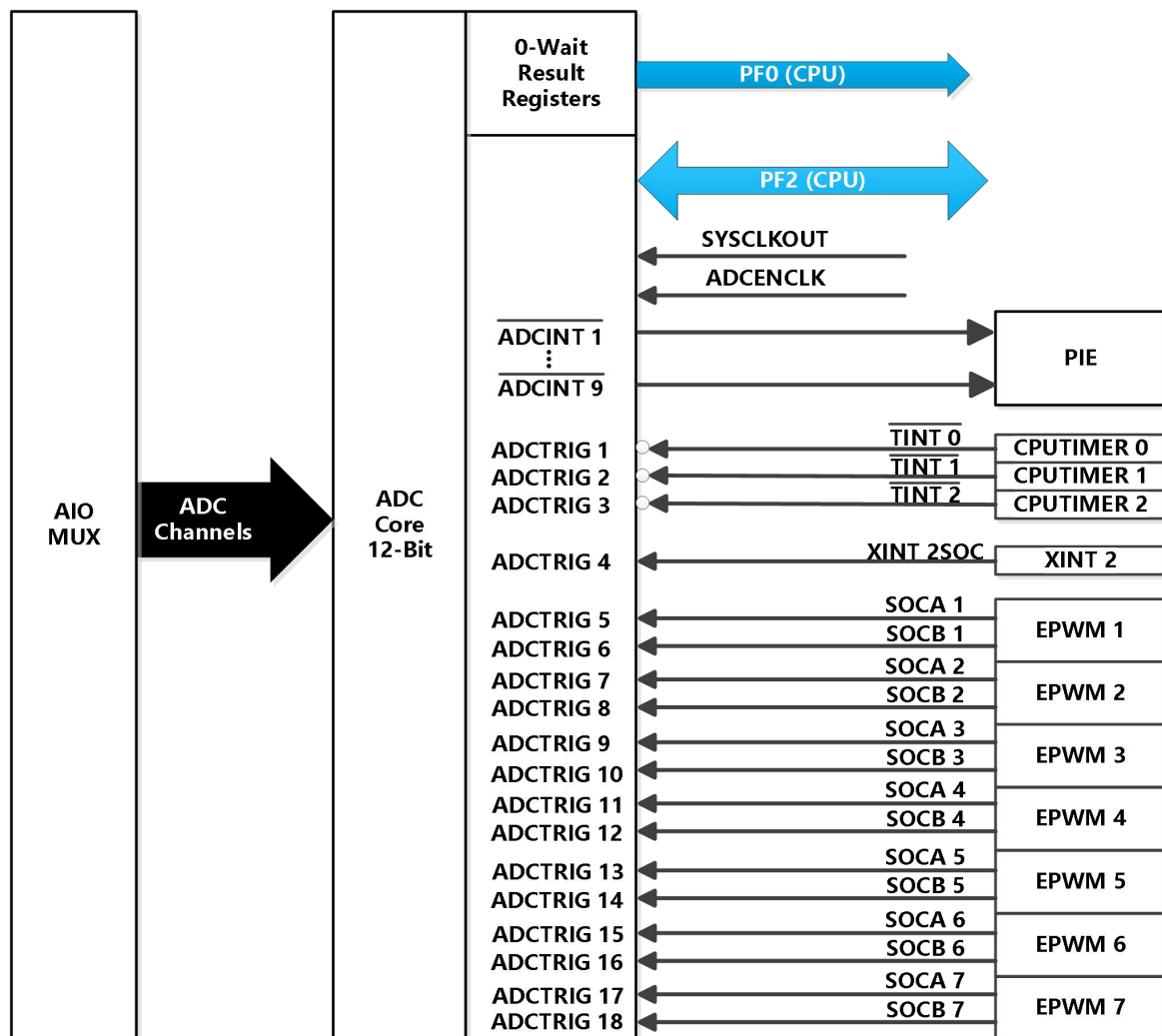


图 4-3 ADC 连接

如果 ADC 未使用，则连接 ADC

我司建议即使不使用 ADC，也应保持模拟电源引脚的连接。ADC 未在应用中使用，ADC 引脚应按如下方式进行连接：

- V_{DDA-} 连接到 V_{DDIO}
- V_{SSA-} 连接到 V_{SS}
- V_{REFLO-} 连接到 V_{SS}
- $ADCINAn$, $ADCINBn$, V_{REFHI} 连接到 V_{SSA}

在应用中使用 ADC 模块时，未使用的 ADC 输入引脚应连接到模拟地 (V_{SSA})。

注意：

与 AIO 功能复用的未使用的 ADCIN 引脚不应直接连接到模拟地。它们应该通过一个 1kΩ 电阻接地。这是为了防止一个错误代码将这些引脚配置为 AIO 输出并将接地的引脚驱动到逻辑高电平状态。

4.2.3 比较器模块

图 4-5 说明了比较器模块与系统其余部分的相互作用。

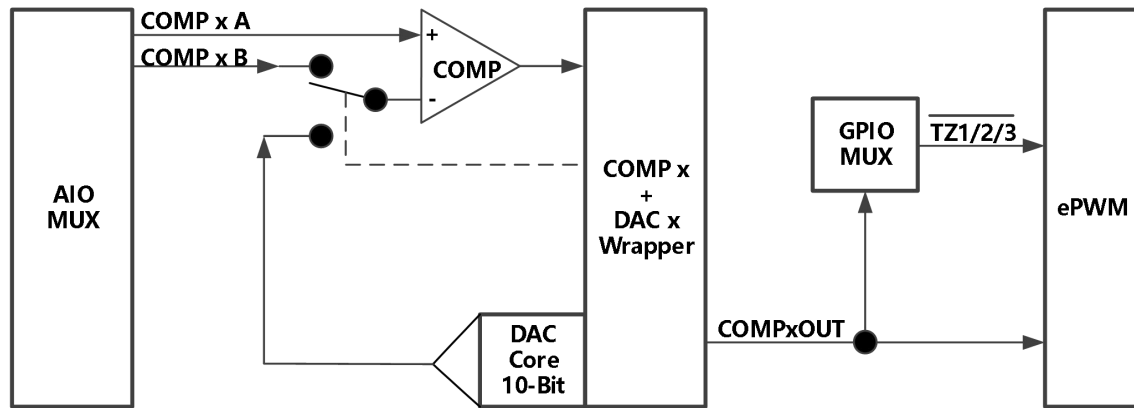


图 4-5 比较器模块图

表 4-5 比较器控制寄存器

寄存器名称	COMP1 地址	COMP2 地址	COMP3 地址	大小 (x 16)	受 EALLOW 保护	说明
COMPCTL	0x6400	0x6420	0x6440	1	支持	比较器控制寄存器
COMPSTS	0x6402	0x6422	0x6442	1	否	比较器状态寄存器
DACCTL	0x6404	0x6424	0x6444	1	支持	DAC 控制寄存器
DACVAL	0x6406	0x6426	0x6446	1	否	DAC 值寄存器
RAMPMAXREF_ 有效	0x6408	0x6428	0x6448	1	否	斜坡发生器最大基准（活动）寄存器
RAMPMAXREF_ SHDW	0x640A	0x642A	0x644A	1	否	斜坡发生器最大基准（影子）寄存器
RAMPDECVAL_ 有效	0x640C	0x642C	0x644C	1	否	斜坡发生器减量值（活动）寄存器
RAMPDECVAL_ SHDW	0x640E	0x642E	0x644E	1	否	斜坡发生器减量值（影子）寄存器
RAMPSTS	0x6410	0x6430	0x6450	1	否	斜坡发生器状态寄存器

4.3 同步串行通信接口 (SPI) 模块

ADP32F03XB 器件包括2个四引脚的同步串行通信接口 (SPI) 模块。SPI 是一个高速、同步串行 I/O 端口，此端口可在设定的位传输速率上将一个设定长度（1至16位）的串行比特流移入和移出器件。通常，SPI用于DSP和外部外设或者其它处理器之间的通信。典型应用包括外部I/O 或者从诸如移位寄存器、显示驱动器和ADC 等器件的外设扩展。多器件通信由SPI的主模式/从模式操作支持。

SPI模块的特性包括：

- 四个外部引脚：
 - SPISOMI：SPI 从器件输出/主器件输入引脚
 - SPISIMO：SPI 从器件输入/主器件输出引脚
 - $\overline{\text{SPISTE}}$ ：SPI 从器件发送使能引脚
 - SPICLK：SPI 串行时钟引脚

注释：如果SPI模块未使用，则所有四个引脚都可用作GPIO。

- 两种运行模式：主模式和从模式
- 波特率：125 个不同的可编辑速率

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{SPIBRR} + 1)} \quad \text{when SPIBRR} = 3 - 127$$

$$\text{Baud rate} = \frac{\text{LSPCLK}}{4} \quad \text{when SPIBRR} = 0, 1, 2$$

- 数据字长度：1~16数据位
- 包括4种时钟模式（由时钟极性和时钟相位的位控制）：
 - 无相位延迟的下降沿：SPICLK高电平有效。SPI 在SPICLK信号的下降沿上发送数据，而在SPICLK信号的上升沿上接收数据。
 - 有相位延迟的下降沿：SPICLK高电平有效。SPI 在SPICLK信号下降沿的一半周期之前发送数据，而在SPICLK信号的下降沿上接收数据。
 - 无相位延迟的上升沿：SPICLK低电平无效。SPI 在SPICLK信号的上升沿上发送数据，而在

SPICLK信号的下降沿上接收数据。

- 有相位延迟的上升沿：SPICLK低电平无效。SPI 在SPICLK信号下降沿之前的半个周期发送数据，而在SPICLK信号的上升沿上接收数据。
- 同时接收和发送操作（发送功能可在软件中被禁用）
- 通过中断驱动或者轮询算法来完成发送器和接收器运行。
- 9 个SPI 模块控制寄存器：位于控制寄存器内，帧开始地址7040h。

注

此模块中的所有寄存器是连接至外设帧2 的16 位寄存器。当访问寄存器时，位于低字节(7-0)和高字节(15-8) 的寄存器数据读取为零。对高字节的写入无效。

增强型特性：

- 4 级发送/接收FIFO
- 经延迟的发送控制
- 支持双向 3 线 SPI 模式
- 借助 $\overline{\text{SPISTE}}$ 翻转支持音频数据接收

SPI 端口运行由[表4-6](#)和[表4-7](#)中列出的寄存器配置和控制。

表4-6 SPI-A 寄存器

名称	地址	大小 (x16)	受 EALLOW 保护	说明 ⁽¹⁾
SPICCR	0x00 7040	1	否	SPI-A 配置控制寄存器
SPICTL	0x00 7041	1	否	SPI-A 运行控制寄存器
SPISTS	0x00 7042	1	否	SPI-A 状态寄存器
SPIBRR	0x00 7044	1	否	SPI-A 波特率寄存器
SPIRXEMU	0x00 7046	1	否	SPI-A 接收仿真缓冲器寄存器
SPIRXBUF	0x00 7047	1	否	SPI-A 串行输入缓冲器寄存器
SPITXBUF	0x00 7048	1	否	SPI-A 串行输出缓冲器寄存器
SPIDAT	0x00 7049	1	否	SPI-A 串行数据寄存器
SPIFFTX	0x00 704A	1	否	SCI-A FIFO 发送寄存器
SPIFFRX	0x00 704B	1	否	SCI-A FIFO 接收寄存器
SPIFFCT	0x00 704C	1	否	SCI-A FIFO 控制寄存器
SPIPRI	0x00 704F	1	否	SCI-A 优先级控制寄存器

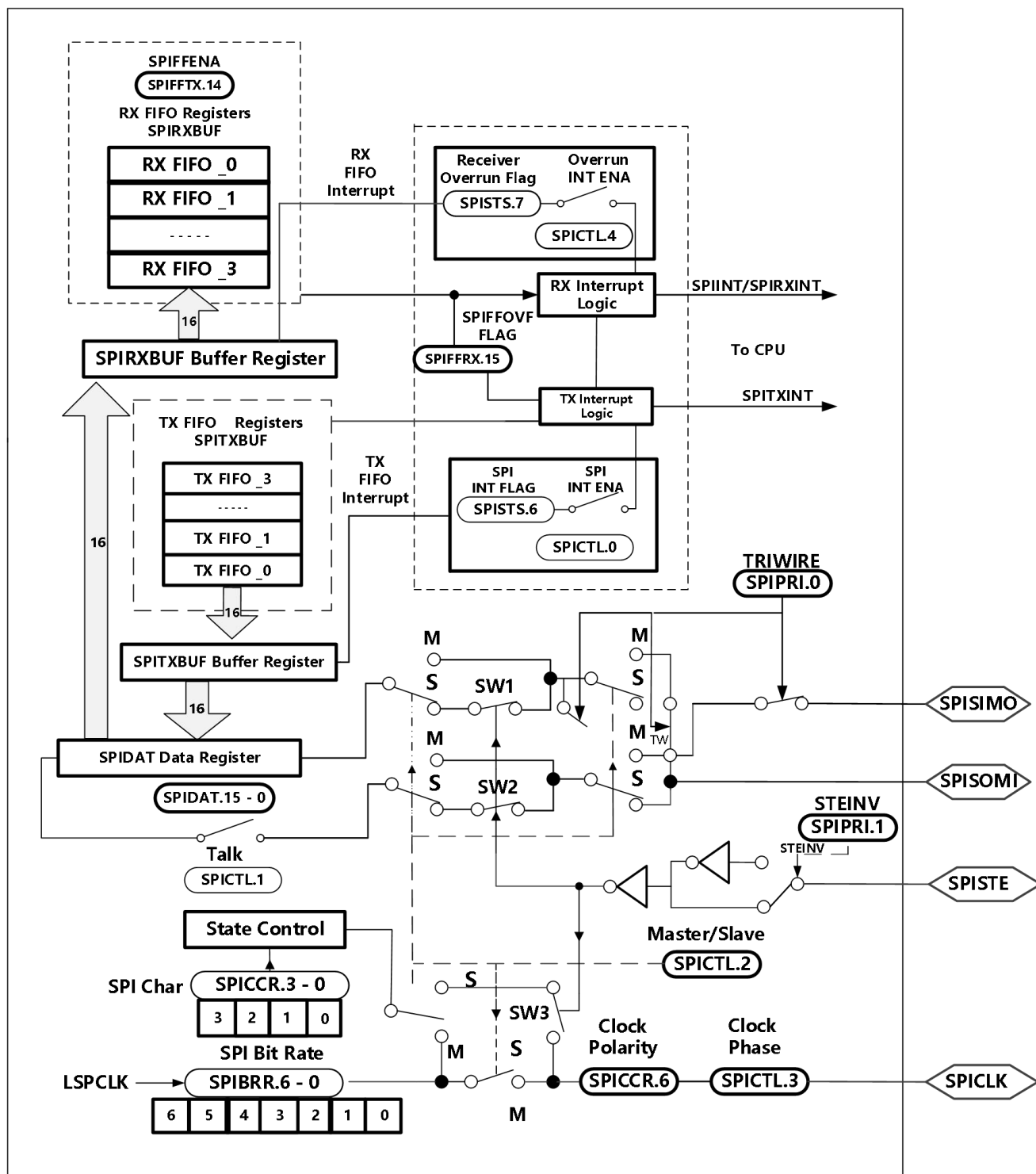
(1) 此表中的寄存器映射至外设帧 2。此空间只允许 16 位访问。32 位访问会产生未知结果。

表4-7 SPI-B 寄存器

名称	地址	大小 (x16)	受 EALLOW 保护	说明 ⁽¹⁾
SPICCR	0x00 7740	1	否	SPI-B 配置控制寄存器
SPICTL	0x00 7741	1	否	SPI-B 运行控制寄存器
SPISTS	0x00 7742	1	否	SPI-B 状态寄存器
SPIBRR	0x00 7744	1	否	SPI-B 波特率寄存器
SPIRXEMU	0x00 7746	1	否	SPI-B 接收仿真缓冲器寄存器
SPIRXBUF	0x00 7747	1	否	SPI-B 串行输入缓冲器寄存器
SPITXBUF	0x00 7748	1	否	SPI-B 串行输出缓冲器寄存器
SPIDAT	0x00 7749	1	否	SPI-B 串行数据寄存器
SPIFFTX	0x00 774A	1	否	SCI-B FIFO 发送寄存器
SPIFFRX	0x00 774B	1	否	SCI-B FIFO 接收寄存器
SPIFFCT	0x00 774C	1	否	SCI-B FIFO 控制寄存器
SPIPRI	0x00 774F	1	否	SCI-B 优先级控制寄存器

(1) 此表中的寄存器映射至外设帧 2。这空间只允许 16 位访问。32 位访问会产生未知结果。

[图4-6](#)所示为从模式下的 SPI 框图。



A. $\overline{\text{SPISTE}}$ 由主器件驱动为用于从器件的低电平。

图 4-6 SPI 模块框图 (从模式)

4.4 异步串行通信接口 (SCI) 模块

ADP32F03XB器件包括1个异步串行通信接口(SCI) 模块。SCI 模块支持CPU 与其它异步外设之间的使用标准非归零码 (NRZ) 格式的数字通信。SCI 接收器和发送器是双缓冲的, 各自具有独立的使能和中断位, 两者可独立运行或者在全双工模式下同时运行。为了确保数据完整性, SCI 在中断检测、奇偶性、超载和组帧错误方面对接收到的数据进行检查。通过一个16位波特率选择寄存器, 可将比特率设定为超过65000种不同的波特率。

每个SCI 模块的特性包括:

- 两个外部引脚:

- SCITXD: SCI 发送-输出引脚
- SCIRXD: SCI 接收-输入引脚

注释: 两个引脚如果不被用于SCI 的话, 可被用作GPIO。

- 波特率被设定为64K 个不同速率

$$\text{Baudrate} = \frac{\text{LSPCLK}}{(\text{BRR} + 1) * 8} \quad \text{when BRR} \neq 0$$

$$\text{Baudrate} = \frac{\text{LSPCLK}}{16} \quad \text{when BRR} = 0$$

- 数据字格式

- 一个开始位
- 数据-字长度可被设定为 1 至 8 位
- 可选偶/奇/无奇偶校验位
- 一个或者两个停止位

- 四个错误检测标志: 奇偶、超载、组帧和中断检测

- 两个唤醒多处理器模式: 空闲线路和地址位

- 半双工或者全双工运行

- 双缓冲接收和发送功能

- 可通过带有状态标志的中断驱动或者轮询算法来完成发送器和接收器操作。

- 发送器：TXRDY 标志（发送器缓冲寄存器已经准备好接收另外字符）和 TX EMPTY（TX 空）标志（发送器移位寄存器已空）
- 接收器：RXRDY 标志（接收器缓冲寄存器已经准备好接收另外的字符），BRKDT 标志（发生了中断条件），和 RX ERROR 错误标志（监控四个中断条件）
- 用于发送器和接收器中断的独立使能位（除了BRKDT）
- NRZ（非归零）码格式

注

所有处于该模式中的寄存器都是连接至外设帧2的8位寄存器。当访问寄存器时，位于低字节(7-0)和高字节(15-8)内的寄存器数据读取为零。对高字节的写入无效。

增强型特性：

- 自动波特率检测硬件逻辑电路
- 4 级发送/接收FIFO

SCI 端口运行由[表 4-8](#)中列出的寄存器配置和控制。

表4-8 SCI-A 寄存器⁽¹⁾

名称	地址	大小 (x16)	受 EALLOW 保护	说明
SCICCRA	0x00 7050	1	否	SCI-A 通信控制寄存器
SCICTL1A	0x00 7051	1	否	SCI-A 控制寄存器
SCIHBAUDA	0x00 7052	1	否	SCI-A 波特率寄存器，高位
SCILBAUDA	0x00 7053	1	否	SCI-A 波特率寄存器，低位
SCICTL2A	0x00 7054	1	否	SCI-A 控制寄存器2
SCIRXSTA	0x00 7055	1	否	SCI-A 接收状态寄存器
SCIRXEMUA	0x00 7056	1	否	SCI-A 接收仿真数据缓冲寄存器
SCIRXBUFA	0x00 7057	1	否	SCI-A 接收数据缓冲寄存器
SCITXBUFA	0x00 7059	1	否	SCI-A 发送数据缓冲寄存器
SCIFFTXA ⁽²⁾	0x00 705A	1	否	SCI-A FIFO 发送寄存器
SCIFFRXA ⁽²⁾	0x00 705B	1	否	SCI-A FIFO 接收寄存器
SCIFFCTA ⁽²⁾	0x00 705C	1	否	SCI-A FIFO 控制寄存器
SCIPRIA	0x00 705F	1	否	SCI-A 优先级控制寄存器

(1) 此表中的寄存器映射到外设帧 2 空间。此空间只允许 16 位访问。32 位访问会产生未知结果。

(2) 这些寄存器是用于 FIFO 模式的全新寄存器。

[illegible]

图4-7 SCI 模块框图

4.5 本地互连网络 (LIN)

ADP32F03XB 器件包含一个 LIN 控制器。LIN 标准基于 SCI (UART) 串行数据链路格式。LIN 模块也可配置为作为 SCI 运行。LIN 模块具有以下特性：

- 与 LIN 1.3 或者 2.0 协议兼容
- 两个外部引脚：LINRX 和 LINTX
- 多缓冲接收和发送单元
- 针对信息过滤的识别掩码
- 自动主器件头文件生成
 - 可编程同步中断域
 - 同步域
 - 标识符域
- 从器件自动同步
 - 同步中断检测
 - 可选波特率更新
 - 同步验证
- 带有 7 个分数位的 2^{31} 个可编程传输速率
- 从收发器在 LINRX 主级别上唤醒
- 自动唤醒支持
 - 唤醒信号生成
 - 唤醒信号超期时间
- 自动总线闲置检测
- 错误检测
 - 位错误
 - 总线错误

- 无响应错误
- 校验和错误
- 同步域错误
- 奇偶校验错误
- 带有优先级编码的 2 个中断线路：
 - 接收
 - 发送
 - ID, 错误和状态

注：ADP32F03XB 器件已经通过了 LIN 2.0 一致性测试（主器件和从器件）。

表 4-9 中的寄存器配置和控制 LIN 模块的运行。

表 4-9 LIN-A 寄存器⁽¹⁾

名称	地址	大小 (x16)	说明
SCIGCR0	0x6C00	2	全局控制寄存器 0
SCIGCR1	0x6C02	2	全局控制寄存器 1
SCIGCR2	0x6C04	2	全局控制寄存器 2
SCISSETINT	0x6C06	2	中断使能寄存器
SCICLEARINT	0x6C08	2	中断禁用寄存器
SCISSETINTLVL	0x6C0A	2	设置中断级别寄存器
SCICLEARINTLVL	0x6C0C	2	清除中断级别寄存器
SCIFLR	0x6C0E	2	标志寄存器
SCIINTVECT0	0x6C10	2	中断向量偏移寄存器 0
SCIINTVECT1	0x6C12	2	中断向量偏移寄存器 1
SCIFORMAT	0x6C14	2	长度控制寄存器
BRSR	0x6C16	2	波特率选择寄存器
SCIED	0x6C18	2	仿真缓冲寄存器
SCIRD	0x6C1A	2	接收器数据缓冲寄存器
SCITD	0x6C1C	2	发送数据缓冲寄存器
保留	0x6C1E	4	RSVD
SIPIO2	0x6C22	2	引脚控制寄存器 2
保留	0x6C24	10	RSVD
LINCOMP	0x6C30	2	比较寄存器
LINRD0	0x6C32	2	接收数据寄存器 0
LINRD1	0x6C34	2	接收数据寄存器 1
LINMASK	0x6C36	2	接收屏蔽寄存器
LINID	0x6C38	2	寄存器包含 ID 字节, ID 从任务字节和接收到的 ID 域。
LINTD0	0x6C3A	2	发送数据寄存器 0
LINTD1	0x6C3C	2	发送数据寄存器 1
MBRSR	0x6C3E	2	波特率选择寄存器
保留	0x6C40	8	RSVD
IODFTCTRL	0x6C48	2	用于 BLIN 的 IODFT

(1) 一些寄存器和其它寄存器中的一些位是受 EALLOW 保护的。

图 4-8 所示为 LIN 模块框图。

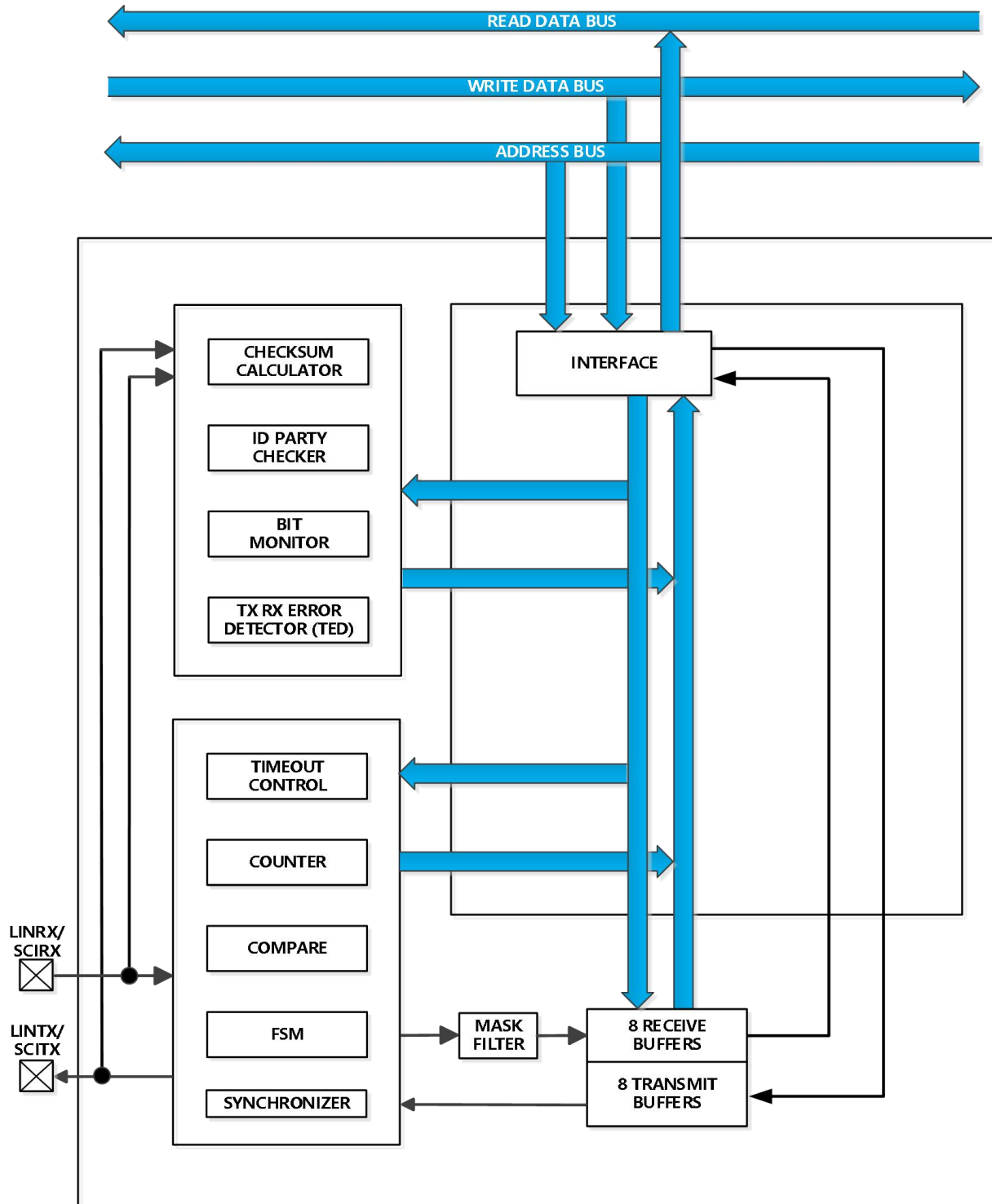


图 4-8 LIN 框图

4.6 增强型控制器局域网络 (eCAN) 模块

CAN 模块(eCAN-A)有下列特性:

- 与CAN协议 (版本2.0B) 完全兼容
- 支持高达1Mbps 的数据速率
- 32 个邮箱, 每个邮箱有下列属性:
 - 可配置为接收或者发送
 - 可使用标准或者扩展标识符进行配置
 - 有一个可编辑接收屏蔽
 - 支持数据和远程帧
 - 由0 至8 字节数据组成
 - 在接收和发送消息上使用一个32 位时间戳
 - 防止接收新消息
 - 保持发送消息的动态可编辑优先级
 - 采用一个具有两个中断级别的可编辑中断机制
 - 在发送或者接收超时采用一个可编辑报警
- 低功耗模式
- 总线活动上的可编辑唤醒
- 对远程请求消息的自动答复
- 丢失仲裁或者错误情况下的帧自动重传
- 由一个特定消息同步的32 位本地网络时间计数器 (与邮箱16 协同通信)
- 自测模式
 - 运行在接收自身消息的回路模式。用来提供一个虚拟的确认, 从而不需要由其他节点来提供确认位的需要。

注

对于 100MHz 的 SYSCLKOUT，最小的比特率为 7.8125 kbps；

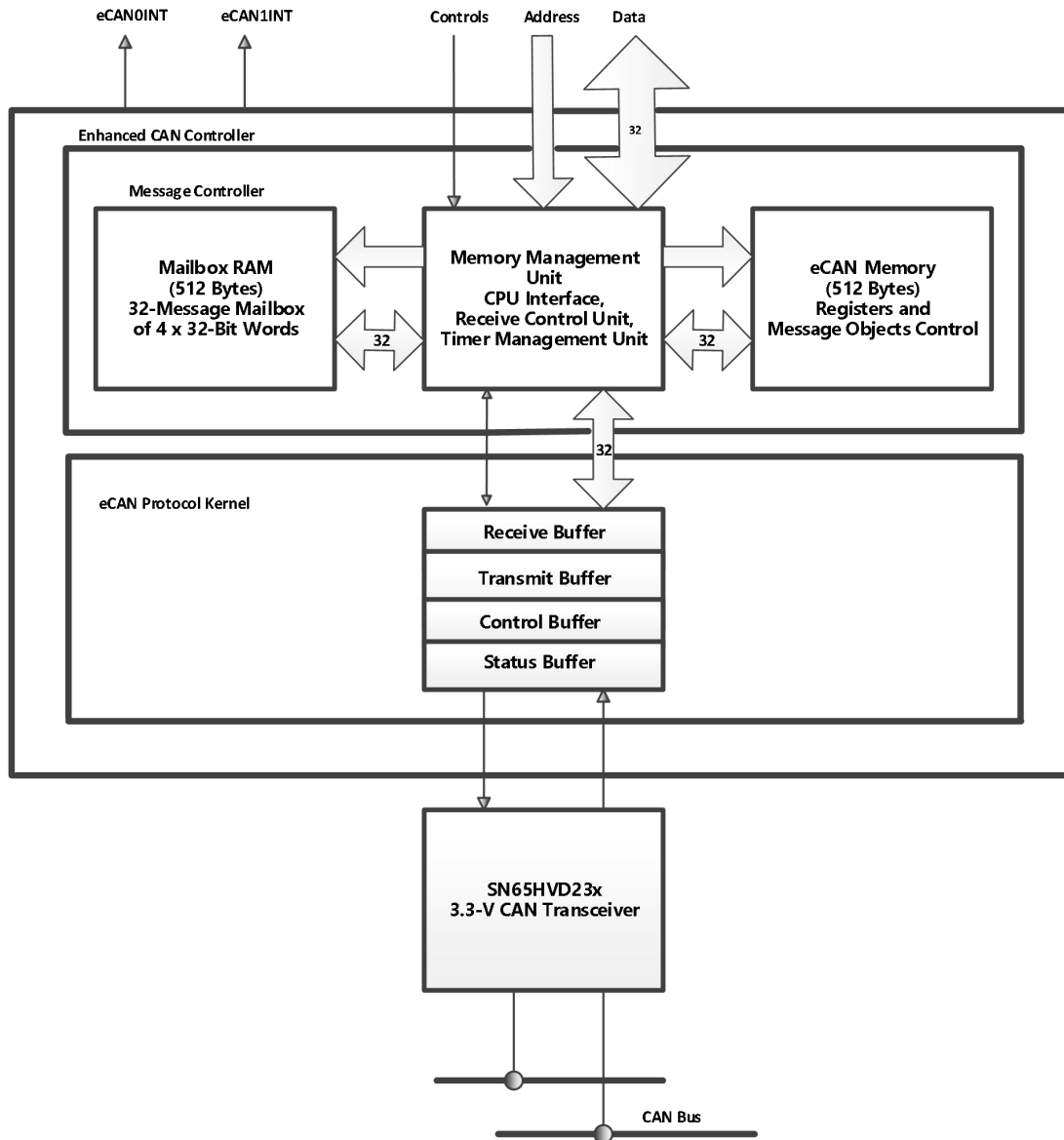


图 4-9 eCAN 框图和接口电路

表 4-10 3.3V eCAN 收发器用于 ADP32F03XB

部件型号	电源电压	低功耗模式	斜坡控制	VREF	其它	T _A
SN65HVD230	3.3V	待机	可调节	支持	-	-40°C 至 85°C
SN65HVD230Q	3.3V	待机	可调节	支持	-	-40°C 至 125°C
SN65HVD231	3.3V	睡眠	可调节	支持	-	-40°C 至 85°C
SN65HVD231Q	3.3V	睡眠	可调节	支持	-	-40°C 至 125°C
SN65HVD232	3.3V	无	无	无	-	-40°C 至 85°C
SN65HVD232Q	3.3V	无	无	无	-	-40°C 至 125°C
SN65HVD233	3.3V	待机	可调节	无	诊断回路	-40°C 至 125°C
SN65HVD234	3.3V	待机和睡眠	可调节	无	-	-40°C 至 125°C
SN65HVD235	3.3V	待机	可调节	无	自动波特率回路	-40°C 至 125°C
ISO1050	3.3V-5.5V	无	无	无	内置隔离 低传输延迟 热关断 故障安全运行 主计时	-55°C 至 105°C

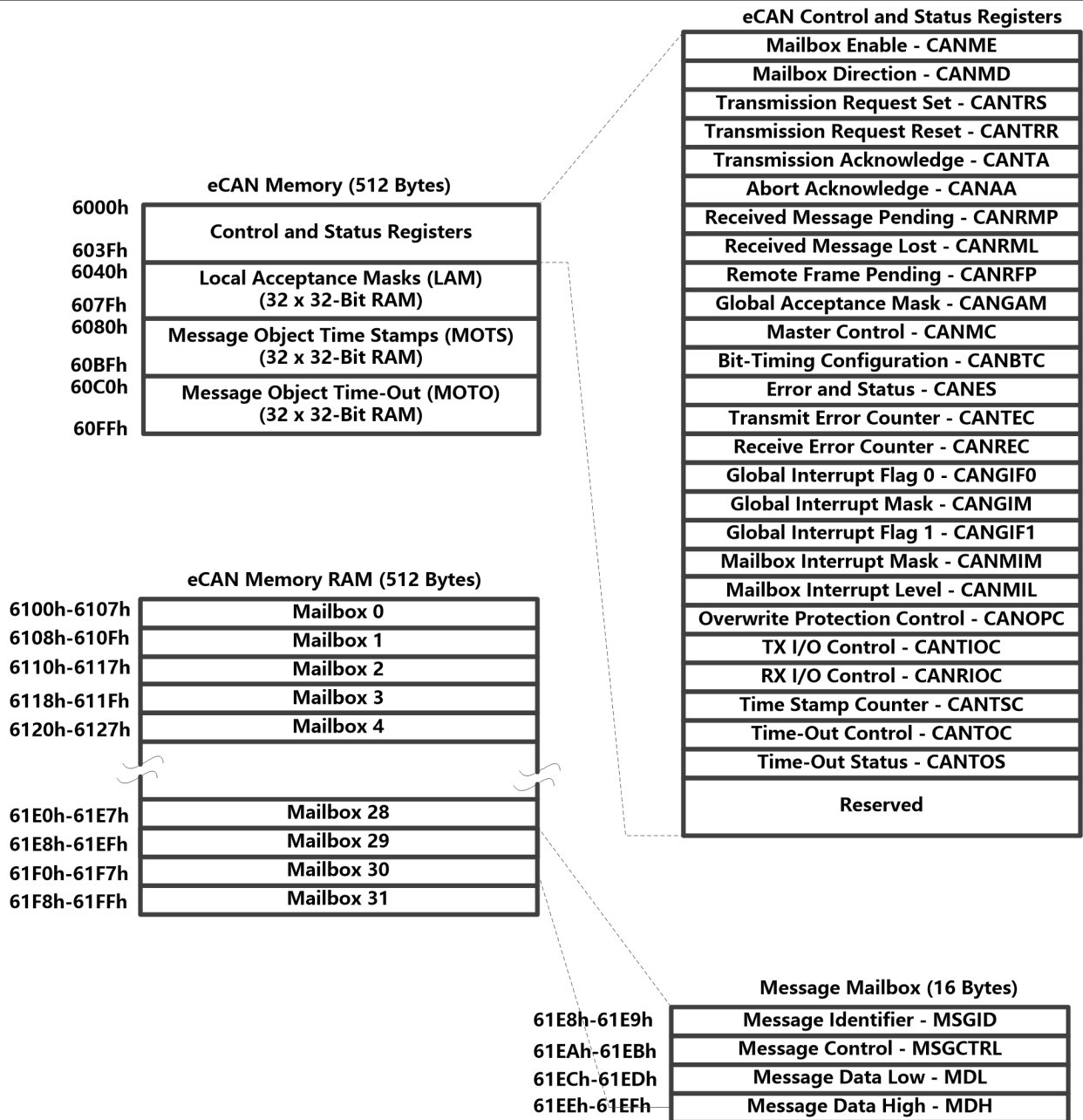


图4-10 eCAN内存映射

注

如果未在应用中使用 eCAN 模块，提供的 RAM（LAM、MOTS、MOTO 和邮箱 RAM）可用作通用 RAM。为实现这一功能，应启用 CAN 模块的时钟。

CPU 使用表 4-11 中列出的 CAN 寄存器来配置和控制 CAN 控制器和消息对象。eCAN 控制寄存器只支持 32 位读取/写入操作。可对邮箱 RAM 进行 16 位或者 32 位访问。32 位访问与一个偶边界对齐。

表4-11 CAN 寄存器映射⁽¹⁾

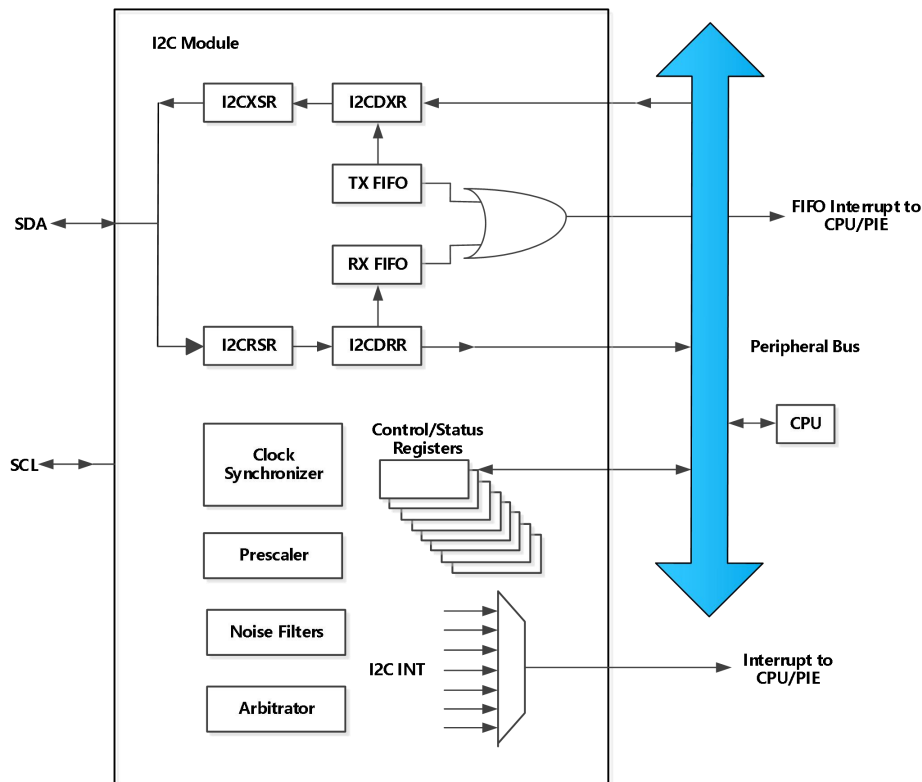
名称	地址	大小 (x32)	说明
CANME	0x00 6000	1	邮箱启用
CANMD	0x00 6002	1	邮箱方向
CANTRS	0x00 6004	1	发送请求设定
CANTRR	0x00 6006	1	发送请求复位
CANTA	0x00 6008	1	传输确认
CANAA	0x00 600A	1	中止确认
CANRMP	0x00 600C	1	接收消息等待
CANRML	0x00 600E	1	接收消息丢失
CANRFP	0x00 6010	1	远程帧等待
CANGAM	0x00 6012	1	全局接收屏蔽
CANMC	0x00 6014	1	主器件控制
CANBTC	0x00 6016	1	位时序配置
CANES	0x00 6018	1	错误和状态
CANTEC	0x00 601A	1	发送错误计数器
CANREC	0x00 601C	1	接收错误计数器
CANGIF0	0x00 601E	1	全局中断标志0
CANGIM	0x00 6020	1	全局中断屏蔽
CANGIF1	0x00 6022	1	全局中断标志1
CANMIM	0x00 6024	1	邮箱中断屏蔽
CANMIL	0x00 6026	1	邮箱中断级别
CANOPC	0x00 6028	1	写覆盖保护控制
CANTIOC	0x00 602A	1	TX I/O 控制
CANRIOC	0x00 602C	1	RX I/O 控制
CANTSC	0x00 602E	1	时间戳计数器（保留在SCC 模式中）
CANTOC	0x00 6030	1	超时控制（保留在SCC 模式中）
CANTOS	0x00 6032	1	超时状态（保留在SCC 模式中）

(1) 这些寄存器映射至外设帧 1。

4.7 内部集成电路 (I2C)

ADP32F03XB 包含一个 I2C 串行端口。[图 4-11](#) 显示了此器件内的 I2C 外设模块连接。I2C 模块具有以下特性：

- 符合飞利浦半导体 I2C 总线规格 (版本 2.1):
 - 支持 1 位至 8 位格式传输
 - 7 位和 10 位寻址模式
 - 广播呼叫
 - START 字节模式
 - 支持多个主发送器和从接收器
 - 支持多个从发送器和主接收器
 - 组合主器件发送/接收和接收/发送模式
 - 数据传输速率从 10kbps 到高达 400kbps (I2C 快速模式速率)
- 一个 4 级接收 FIFO 和一个 4 级发送 FIFO
- 可以由 CPU 使用的中断。此中断可由下列条件之一生成：
 - 发送数据就绪
 - 接收数据就绪
 - 寄存器访问就绪
 - 无应答位
 - 仲裁丢失
 - 检测到停止条件
 - 被寻址为从器件
- 在 FIFO 模式下, CPU 可以使用附加的中断
- 模块启用/禁用能力
- 全数据格式模式



A.在 SYSCLKOUT 速率上对 I2C 寄存器进行访问。I2C 端口的内部时序和信号波形也为 SYSCLKOUT 速率。

B.PCLKCR0 寄存器内的时钟使能位 (I2CAENCLK) 可关闭到 I2C 端口的时钟，以实现低功耗运行。复位时，I2CAENCLK 清除，这表明外设内部时钟已关闭。

图4-11 I2C外设模块接口

表 4-12 中的寄存器配置并且扩展 I2C 端口操作。

表 4-12 I2C-A 寄存器

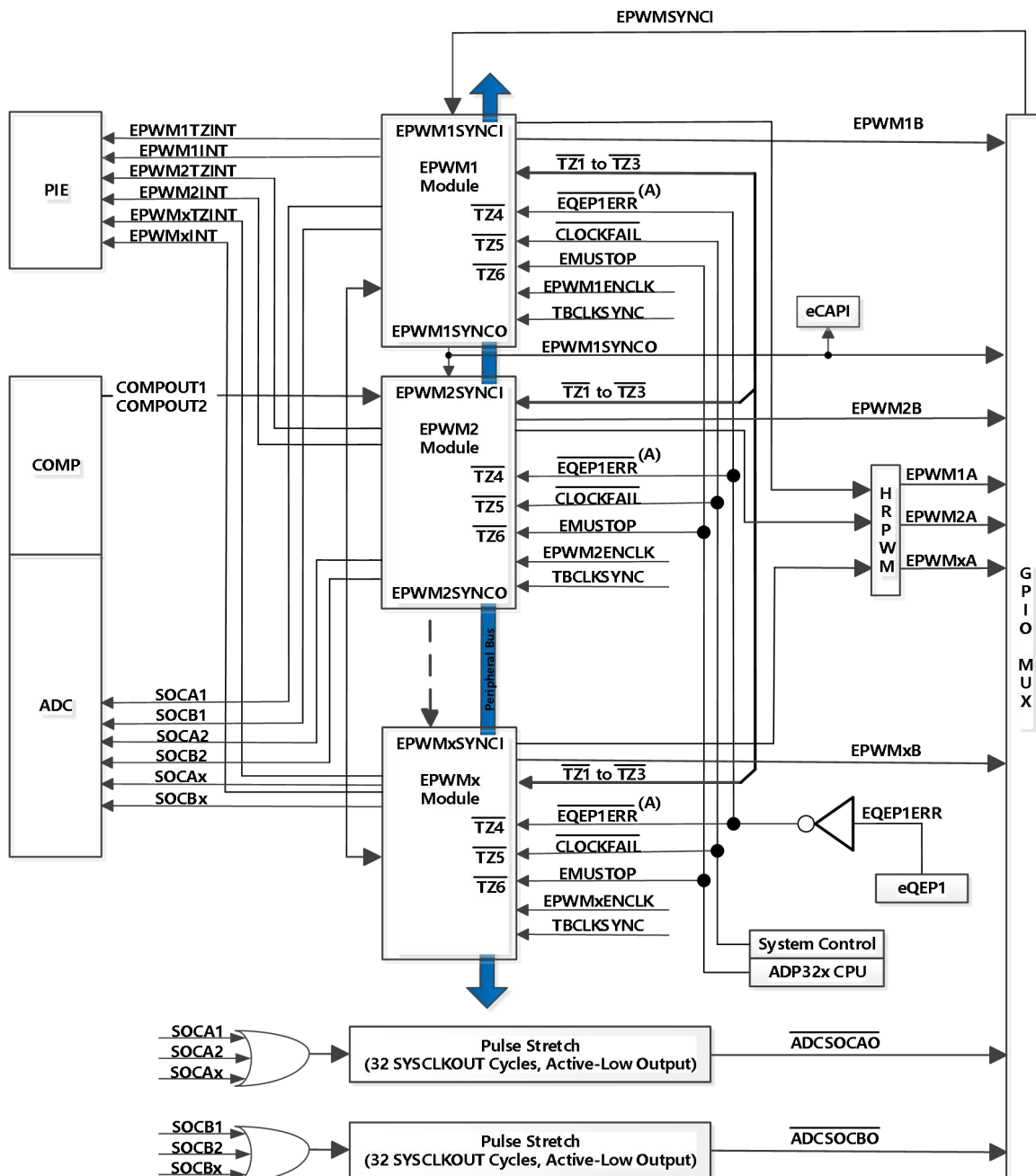
名称	地址	受 EALLOW 保护	说明
I2COAR	0x7900	否	I2C 自身的地址寄存器
I2CIER	0x7901	否	I2C 中断使能寄存器
I2CSTR	0x7902	否	I2C 状态寄存器
I2CCLKL	0x7903	否	I2C 时钟低电平时间分频器寄存器
I2CCLKH	0x7904	否	I2C 时钟高电平时间分频器寄存器
I2CCNT	0x7905	否	I2C 数据计数寄存器
I2CDRR	0x7906	否	I2C 数据接收寄存器
I2CSAR	0x7907	否	I2C 从器件地址寄存器
I2CDXR	0x7908	否	I2C 数据发送寄存器
I2CMDR	0x7909	否	I2C 模式寄存器
I2CISRC	0x790A	否	I2C 中断源寄存器
I2CPSC	0x790C	否	I2C 预分频器寄存器
I2CFFTX	0x7920	否	I2C FIFO 发送寄存器
I2CFFRX	0x7921	否	I2C FIFO 接收寄存器
I2CRSR	-	否	I2C 接收移位寄存器 (CPU不可访问)
I2CXSR	-	否	I2C 发送移位寄存器 (CPU不可访问)

4.8 增强型 PWM 模块 (ePWM1/2/3/4/5/6/7)

器件包含高达 7 个增强型 PWM 模块 (ePWM)。图 4-12 显示了 ePWM 模块框图。图 4-13 显示了

与 ePWM 互连的信号。

表 4-13 和表 4-14 显示了每个模块的完整的 ePWM 寄存器集。



A. 此信号只存在于具有 eQEP1 模块的器件。

图 4-12 ePWM 框图

表 4-13 ePWM1-ePWM4 控制和状态寄存器

名称	ePWM1	ePWM2	ePWM3	ePWM4	大小(x16)/ #SHADOW	说明
TBCTL	0x6800	0x6840	0x6880	0x68C0	1/0	时基控制寄存器
TBSTS	0x6801	0x6841	0x6881	0x68C1	1/0	时基状态寄存器
TBPHSHR	0x6802	0x6842	0x6882	0x68C2	1/0	时基相位 HRPWM 寄存器
TBPHS	0x6803	0x6843	0x6883	0x68C3	1/0	时基相位寄存器
TBCTR	0x6804	0x6844	0x6884	0x68C4	1/0	时基计数器寄存器
TBPRD	0x6805	0x6845	0x6885	0x68C5	1/1	时基周期设置寄存器
TBPRDHR	0x6806	0x6846	0x6886	0x68C6	1/1	时基周期高分辨率寄存器 ⁽¹⁾
CMCTL	0x6807	0x6847	0x6887	0x68C7	1/0	计数器比较控制寄存器
CMPAHR	0x6808	0x6848	0x6888	0x68C8	1/1	时基比较 A HRPWM 寄存器
CMPA	0x6809	0x6849	0x6889	0x68C9	1/1	计数器比较 A 设置寄存器
CMPB	0x680A	0x684A	0x688A	0x68CA	1/1	计数器比较 B 设置寄存器
AQCTLA	0x680B	0x684B	0x688B	0x68CB	1/0	用于输出 A 的操作限定器控制寄存器
AQCTLB	0x680C	0x684C	0x688C	0x68CC	1/0	用于输出 B 的操作限定器控制寄存器
AQSFR	0x680D	0x684D	0x688D	0x68CD	1/0	操作限定器软件强制寄存器
AQCSFR	0x680E	0x684E	0x688E	0x68CE	1/1	操作限定器连续 S/W 强制设置寄存器
DBCTL	0x680F	0x684F	0x688F	0x68CF	1/1	死区生成器控制寄存器
DBRED	0x6810	0x6850	0x6890	0x68D0	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x6811	0x6851	0x6891	0x68D1	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x6812	0x6852	0x6892	0x68D2	1/0	可编程控制故障区选择寄存器 ⁽¹⁾
TZDSEL	0x6813	0x6853	0x6893	0x68D3	1/0	可编程控制故障区域数字比较寄存器
TZCTL	0x6814	0x6854	0x6894	0x68D4	1/0	触发区控制寄存器 ⁽¹⁾
TZEINT	0x6815	0x6855	0x6895	0x68D5	1/0	触发区启用中断寄存器 ⁽¹⁾
TZFLG	0x6816	0x6856	0x6896	0x68D6	1/0	可编程控制故障区域标志寄存器 ⁽¹⁾
TZCLR	0x6817	0x6857	0x6897	0x68D7	1/0	触发区清除寄存器 ⁽¹⁾
TZFRC	0x6818	0x6858	0x6898	0x68D8	1/0	触发区强制寄存器 ⁽¹⁾
ETSEL	0x6819	0x6859	0x6899	0x68D9	1/0	事件触发器选择寄存器
ETPS	0x681A	0x685A	0x689A	0x68DA	1/0	事件触发器预分频寄存器
ETFLG	0x681B	0x685B	0x689B	0x68DB	1/0	事件触发器标志寄存器
ETCLR	0x681C	0x685C	0x689C	0x68DC	1/0	事件触发器清除寄存器
ETFRC	0x681D	0x685D	0x689D	0x68DD	1/0	事件触发器强制寄存器
PCCTL	0x681E	0x685E	0x689E	0x68DE	1/0	PWM 斩波器控制寄存器
HRCNFG	0x6820	0x6860	0x68A0	0x68E0	1/0	HRPWM 配置寄存器 ⁽¹⁾

(1) 寄存器受 EALLOW 保护。

表 4-13 ePWM1-ePWM4 控制和状态寄存器(续)

名称	ePWM1	ePWM2	ePWM3	ePWM4	大小(x16)/ #SHADOW	说明
HRPWR	0x6821	-	-	-	1/0	HRPWM 功率寄存器
HRMSTEP	0x6826	-	-	-	1/0	HRPWM MEP 步长寄存器
HRPCTL	0x6828	0x6868	0x68A8	0x68E8	1/0	高分辨率周期控制寄存器 ⁽¹⁾
TBPRDHRM	0x682A	0x686A	0x68AA	0x68EA	1/W ⁽²⁾	时基周期 HRPWM 镜像寄存器
TBPRDM	0x682B	0x686B	0x68AB	0x68EB	1/W ⁽²⁾	时基周期寄存器镜像
CMPAHRM	0x682C	0x686C	0x68AC	0x68EC	1/W ⁽²⁾	比较 A HRPWM 镜像寄存器
CMPAM	0x682D	0x686D	0x68AD	0x68ED	1/W ⁽²⁾	比较 A 镜像寄存器
DCTRIPSEL	0x6830	0x6870	0x68B0	0x68F0	1/0	数字比较触发选择寄存器 ⁽¹⁾
DCACTL	0x6831	0x6871	0x68B1	0x68F1	1/0	数字比较 A 控制寄存器 ⁽¹⁾
DCBCTL	0x6832	0x6872	0x68B2	0x68F2	1/0	数字比较 B 控制寄存器 ⁽¹⁾
DCFCTL	0x6833	0x6873	0x68B3	0x68F3	1/0	数字比较滤波器控制寄存器 ⁽¹⁾
DCCAPCT	0x6834	0x6874	0x68B4	0x68F4	1/0	数字比较捕获控制寄存器 ⁽¹⁾
DCFOFFSET	0x6835	0x6875	0x68B5	0x68F5	1/1	数字比较滤波偏移寄存器
DCFOFFSETCNT	0x6836	0x6876	0x68B6	0x68F6	1/0	数字比较滤波偏移计数器寄存器
DCFWINDOW	0x6837	0x6877	0x68B7	0x68F7	1/0	数字比较滤波窗口寄存器
DCFWINDOWCNT	0x6838	0x6878	0x68B8	0x68F8	1/0	数字比较滤波窗口计数器寄存器
DCCAP	0x6839	0x6879	0x68B9	0x68F9	1/1	数字比较计数器捕获寄存器

(2) W = 写入影子寄存器

表 4-14 ePWM5-ePWM7 控制和状态寄存器

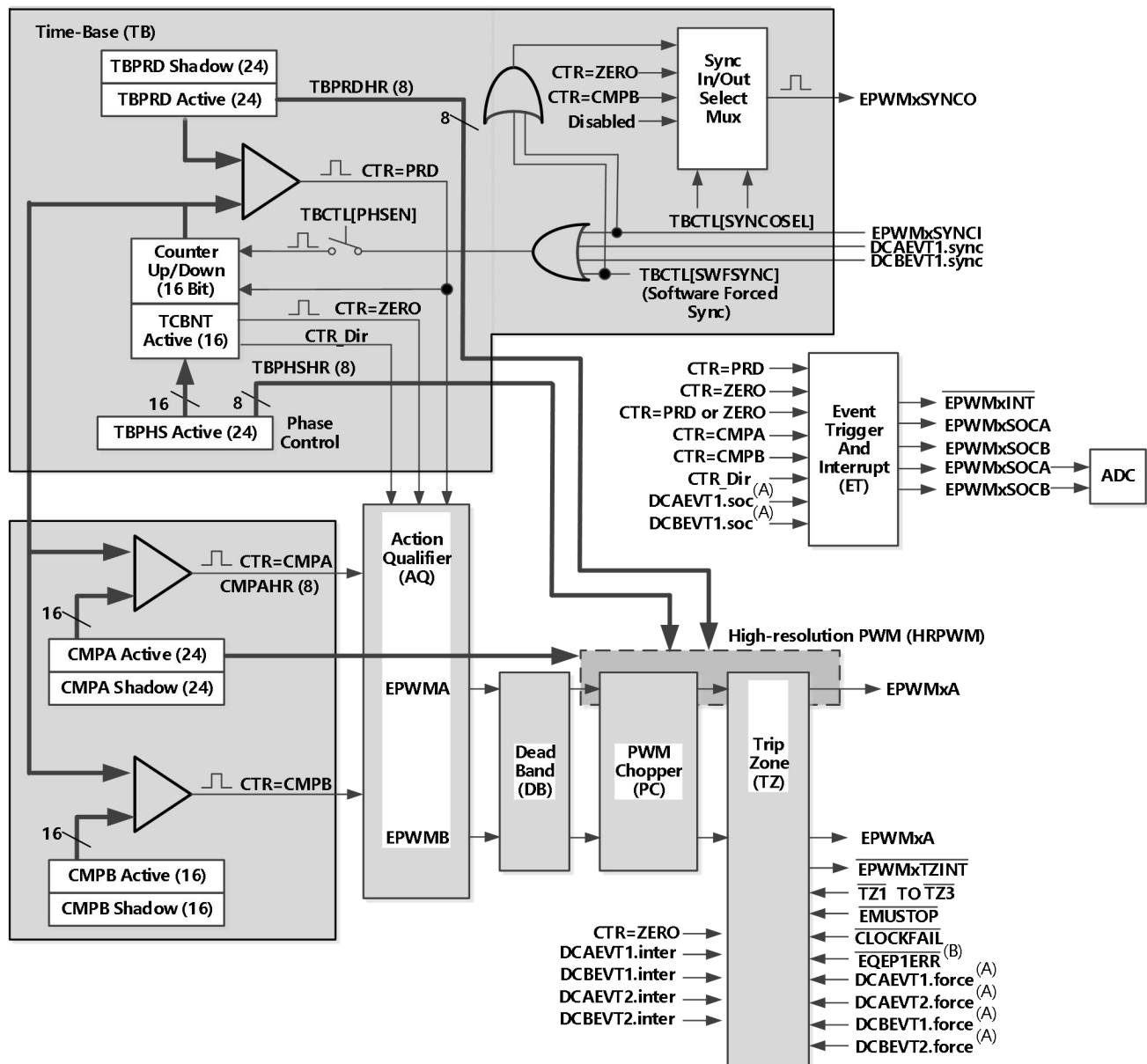
名称	ePWM5	ePWM6	ePWM7	大小(x16)/ #SHADOW	说明
TBCTL	0x6900	0x6940	0x6980	1/0	时基控制寄存器
TBSTS	0x6901	0x6941	0x6981	1/0	时基状态寄存器
TBPHSHR	0x6902	0x6942	0x6982	1/0	时基相位 HRPWM 寄存器
TBPHS	0x6903	0x6943	0x6983	1/0	时基相位寄存器
TBCTR	0x6904	0x6944	0x6984	1/0	时基计数器寄存器
TBPRD	0x6905	0x6945	0x6985	1/1	时基周期设置寄存器
TBPRDHR	0x6906	0x6946	0x6986	1/1	时基周期高分辨率寄存器 ⁽¹⁾
CMPCTL	0x6907	0x6947	0x6987	1/0	计数器比较控制寄存器
CMPAHR	0x6908	0x6948	0x6988	1/1	时基比较 A HRPWM 寄存器
CMPA	0x6909	0x6949	0x6989	1/1	计数器比较 A 设置寄存器
CMPB	0x690A	0x694A	0x698A	1/1	计数器比较 B 设置寄存器
AQCTLA	0x690B	0x694B	0x698B	1/0	用于输出 A 的操作限定器控制寄存器
AQCTLB	0x690C	0x694C	0x698C	1/0	用于输出 B 的操作限定器控制寄存器
AQSFRC	0x690D	0x694D	0x698D	1/0	操作限定器软件强制寄存器
AQCSFRC	0x690E	0x694E	0x698E	1/1	操作限定器连续 S/W 强制设置寄存器
DBCTL	0x690F	0x694F	0x698F	1/1	死区生成器控制寄存器

表 4-14 ePWM5-ePWM7 控制和状态寄存器(续)

名称	ePWM5	ePWM6	ePWM7	大小(x16)/ #SHADOW	说明
DBRED	0x6910	0x6950	0x6990	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x6911	0x6951	0x6991	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x6912	0x6952	0x6992	1/0	触发区选择寄存器 ⁽¹⁾
TZDCSEL	0x6913	0x6953	0x6993	1/0	触发区数字比较寄存器
TZCTL	0x6914	0x6954	0x6994	1/0	触发区控制寄存器 ⁽¹⁾
TZEINT	0x6915	0x6955	0x6995	1/0	触发区启用中断寄存器 ⁽¹⁾
TZFLG	0x6916	0x6956	0x6996	1/0	触发区标志寄存器 ⁽¹⁾
TZCLR	0x6917	0x6957	0x6997	1/0	触发区清除寄存器 ⁽¹⁾
TZFRC	0x6918	0x6958	0x6998	1/0	触发区强制寄存器 ⁽²⁾
ETSEL	0x6919	0x6959	0x6999	1/0	事件触发器选择寄存器
ETPS	0x691A	0x695A	0x699A	1/0	事件触发器预分频寄存器
ETFLG	0x691B	0x695B	0x699B	1/0	事件触发器标志寄存器
ETCLR	0x691C	0x695C	0x699C	1/0	事件触发器清除寄存器
ETFRC	0x691D	0x695D	0x699D	1/0	事件触发器强制寄存器
PCCTL	0x691E	0x695E	0x699E	1/0	PWM 斩波器控制寄存器
HRCNFG	0x6920	0x6960	0x69A0	1/0	HRPWM 配置寄存器 ⁽²⁾
HRPWR	-	-	-	1/0	HRPWM 功率寄存器
HRMSTEP	-	-	-	1/0	HRPWM MEP 步长寄存器
HRPCTL	0x6928	0x6968	0x69A8	1/0	高分辨率周期控制寄存器 ⁽²⁾
TBPRDHRM	0x692A	0x696A	0x69AA	1/W ⁽³⁾	时基周期 HRPWM 寄存器镜像
TBPRDM	0x692B	0x696B	0x69AB	1/W ⁽³⁾	时基周期寄存器镜像
CMPAHRM	0x692C	0x696C	0x69AC	1/W ⁽³⁾	比较 A HRPWM 寄存器镜像
CMPAM	0x692D	0x696D	0x69AD	1/W ⁽³⁾	比较 A 寄存器镜像
DCTRIPSEL	0x6930	0x6970	0x69B0	1/0	数字比较触发选择寄存器 ⁽²⁾
DCACTL	0x6931	0x6971	0x69B1	1/0	数字比较 A 控制寄存器 ⁽²⁾
DCBCTL	0x6932	0x6972	0x69B2	1/0	数字比较 B 控制寄存器 ⁽²⁾
DCFCTL	0x6933	0x6973	0x69B3	1/0	数字比较滤波器控制寄存器 ⁽²⁾
DCCAPCT	0x6934	0x6974	0x69B4	1/0	数字比较捕获控制寄存器 ⁽²⁾
DCFOFFSET	0x6935	0x6975	0x69B5	1/1	数字比较滤波偏移寄存器
DCFOFFSETCNT	0x6936	0x6976	0x69B6	1/0	数字比较滤波偏移计数器寄存器
DCFWINDOW	0x6937	0x6977	0x69B7	1/0	数字比较滤波窗口寄存器
DCFWINDOWCNT	0x6938	0x6978	0x69B8	1/0	数字比较滤波窗口计数器寄存器
DCCAP	0x6939	0x6979	0x69B9	1/1	数字比较计数器捕获寄存器

(1)寄存器受 EALLOW 保护。

(2) W = 写入影子寄存器



A. 这些事件由基于 COMPxOUT 和 $\overline{TZ}$ 信号电平的 Type - 1 ePWM 数字比较 (DC) 子模块生成。

B. 此信号只存在于带有 eQEP1 模块的器件。

图 4-13 ePWM 子模块和关键内部信号互连

4.9 高分辨率 PWM (HRPWM)

通过使用专用的校准延迟线路，HRPWM 在单个模块和简化的校准系统内结合多条延迟线路。对于每个 ePWM 模块，均有一条 HR 延迟线路。

HRPWM 模块提供 PWM 分辨率（时间粒度），此分辨率显著优于使用传统数字 PWM 方法所能达到的分辨率。HRPWM 模块的关键点为：

- 显著扩展了传统导出数字 PWM 的时间分辨率功能
- 此功能可用于单边沿（占空比和相移控制）以及双边沿控制以实现频率/周期调制。
 - 通过对 ePWM 模块的比较 A 和相位寄存器的扩展，以实现更精细的时间粒度控制或边沿定位控制。
 - ，当在特定器件上可用 HRPWM 功能时，只在 PWM 模块的 A 信号路径上提供（也就是说，在 EPWMxA 输出上提供）。EPWMxB 输出具有传统 PWM 功能。

注

HRPWM 允许的最小 SYSCLKOUT 频率为 60MHz。

注

当启用双边沿高分辨率时（高分辨率周期模式），PWMxB 输出不可用。

4.10 增强型捕获模块 (eCAP1)

此器件包含一个增强型捕获模块 (eCAP)，图 4-14 所示为 eCAP 功能框图。

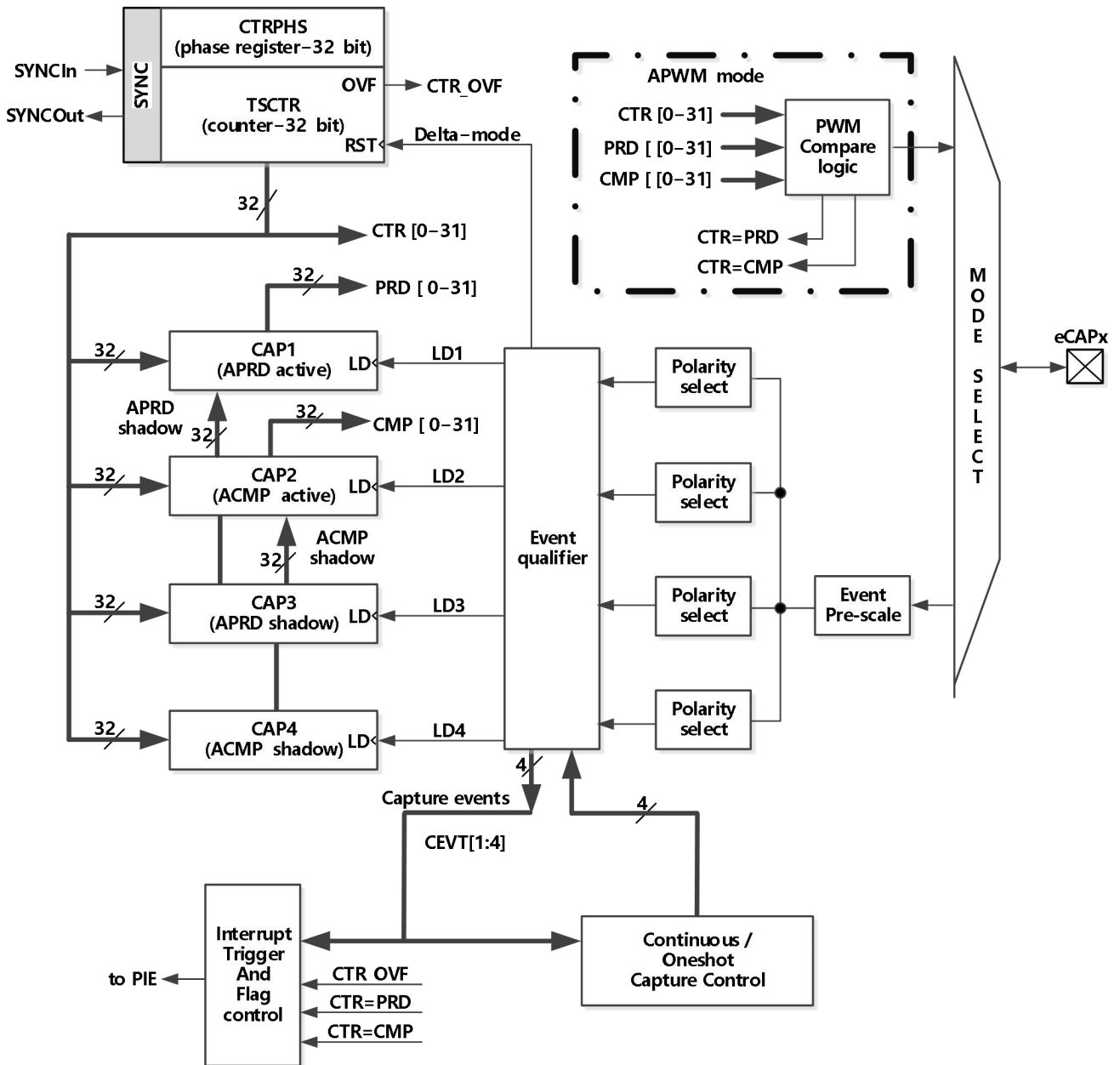


图 4-14 eCAP 功能框图

eCAP 模块使用 SYSCLKOUT 时钟。

PCLKCR1 寄存器中的时钟使能位 (ECAP1 ENCLK) 只用于独立关闭 eCAP 模块（为实现低功耗运行）。复位时，ECAP1ENCLK 设定为低电平，表明外设时钟关闭。

表 4-15 eCAP 控制和状态寄存器

名称	地址	大小 (X 16)	受 EALLOW 保护	说明
TSCTR	0x6A00	2		时间戳计数器
CTRPHS	0x6A02	2		计数器相位偏移值寄存器
CAP1	0x6A04	2		捕获 1 寄存器
CAP2	0x6A06	2		捕获 2 寄存器
CAP3	0x6A08	2		捕获 3 寄存器
CAP4	0x6A0A	2		捕获 4 寄存器
保留	0x6A0C-0x6A12	8		保留
ECCTL1	0x6A14	1		捕获控制寄存器 1
ECCTL2	0x6A15	1		捕获控制寄存器 2
ECEINT	0x6A16	1		捕获中断使能寄存器
ECFLG	0x6A17	1		捕获中断标志寄存器
ECCLR	0x6A18	1		捕获中断清除寄存器
ECFRC	0x6A19	1		捕获中断强制寄存器
保留	0x6A1A-0x6A1F	6		保留

4.11 高性能捕获 (HRCAP) 模块

高性能捕获 (HRCAP) 模块以 300ps 典型分辨率测量外部脉冲之间的差异。

HRCAP 的用途包括：

- 电容式触摸应用
- 脉冲序列周期的高分辨率周期和占空比测量
- 瞬时速度测量
- 瞬时频率测量
- 跨隔离边界上的电压测量
- 距离/声呐测量和扫描
- 描

HRCAP 模块的特性包括：

- 在非高分辨率或者高分辨率模式下捕获脉冲宽度
- 差分 (Delta) 模式脉宽捕获
- 在每个边沿上 300ps 分辨率的典型高分辨率捕获
- 下降沿或上升沿中断
- 在 2 级深度的缓冲器中以持续模式捕获脉冲宽度
- 用于精确高分辨率捕获的校准逻辑
- 上述所有资源都专用于单个输入引脚

除了高分辨率校准模块外，HRCAP 模块还包括一个捕获通道，在校准时，内部连接到最后一个可用的 ePWMxA HRPWM 通道。

每个 HRCAP 通道都有以下独立的关键资源：

- 专用输入捕获引脚
- 16 位 HRCAP 时钟等于 PLL 输出频率（与 SYSCLK 异步）或者等于 SYSCLK 频率（与 SYSCLK 同步）

- 在 2 级深度的缓冲器中捕获高分辨率脉冲宽度

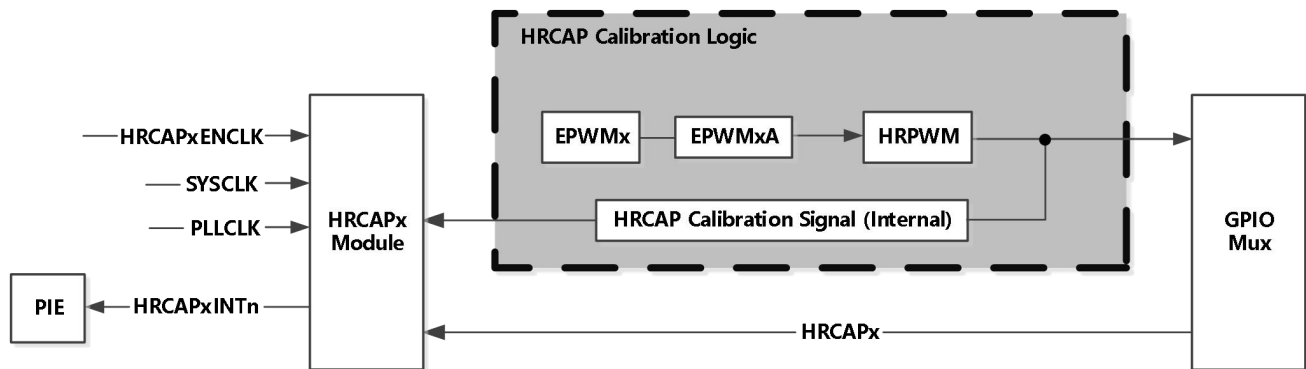


图 4-15 HRCAP 功能框图

表 4-16 HRCAP 寄存器

名称	HRCAP1	HRCAP2	大小 (X 16)	说明
HCCTL	0x6AC0	0x6AE0	1	HRCAP 控制寄存器 ⁽¹⁾
HCIFR	0x6AC1	0x6AE1	1	HRCAP 中断标志寄存器
HCICLR	0x6AC2	0x6AE2	1	HRCAP 中断清除寄存器
HCIFRC	0x6AC3	0x6AE3	1	HRCAP 中断强制寄存器
HCCOUNTER	0x6AC4	0x6AE4	1	HRCAP 16 位计数器寄存器
HCCAPCNTRISE0	0x6AD0	0x6AF0	1	在上升边沿 0 寄存器上的 HRCAP 捕获计数器
HCCAPCNTFALL0	0x6AD2	0x6AF2	1	在下降边沿 0 寄存器上的 HRCAP 捕获计数器
HCCAPCNTRISE1	0x6AD8	0x6AF8	1	在上升边沿 1 寄存器上的 HRCAP 捕获计数器
HCCAPCNTFALL1	0x6ADA	0x6AFA	1	在下降边沿 1 寄存器上的 HRCAP 捕获计数器

(1) 寄存器受 EALLOW 保护。

4.12 增强型正交编码器脉冲 (eQEP)

此器件包含一个增强型正交编码器脉冲 (eQEP) 模块。

表 4-17 eQEP 控制和状态寄存器

名称	eQEP1 地址	eQEP1 大小 (x16)/ #SHADOW	说明
QPOSCNT	0x6B00	2/0	eQEP 位置计数器
QPOSINIT	0x6B02	2/0	eQEP 初始化位置计数
QPOSMAX	0x6B04	2/0	eQEP 最大位置计数
QPOSCMP	0x6B06	2/1	eQEP 位置比较
QPOSILAT	0x6B08	2/0	eQEP 索引位置锁存
QPOSSLAT	0x6B0A	2/0	eQEP 选通脉冲位置锁存
QPOSLAT	0x6B0C	2/0	eQEP 位置锁存
QUTMR	0x6B0E	2/0	eQEP 单位定时器
QUPRD	0x6B10	2/0	eQEP 单位周期寄存器
QWDTMR	0x6B12	1/0	eQEP 看门狗定时器
QWDPRD	0x6B13	1/0	eQEP 看门狗周期寄存器
QDECCTL	0x6B14	1/0	eQEP 解码器控制寄存器
QEPCTL	0x6B15	1/0	eQEP 控制寄存器
QCAPCTL	0x6B16	1/0	eQEP 捕获控制寄存器
QPOSCTL	0x6B17	1/0	eQEP 位置比较控制寄存器
QEINT	0x6B18	1/0	eQEP 中断使能寄存器
QFLG	0x6B19	1/0	eQEP 中断标志寄存器
QCLR	0x6B1A	1/0	eQEP 中断清除寄存器
QFRC	0x6B1B	1/0	eQEP 中断强制寄存器
QEPSTS	0x6B1C	1/0	eQEP 状态寄存器
QCTMR	0x6B1D	1/0	eQEP 捕获定时器
QCPRD	0x6B1E	1/0	eQEP 捕获周期寄存器
QCTMRLAT	0x6B1F	1/0	eQEP 捕获定时器锁存
QCPRDLAT	0x6B20	1/0	eQEP 捕获周期锁存
保留	0x6B21 - 0x6B3F	31/0	保留

图 4-16所示为 eQEP 功能框图。

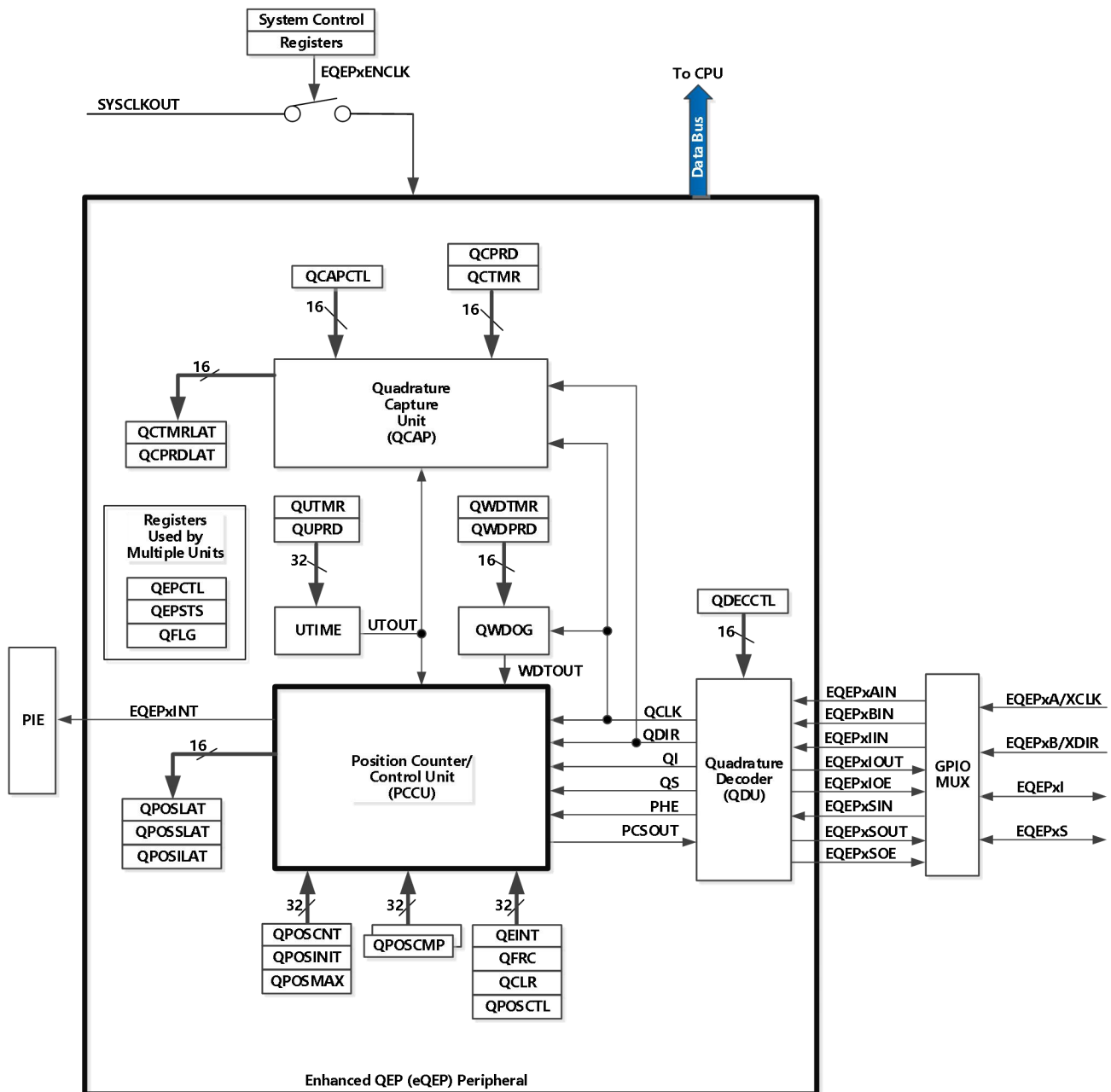


图 4-16 eQEP 功能框图

4.13 JTAG 端口

在 ADP32F03XB 器件上, JTAG 端口减少到 5 个引脚 ($\overline{\text{TRST}}$, TCK, TDI, TMS, TDO)。TCK、TDI、TMS 和 TDO 引脚也是 GPIO 引脚。 $\overline{\text{TRST}}$ 信号在图 4-17 中为引脚选择 JTAG 或者 GPIO 运行模式。在仿真/调试期间, 这些引脚的 GPIO 功能并不可用。如果 GPIO38/TCK/XCLKIN 引脚用于提供外部时钟, 则应使用替代的内部时钟源在仿真/调试期间为器件计时, 这是因为 TCK 功能需要此引脚。

注

在 ADP32F03XB 器件中, JTAG 引脚也可用作 GPIO 引脚。在电路板设计时应谨慎以确保连接到这些引脚的电路不会影响 JTAG 引脚功能的仿真能力。任一连接到这些引脚的电路不应防止仿真器驱动 JTAG 引脚 (或由 JTAG 引脚驱动) 进行成功的调试。

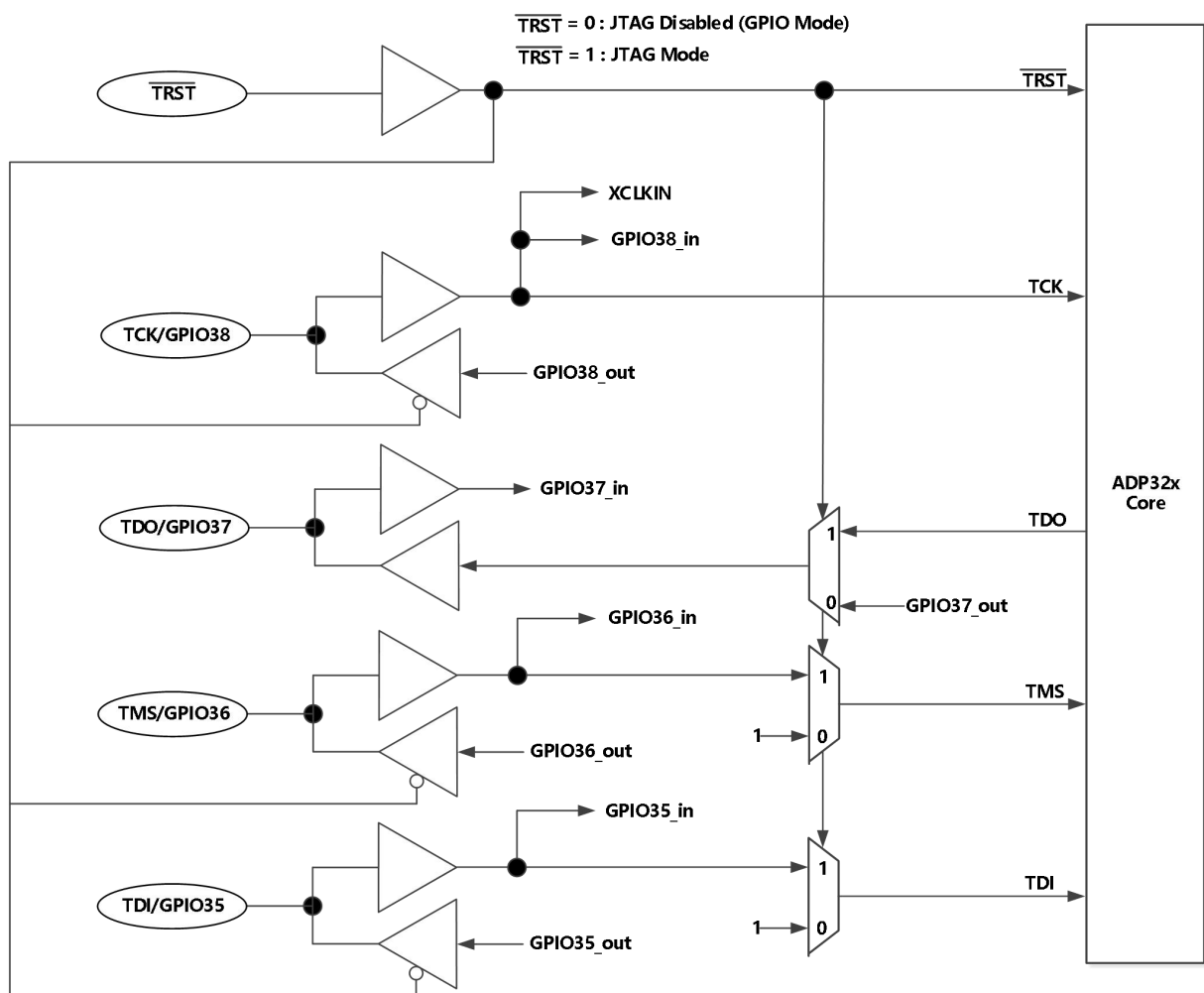


图 4-17 JTAG/GPIO 复用

4.14 GPIO MUX

GPIO 复用寄存器用于选择 ADP32F03XB 器件上的共用引脚操作。这个引脚可被独立选中运行行为“数字 I/O”或者连接至“外设 I/O”信号（通过 GPxMUX 寄存器）。器件支持 45 个 GPIO 引脚。GPIO 控制和数据寄存器映射到外设帧 1，以在寄存器上启用 32 位运行（连同 16 位运行）。

表 4-18 所示为 GPIO 寄存器映射。

表 4-18 GPIO 寄存器

名称	地址	大小 (x16)	说明
GPIO 控制寄存器 (受 EALLOW 保护)			
GPACTRL	0x6F80	2	GPIO A 控制寄存器 (GPIO0 至 31)
GPAQSEL1	0x6F82	2	GPIO A 限定器选择 1 寄存器 (GPIO0 至 15)
GPAQSEL2	0x6F84	2	GPIO A 限定器选择 2 寄存器 (GPIO16 至 31)
GPAMUX1	0x6F86	2	GPIO A MUX 1 寄存器 (GPIO0 至 15)
GPAMUX2	0x6F88	2	GPIO A MUX 2 寄存器 (GPIO16 至 31)
GPADIR	0x6F8A	2	GPIO A 方向寄存器 (GPIO0 至 31)
GPAPUD	0x6F8C	2	GPIO A 上拉电阻器禁用寄存器 (GPIO0 至 GPIO31)
GPBCTRL	0x6F90	2	GPIO B 控制寄存器 (GPIO32 至 44)
GPBQSEL1	0x6F92	2	GPIO B 限定器选择 1 寄存器 (GPIO32 至 44)
GPBMUX1	0x6F96	2	GPIO B MUX 1 寄存器 (GPIO32 至 44)
GPBDIR	0x6F9A	2	GPIO B 方向寄存器 (GPIO32 至 44)
GPBPUD	0x6F9C	2	GPIO B 上拉电阻器禁用寄存器 (GPIO38 至 44)
AIOMUX1	0x6FB6	2	模拟, I/O 复用 1 寄存器 (AIO0 至 AIO15)
AIODIR	0x6FBA	2	模拟, I/O 方向寄存器 (AIO0 至 AIO15)
GPIO 数据寄存器 (不受 EALLOW 保护)			
GPADAT	0x6FC0	2	GPIO A 数据寄存器 (GPIO0 至 31)
GPASET	0x6FC2	2	GPIO A 数据设定寄存器 (GPIO0 至 31)
GPACLEAR	0x6FC4	2	GPIO A 数据清除寄存器 (GPIO0 至 31)
GPATOGGLE	0x6FC6	2	GPIO A 数据取反寄存器 (GPIO0 至 31)
GPBDAT	0x6FC8	2	GPIO B 数据寄存器 (GPIO32 至 44)
GPBSET	0x6FCA	2	GPIO B 数据设定寄存器 (GPIO32 至 44)
GPBCLEAR	0x6FCC	2	GPIO B 数据清除寄存器 (GPIO32 至 44)
GPBTOGGLE	0x6FCE	2	GPIO B 数据取反寄存器 (GPIO32 至 44)
AIODAT	0x6FD8	2	模拟 I/O 数据寄存器 (AIO0 至 AIO15)
AIOSET	0x6FDA	2	模拟 I/O 数据设定寄存器 (AIO0 至 AIO15)
AIOCLEAR	0x6FDC	2	模拟 I/O 数据清除寄存器 (AIO0 至 AIO15)
AIOTOGGLE	0x6FDE	2	模拟 I/O 数据取反寄存器 (AIO0 至 AIO15)
GPIO 中断和低功耗模式选择寄存器 (受 EALLOW 保护)			
GPIOXINT1SEL	0x6FE0	1	XINT1 GPIO 输入选择寄存器 (GPIO0 至 31)
GPIOXINT2SEL	0x6FE1	1	XINT2 GPIO 输入选择寄存器 (GPIO0 至 GPIO31)
GPIOXINT3SEL	0x6FE2	1	XINT3 GPIO 输入选择寄存器 (GPIO0 至 GPIO31)
GPIOLPMSSEL	0x6FE8	2	LPM GPIO 选择寄存器 (GPIO0 至 GPIO31)

注

从写入 GPxMUXn/AIOMUXn 和 GPxQSELn 寄存器到动作有效有两个 SYSCLKOUT 周期的延迟。

表 4-19 GPIOA MUX (1)(2)

	复位时默认值 主 I/O 功能	外设选择 1	外设选择 2	外设选择 3
GPAMUX1 寄存器位	(GPAMUX1 位 = 00)	(GPAMUX1 位 = 01)	(GPAMUX1 位 = 10)	(GPAMUX1 位 = 11)
1-0	GPIO0	EPWM1A (O)	保留	保留
3-2	GPIO1	EPWM1B (O)	保留	COMP1OUT (O)
5-4	GPIO2	EPWM2A (O)	保留	保留
7-6	GPIO3	EPWM2B (O)	SPISOMIA (I/O)	COMP2OUT (O)
9-8	GPIO4	EPWM3A (O)	保留	保留
11-10	GPIO5	EPWM3B (O)	SPISIMOA (I/O)	ECAP1 (I/O)
13-12	GPIO6	EPWM4A (O)	EPWMSYNCl (I)	EPWMSYNCO (O)
15-14	GPIO7	EPWM4B (O)	SCIRXDA (I)	保留
17-16	GPIO8	EPWM5A (O)	保留	ADCSOCAO ⁻ (O)
19-18	GPIO9	EPWM5B (O)	LINTXA (O)	HRCAP1 (I)
21-20	GPIO10	EPWM6A (O)	保留	ADCSOCBO ⁻ (O)
23-22	GPIO11	EPWM6B (O)	LINRXA (I)	HRCAP2 (I)
25-24	GPIO12	TZ1 ⁻ (I)	SCITXDA (O)	SPISIMOB (I/O)
27-26	GPIO13 ⁽³⁾	TZ2 ⁻ (I)	保留	SPISOMIB (I/O)
29-28	GPIO14 ⁽³⁾	TZ3 ⁻ (I)	LINTXA (O)	SPICLKB (I/O)
31-30	GPIO15 ⁽³⁾	TZ1 ⁻ (I)	LINRXA (I)	SPISTEB ⁻ (I/O)
GPAMUX2 寄存器位	(GPAMUX2 位 = 00)	(GPAMUX2 位 = 01)	(GPAMUX2 位 = 10)	(GPAMUX2 位 = 11)
1-0	GPIO16	SPISIMOA (I/O)	保留	TZ2 ⁻ (I)
3-2	GPIO17	SPISOMIA (I/O)	保留	TZ3 ⁻ (I)
5-4	GPIO18	SPICLKA (I/O)	LINTXA (O)	XCLKOUT (O)
7-6	GPIO19/XCLKIN	SPISTEA ⁻ (I/O)	LINRXA (I)	ECAP1 (I/O)
9-8	GPIO20	EQEP1A (I)	保留	COMP1OUT (O)
11-10	GPIO21	EQEP1B (I)	保留	COMP2OUT (O)
13-12	GPIO22	EQEP1S (I/O)	保留	LINTXA (O)
15-14	GPIO23	EQEP1I (I/O)	保留	LINRXA (I)
17-16	GPIO24	ECAP1 (I/O)	保留	SPISIMOB (I/O)
19-18	GPIO25 ⁽³⁾	保留	保留	SPISOMIB (I/O)
21-20	GPIO26 ⁽³⁾	HRCAP1 (I)	保留	SPICLKB (I/O)
23-22	GPIO27 ⁽³⁾	HRCAP2 (I)	保留	SPISTEB ⁻ (I/O)
25-24	GPIO28	SCIRXDA (I)	SDAA (I/OD)	TZ2 ⁻ (I)
27-26	GPIO29	SCITXDA (O)	SCLA (I/OD)	TZ3 ⁻ (I)
29-28	GPIO30	CANRXA (I)	保留	保留
31-30	GPIO31	CANTXA (O)	保留	保留

(1) “保留”意味着没有为该 GPxMUX1/2 寄存器设置指定外设被。如果它被选择，那么引脚的状态将为未定义并且可驱动此引脚。这个选择是为将来进行扩展而预留的配置。

(2) I = 输入，O = 输出，OD = 开漏

(3) 这些引脚在 QP 64 引脚封装内不可用。

表 4-20 GPIOB MUX ⁽¹⁾

	复位时默认 主 I/O 功能	外设选择 1	外设选择 2	外设选择 3
外设选择 4	(GPBMUX1 位 = 00)	(GPBMUX1 位 = 01)	(GPBMUX1 位 = 10)	(GPBMUX1 位 = 11)
1-0	GPIO32	SDAA (I/OD)	EPWMSYNCI (I)	ADCS0CA0 [~] (O)
3-2	GPIO33	SCLA (I/OD)	EPWMSYNCO (O)	ADCS0CB0 [~] (O)
5-4	GPIO34	COMP2OUT (O)	保留	COMP3OUT (O)
7-6	GPIO35 (TDI)	保留	保留	保留
9-8	GPIO36 (TMS)	保留	保留	保留
11-10	GPIO37 (TDO)	保留	保留	保留
13-12	GPIO38/XCLKIN (TCK)	保留	保留	保留
15-14	GPIO39 ⁽²⁾	保留	被留	保留
17-16	GPIO40 ⁽²⁾	EPWM7A (O)	被留	保留
19-18	GPIO41 ⁽²⁾	EPWM7B (O)	被留	被保留
21-20	GPIO42 ⁽²⁾	保留	被留	COMP1OUT (O)
23-22	GPIO43 ⁽²⁾	保留	保留	COMP2OUT (O)
25-24	GPIO44 ⁽²⁾	保留	保留	保留
27-26	保留	保留	保留	保留
29-28	保留	保留	保留	保留
31-30	保留	保留	保留	保留

(1) I = 输入, O = 输出, OD = 开漏

(2) 这些引脚在 QP64 引脚封装内不可用。

表 4-21 模拟 MUX ⁽¹⁾

	复位时默认
AIOMUX1 寄存器位	AIOMUX1 位 = 0,x AIOMUX1 位 = 1,x
1-0	ADCINA0 (I)
3-2	ADCINA1(I)
5-4	AIO2 (I/O)
7-6	ADCINA3(I)
9-8	AIO4 (I/O)
11-10	ADCINA5 ⁽²⁾ (I)
13-12	AIO6 (I/O)
15-14	ADCINA7(I)
17-16	ADCINB0 (I)
19-18	ADCINB1(I)
21-20	AIO10 (I/O)
23-22	ADCINB3(I)
25-24	AIO12 (I/O)
27-26	ADCINB5 ⁽²⁾ (I)
29-28	AIO14 (I/O)
31-30	ADCINB7(I)

(1) I = 输入, O = 输出。

(2) 这些引脚在 QP64 引脚封装内不可用。

通过配置 GPxQSEL1/2 寄存器，用户可为每个 GPIO 引脚选择输入限定的类型：

- 仅同步至 SYSCLKOUT (GPxQSEL1/2=0,0)：这是复位时所有 GPIO 引脚的默认模式，它只会将输入信号同步至系统时钟 (SYSCLKOUT)。
- 使用采样窗口的限定条件 (GPxQSEL1/2=0, 1 和 1, 0)：在该模式下，输入信号在与系统时钟 (SYSCLKOUT)同步后，通过指定的周期数进行限定，然后才允许输入发生变化。
- 采样周期由 GPxCTRL 寄存器内的 QUALPRD 位所指定，对一组 8 个信号进行配置。采样周期指定用于采样输入信号的 SYSCLKOUT 周期的倍数。一个采样窗口可包含 3 次或 6 次采样，并且只有当所有采样与图 4-18（对于 6 次采样）中所显示的一样时（全 0 或者全 1），输出才会改变。
- 无同步 (GPxQSEL1/2=1, 1)：此模式用于无需同步的外设（同步不在外设内执行）。

由于器件上所要求的多级复用，有可能会出现一个外设输入信号被映射到多个 GPIO 引脚的情况。此外，当一个输入信号未被选择时，输入信号将默认为 0 或 1 状态，具体取决于外设。

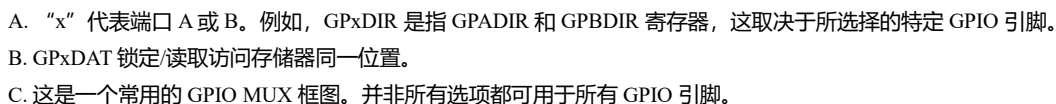


图 4-18 GPIO 复用

5 开发支持

软件开发工具

- Code Composer Studio™ 集成开发环境(IDE)
 - C/C++ 编译器
 - 代码生成工具
 - 汇编器/连接器
 - 周期精确模拟器
- 应用算法
- 示例应用代码

硬件开发工具

- ADP32F03XB开发板
- 支持基于JTAG 的仿真器 - XDS510, XDS110V1, XDS100V1
- 通用5V 直流电源, 推荐5V/1A以上
- 文档和仿真器连接线

6 电气规范

6.1 最大绝对额定值⁽¹⁾⁽²⁾

电源电压范围 V_{DDIO} , (I/O 和闪存)	-0.3V 至 4.6V
电源电压范围 (V_{DD})	-0.3 V 至 2.5V
模拟电压范围, V_{DDA}	-0.3V 至 4.6V
输入电压范围, V_{IN} (3.3V)	-0.3V 至 4.6V
输出电压范围, V_O	-0.3V 至 4.6V
输入钳位电流, $I_{IK}(V_{IN}<0$ 或者 $V_{IN}>V_{DDIO})^{(3)}$	$\pm 20mA$
输出钳位电流, $I_{OK}(V_O<0$ 或者 $V_O>V_{DDIO})$	$\pm 20mA$
结温范围, $T_J^{(4)}$	-40°C 至 150°C
贮存温度范围, $T_{stg}^{(4)}$	-65°C 至 150°C

- (1) 除非另外说明, 绝对最大额定值的列表在运行温度范围内指定。在超过“绝对最大额定值”列出的条件下运行有可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况, 对于额定值下的器件的功能性操作以及在超出第 6.2 节推荐的运行条件下的任何其它操作, 在此并未说明。长时间运行在最大绝对额定条件下会影响设备的可靠性。所有电压值都是以 V_{SS} 为参考。
- (2) 所有电压值都是相对于 V_{SS} 的值, 除非额外注明。
- (3) 每个引脚上的持续钳位电流为 $\pm 2mA$ 。
- (4) 长期高温存储/或在最大温度条件下长时间使用, 可能会使器件总体使用寿命缩短。

6.2 建议的运行条件

		最小值	典型值	最大值	单位
器件电源电压, I/O, $V_{DDIO}^{(1)}$		2.97	3.3	3.63	V
器件电源电压 CPU, V_{DD} (当内部 VREG 被禁用)		1.71	1.8	1.995	V
电源接地, V_{SS}			0		V
模拟电源电压, $V_{DDA}^{(1)}$		2.97	3.3	3.63	V
模拟接地, V_{SSA}			0		V
$f_{SYSCLKOUT}$ 器件时钟频率 (系统时钟)				100	MHz
高电平输入电压, V_{IH} (3.3V)		2		$V_{DDIO}+0.3$	V
低电平输入电压, V_{IL} (3.3V)		$V_{SS}-0.3$		0.8	V
高电平输出拉电流, $V_{OH}=V_{OH(最小值)}, I_{OH}$	所有 GPIO/AIO 引脚			-4	mA
	组 2 ⁽²⁾			-8	
低电平输出灌电流 $V_{OL}=V_{OL(最大值)}, I_{OL}$	所有 GPIO/AIO 引脚			4	mA
	组 2 ⁽²⁾			8	
结温, T_J	S 版本	-40		150	°C
	Q 版本	-40		150	°C

- (1) V_{DDIO} 和 V_{DDA} 之间的差距应保持在大约 0.3 V 之内。
- (2) 第 2 组引脚包括: GPIO16、GPIO17、GPIO18、GPIO19、GPIO28、GPIO29、GPIO36、GPIO37。

6.3 电气特性⁽¹⁾

在建议的运行条件下（除非额外注明）

参数		测试条件		最小值	典型值	最大值	单位
VOH 高电平输出电压		IOH=IOH 最大值		2.4			V
		IOH=50μA		VDDIO-0.2			
VOL 低电平输出电压		IOL=IOL 最大值				0.4	V
IIL 输入电流 (低电平)	带有上拉电阻器	VDDIO=3.3V, VIN=0V	所有 GPIO		-140		μA
			$\overline{\text{XRS}}$ 引脚		-580		
	带有下拉电阻器	VDDIO=3.3V, VIN=0V				±2	
IIH 输入电流 (高电平)	上拉电阻器被启用	VDDIO=3.3V, VIN= VDDIO				±2	μA
	下拉电阻器被启用	VDDIO=3.3V, VIN= VDDIO			50		
IOZ 输出电流, 高阻抗状态 (关闭状态)		VO=VDDIO 或者 0V				±2	μA
Ci 输入电容					2		pF
VDDIOBOR 触发点		下降的 VDDIO			2.65		V
监视器复位延迟时间		延迟时间过后, BOR/POR/OVR 事件被移除以释放 $\overline{\text{XRS}}$			500		μs
VREG VDD 输出		内部 VREG 打开			1.8		V

- (1) 当片载 VREG 被使用时, 它的输出由 POR电路监控。
- (2) 片载 LDO 输出内核电压受 POR/BOR 电路监控, 如果内核电压超出范围, 此电路将复位器件。

6.4 流耗

表 6-1 ADP32F03XB 在 100MHz SYSCLKOUT 运行条件下的流耗

模式	测试条件	VREG 被启用				VREG 被禁用					
		IDDIO ⁽¹⁾		IDDA ⁽²⁾		IDD		IDDIO ⁽¹⁾		IDDA ⁽²⁾	
		典型值 ⁽³⁾	最大值	典型值 ⁽³⁾	最大值	典型值 ⁽³⁾	最大值	典型值 ⁽³⁾	最大值	典型值 ⁽³⁾	最大值
可用 (闪存)	下列的外设时钟被启用： • ePWM1/2/3/4/5/6/7 • eCAP1 • eQEP1 • eCAN • LIN • CLA • HRPWM • SCI-A • SPI-A/B • ADC • I2C • COMP1/2/3 • CPU-TIMER0/1/2 所有 PWM 引脚被切换至 100MHz。所有 I/O 引脚保持未连接状态。 ⁽⁴⁾⁽⁵⁾ 正在闪存之外运行的代码具有 2 个等待状态。XCLKOUT 被关闭。	25 mA ⁽⁶⁾	/	24mA	/	18.3 mA ⁽⁶⁾	/	6.4mA	/	24.4 mA	/
IDLE	• 闪存休眠。 • XCLKOUT 被关闭。 • 所有外设时钟被关闭。	13.5mA	/	950μA	/	6.8mA	/	6.3mA	/	900μA	/
STANDBY	• 闪存休眠。 • 外设时钟被关闭。	10.1mA	/	950μA	/	3.4mA	/	6.3mA	/	900μA	/
HALT	• 闪存休眠。 • 外设时钟关闭。 • 输入时钟禁用。⁽⁷⁾	8.4mA	/	950μA	/	1.7mA	/	6.3mA	/	900μA	/

(1) IDDIO 电流取决于 I/O 引脚上的电气负载。

(2) 为了实现所显示的用于 IDLE, STANDBY, 和 HALT 的 IDDA 电流, 必须通过写入 PCLKCR0 寄存器来明确关闭到 ADC 模块的时钟。

(3) TYP 数适用于常温和典型电压。

(4) 下面的操作在环路内完成：

- 数据持续地从 SPI-A/B, SCI-A, eCAN, LIN, 和 I2C 端口中发出。
- 硬件复用器被使用。
- 看门狗被复位。
- ADC 正在执行持续转换。
- COMP1/2 是持续开关电压。
- GPIO17 接通。

(5) CLA 正在持续执行多项式计算。

(6) 对于没有 CLA 的 ADP32F03XB 器件, 从表 6-1 中用于运行模式的 IDD (VREG 被禁用) / IDDIO (VREG 被启用) 电流数中减去用于 CLA 的 IDD 电流数 (请参阅表 6-2)。

(7) 如果石英晶振或者陶瓷谐振器作为时钟源, HALT 模式将关闭片载晶体振荡器。

注

外设 - 器件中执行的 I/O 复用可防止同时使用所有可用外设。这是因为多个外设功能可能共用一个 I/O 引脚。然而，可同时打开到所有外设的时钟，虽然这一配置并无实际用途。如果这一操作完成，器件消耗的电流将大于流耗表中的额定值。

6.4.1 减少流耗

ADP32F03XB包含一个减少器件流耗的方法。通过关闭未在指定应用中使用的外设模块的时钟来降低流耗。此外，可利用这三个低功耗模式的任意一个来进一步降低流耗。[表6-2](#)表明了通过关闭时钟所实现的流耗降低的典型值。

表 6-2 不同外设的典型流耗（100MHz 时）⁽¹⁾

外设模块 ⁽²⁾	I _{DD} 电流减少(mA)
ADC	0.86 ⁽³⁾
I2C	0.99
ePWM	1.40
eCAP	1.53
eQEP	1.67
SCI	1.86
SPI	1.88
COMP/DAC	1.95
HRPWM	1.98
HRCAP	2.15
CPU - 定时器	2.20
内部零引脚振荡器	2.45
CAN	2.98
LIN	3.30
CLA	3.75

- (1) 复位时，所有外设时钟均禁用(除了 CPU 定时器时钟)。只有在外设时钟打开后，才可对外设寄存器进行写入/读取操作。
- (2) 对于有多个重复单元的外设模块，此处数据仅表示关闭其中1个单元的流耗降低大小。例如，比如，表中ePWM的流耗降低1.4mA，仅代表关闭一个ePWM外设所降低的流耗大小。
- (3) 此数据仅代表取自ADC模块数字部分的流耗降低，关闭ADC的时钟同时也会降低模拟供电电源I_{DDA}流耗。

注

当 XCLKOUT 关闭时，I_{DDIO} 流耗减少了 15mA（典型值）。

注

基线 I_{DD} 电流（在无外设使能情况下，内核执行空操作循环）典型值为 40mA。对于特定应用下 I_{DD} 的基线电流，可在此基线上增加打开对应外设所产生的流耗即可。

进一步降低流耗的方法：

- 如果在 SARAM 上运行代码，闪存模块的电源可关闭。这将使 V_{DD} 电源轨的流耗降低 18mA（典型值）， V_{DDIO} 电源轨的流耗降低 13mA（典型值）。
- 通过禁用负责输出功能的引脚上的上拉电阻，可降低 V_{DDIO} 电源流耗。

6.4.2 流耗图 (VREG 启用)

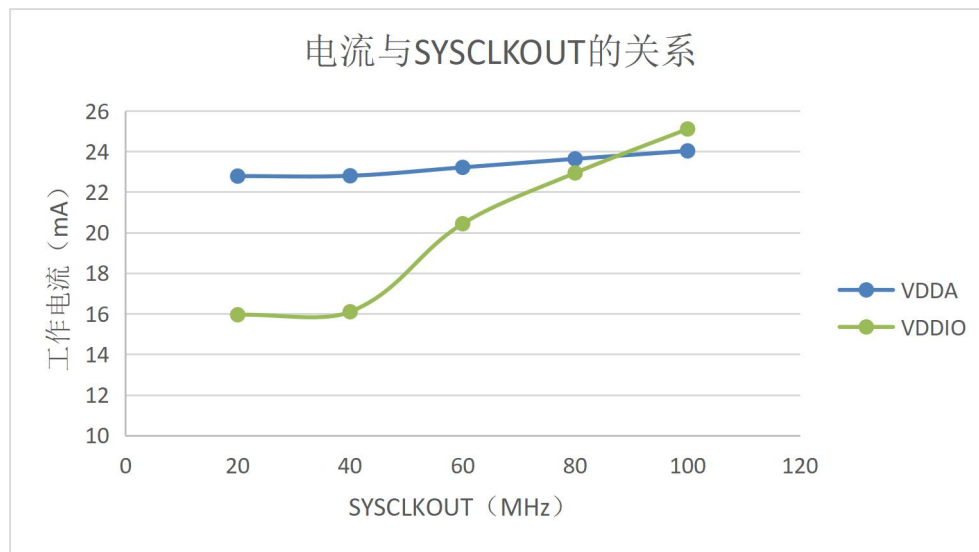


图 6-1 典型运行电流与频率间的关系 (ADP32F03XB)

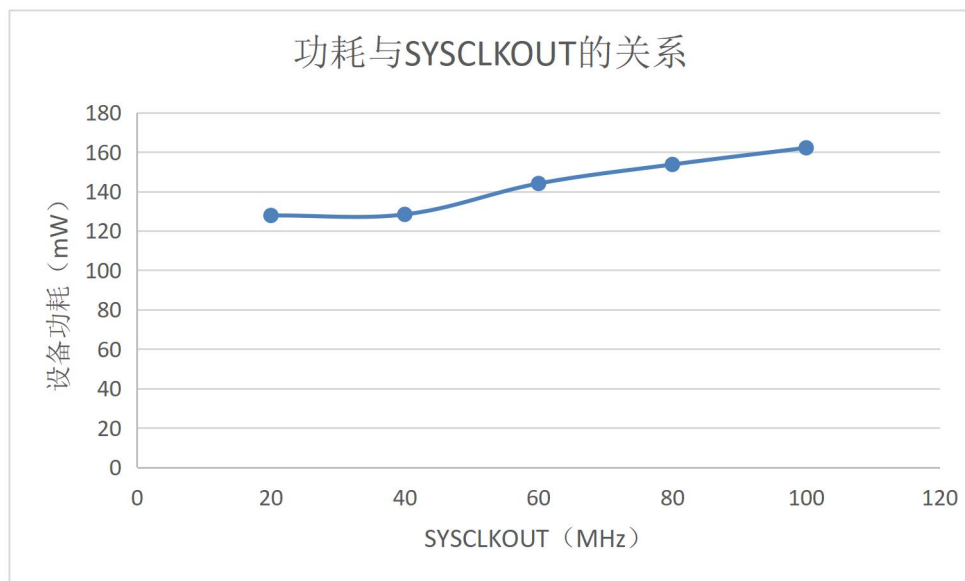
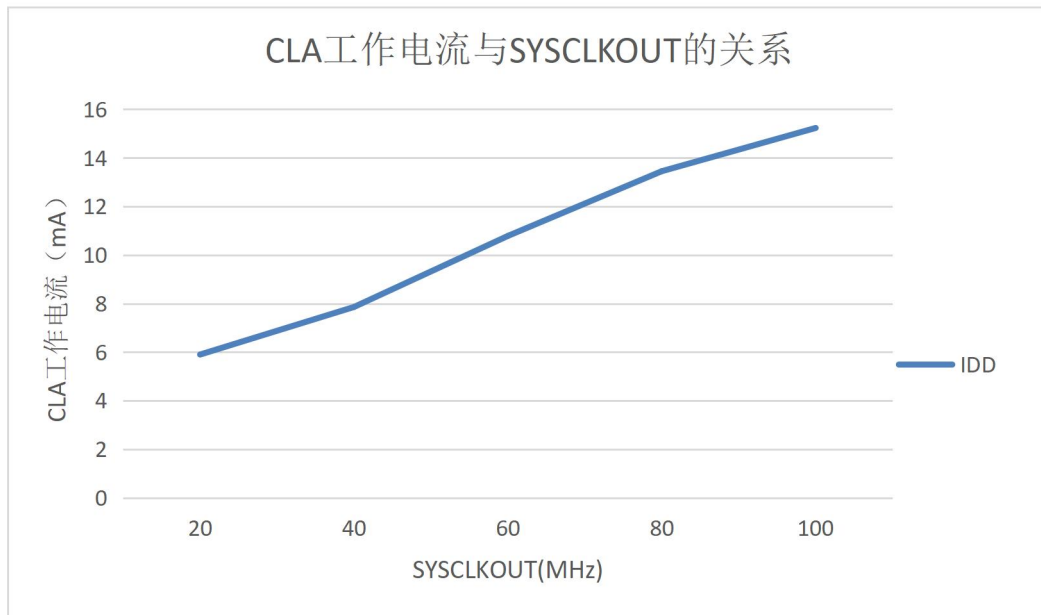


图 6-2 典型运行功率与频率间的关系 (ADP32F03XB)



注：此图为 VREG 禁用的条件下测得

图 6-3 典型 CLA 运行电流与 SYSCLKOUT 间的关系

6.4.3 流耗图 (VREG 禁用)

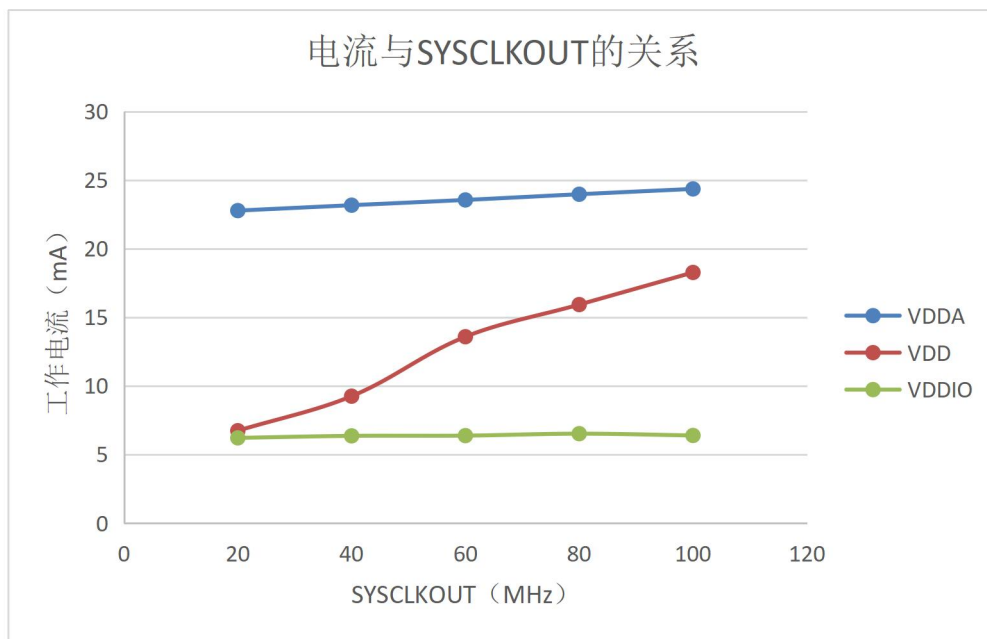


图 6-4 典型运行电流与频率间的关系 (ADP32F03XB)

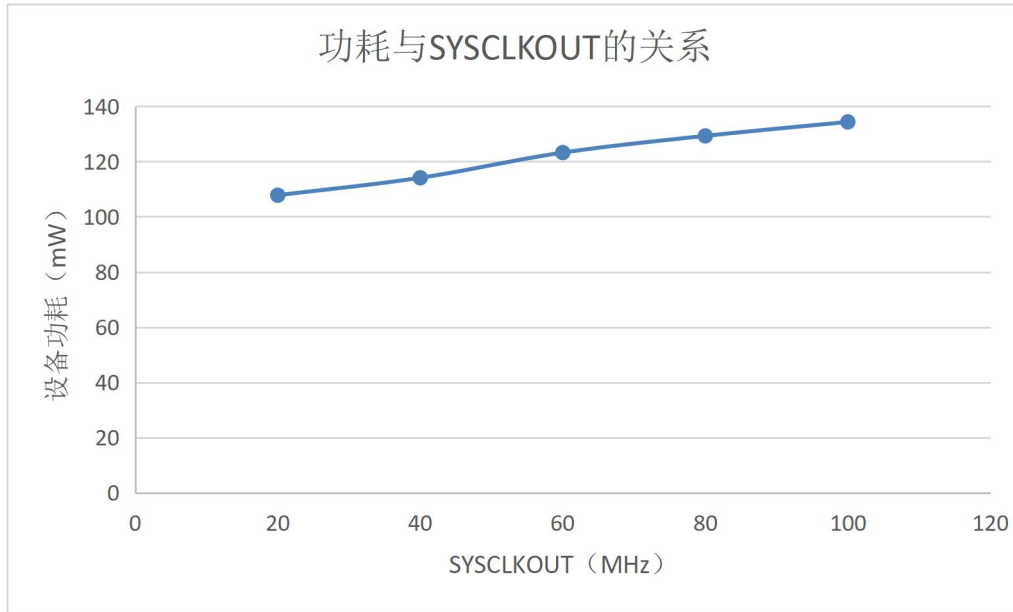


图 6-5 典型运行功率与频率间的关系 (ADP32F03XB)

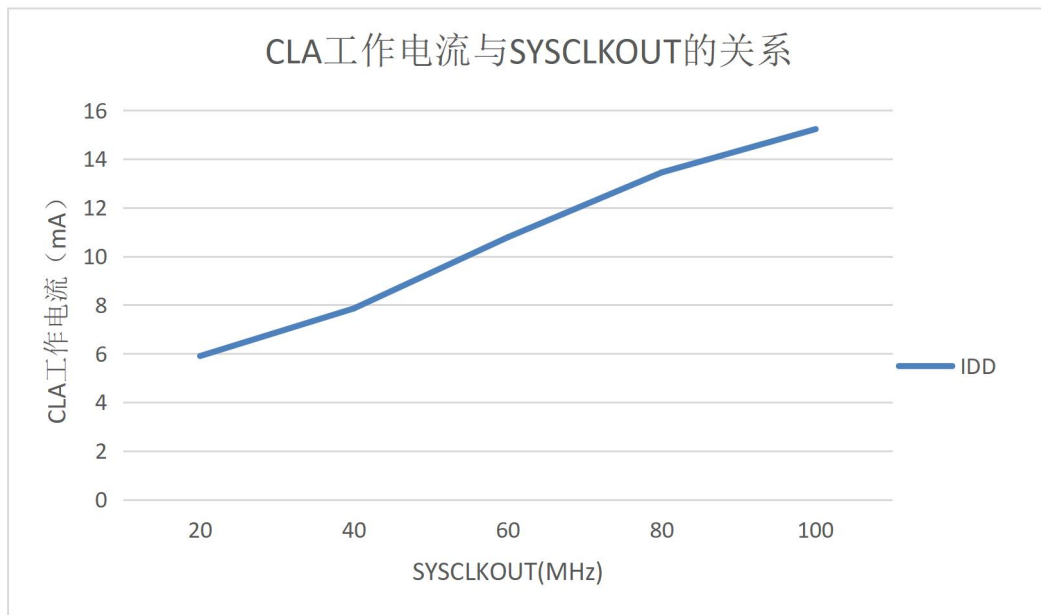


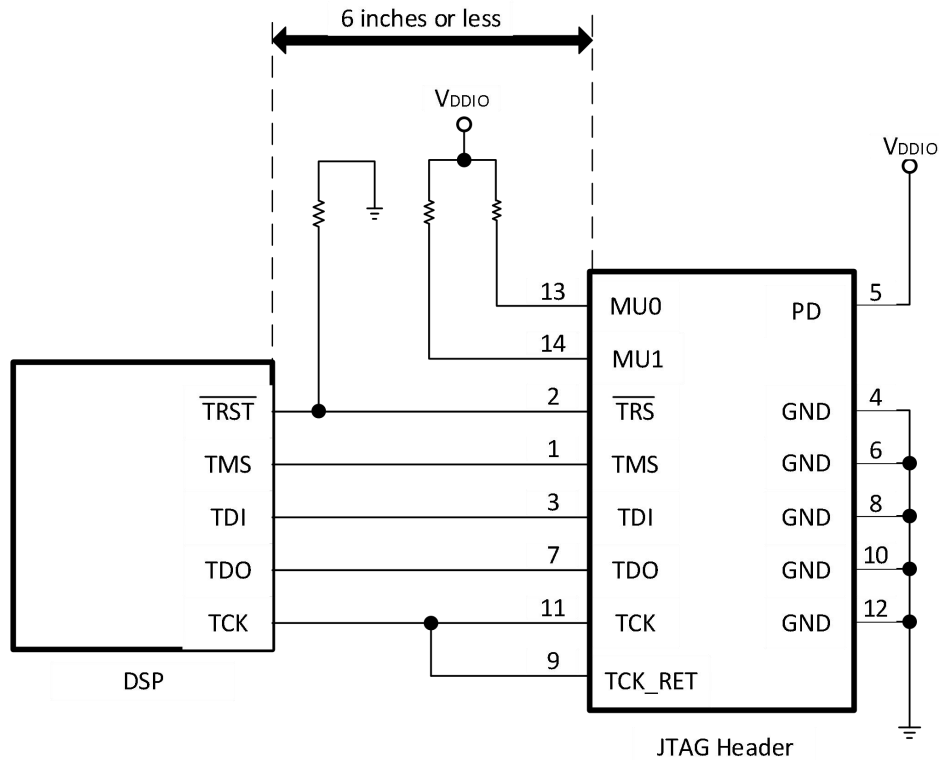
图 6-6 典型 CLA 运行电流与 SYSCLKOUT 间的关系

6.5 散热设计考虑

根据最终应用设计和运行情况， I_{DD} 和 I_{DDIO} 电流会不同。最终应用中超过建议最大功率耗散的系统可能需要额外的散热增强。环境温度 (T_A) 随着最终应用和产品设计而变化。影响可靠性和功能性的关键参数是 T_J ，结温，而非环境温度。因此，应该注意将 T_J 保持在额定限值内。应该测量 $T_{外壳温度}$ 以估算工作结温 T_J 。

6.6 针对 MCU 的无信号缓冲的仿真器连接

图6-7显示了DSP 和JTAG 接头之间针对单处理器配置的连接。如果JTAG接头和DSP之间的距离大于6英寸，那么仿真信号必须加缓冲器。如果距离小于6英寸，通常无需加缓冲器。图6-7显示了较简单、无缓冲的情况。对于上拉/下拉电阻器的值，请参阅表2.2引脚说明部分。



A. JTAG/GPIO 复用请参阅图 4-17。

图 6-7 无信号缓冲情况下 MCU 与 JTAG 仿真器连接

注

ADP32F03XB 器件无 EMU0/EMU1 引脚。对于应用方案上 JTAG 接口的设计，接口上的 EMU0/EMU1 引脚必须通过一个 4.7kΩ（典型值）电阻器连接至 VDDIO。

6.7 时序参数符号

所用的时序参数符号按照 JEDEC 标准 100 创建。为了缩短符号，某些引脚名称和其它相关术语的缩写如下：

小写下标及其含意：字母和符号及其含意：

a	访问时间	H	高
c	周期时间（周期）	L	低
d	延迟时间	V	有效
f	下降时间	X	未知、改变、或者无关电平
h	保持时间	Z	高阻抗
r	上升时间		
su	建立时间		
t	转换时间		
v	有效时间		
w	脉冲持续时间（宽度）		

6.7.1 时序参数的通用注释

所有 ADP32F03XB 器件的输出信号（包括 XCLKOUT）由内部时钟进行同步。

6.7.2 测试负载电路

该测试负载电路用于测量本文档中提供的所有开关特性。

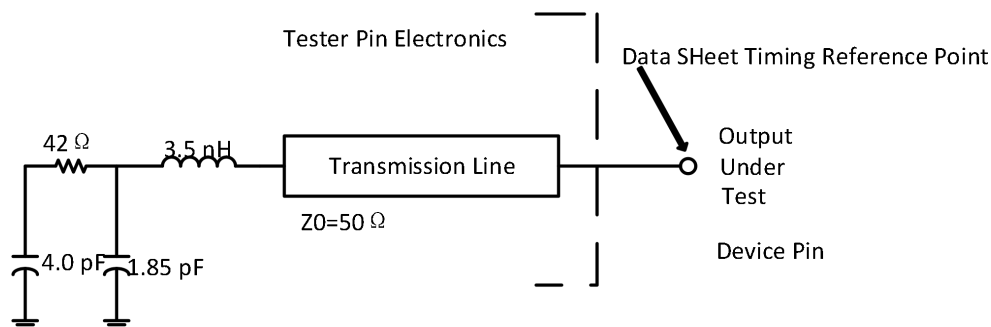


图 6-8 3.3V 测试负载电路

6.7.3 器件时钟表

本小节介绍DSP上可用的不同时钟选项的时序要求和开关特性。表6-3列出了不同时钟的周期时间。

表 6-3 ADP32F03XB 时钟表和命名规则 (100MHz)

		最小值	典型值	最大值	单位
SYSCLKOUT	$t_{c(SCO)}$, 周期时间	10		500	ns
	频率	2		100	MHz
LSPCLK ⁽¹⁾	$t_{c(LCO)}$, 周期时间	10	66.67 ⁽²⁾		ns
	频率		15 ⁽²⁾	100	MHz
ADC 时钟	$t_{c(ADCCLK)}$, 周期时间	16.67			ns
	频率			60	MHz

(1) 更低的 LSPCLK 将降低器件功耗。

(2) 如果 SYSCLKOUT=60MHz, 则该值为默认复位值。

表 6-4 器件计时要求/特性

		最小值	典型值	最大值	单位
片载振荡器时钟 (X1/X2 引脚) (晶振/谐振器)	$t_{c(OSC)}$, 周期时间	50		200	ns
	频率	5		20	MHz
外部振荡器/时钟源 (XCLKIN 引脚) — PLL 启用	$t_{c(CI)}$, 周期时间 (C8)	33.3		200	ns
	频率	5		30	MHz
外部振荡器/时钟源 (XCLKIN 引脚) — PLL 禁用	$t_{c(CI)}$, (C8) 周期时间	33.3		250	ns
	频率	4		30	MHz
跛行模式 SYSCLKOUT (2 启用)	频率范围	1 至 5			MHz
XCLKOUT	$T_{c(XCO)}$, 周期时间(C1)	66.67		2000	ns
	频率	0.5		15	MHz
PLL 锁定时间 ⁽¹⁾	t_p			1	ms

(1) PLLLOCKPRD 寄存器必须按照 OSCCLK 周期的数量进行更新。如果零引脚振荡器 (10MHz) 作为时钟源, 则必须将一个为10000 (最小值) 的值写入 PLLLOCKPRD 寄存器。

6.8 时钟要求和特性

表 6-5 内部零引脚振荡器 (INTOSC1/INTOSC2) 特性

参数		最小值	典型值	最大值	单位
30°C 时的内部零引脚振荡器 1 (INTOSC1) ⁽¹⁾	频率		10.000		MHz
30°C 时的内部零引脚振荡器 2 (INTOSC2) ⁽¹⁾	频率		10.000		MHz
温漂 ⁽²⁾			20		kHz/°C

(1) 只有当 VREG 启用时, 才能确保频率范围, $\overline{V_{REGENZ}} = V_{SS}$ 。

(2) 内部振荡器的输出频率由温度梯度和电压 (V_{DD}) 梯度确定。例如:

- 温度的上升将引起输出频率按照温度系数增加。

- 电压的下降 (V_{DD}) 将引起输出频率按照电压系数下降。

表 6-6 XCLKIN 时序要求- 启用 PLL

编号		最小值	最大值	单位
C9	$t_{f(CI)}$ 下降时间, XCLKIN		6	ns
C10	$t_{r(CI)}$ 上升时间, XCLKIN		6	ns
C11	$t_{w(CIL)}$ 脉冲持续时间, XCLKIN 低电平脉宽占空比 ($t_{c(OSCCLK)}$)	45	55	%
C12	$t_{w(CIH)}$ 脉冲持续时间, XCLKIN 高电平作为 $t_{c(OSCCLK)}$ 的一部分的时间	45	55	%

表 6-7 XCLKIN 时序要求-- 禁用 PLL

编号		最小值	最大值	单位
C9	$t_{f(CI)}$ 下降时间, XCLKIN	高达 20 MHz	6	ns
	20MHz 至 30MHz		2	
C10	$t_{r(CI)}$ 上升时间, XCLKIN	高达 20 MHz	6	ns
	20MHz 至 30MHz		2	
C11	$t_{w(CIL)}$ 脉冲持续时间, XCLKIN 低电平作为 $t_{c(OSCCLK)}$ 的一部分的时间	45	55	%
C12	$t_{w(CIH)}$ 脉冲持续时间, XCLKIN 高电平作为 $t_{c(OSCCLK)}$ 的一部分的时间	45	55	%

表 3-18 中显示了可能的配置模式。

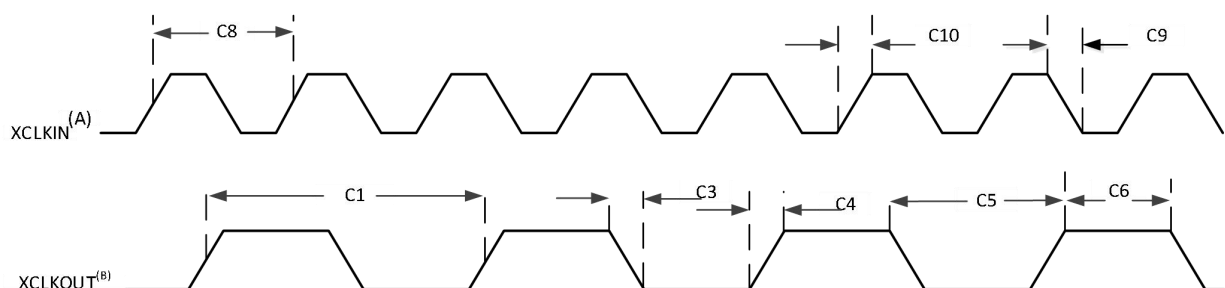
表 6-8 XCLKOUT 开关特性 (PLL 旁路或者被禁用) ^{(1) (2)}

在推荐的运行条件下 (除非额外注明)

编号	参数	最小值	典型值	最大值	单位
C3	$t_{f(XCO)}$ 下降时间, XCLKOUT			5	ns
C4	$t_{r(XCO)}$ 上升时间, XCLKOUT			5	ns
C5	$t_{w(XCOL)}$ 脉冲持续时间, XCLKOUT 低电平的时间	H-2		H+2	ns
C6	$t_{w(XCOH)}$ 脉冲持续时间, XCLKOUT 高电平的时间	H-2		H+2	ns

(1) 假定这些参数有一个40pF 的负载。

(2) $H=0.5t_{c(XCO)}$



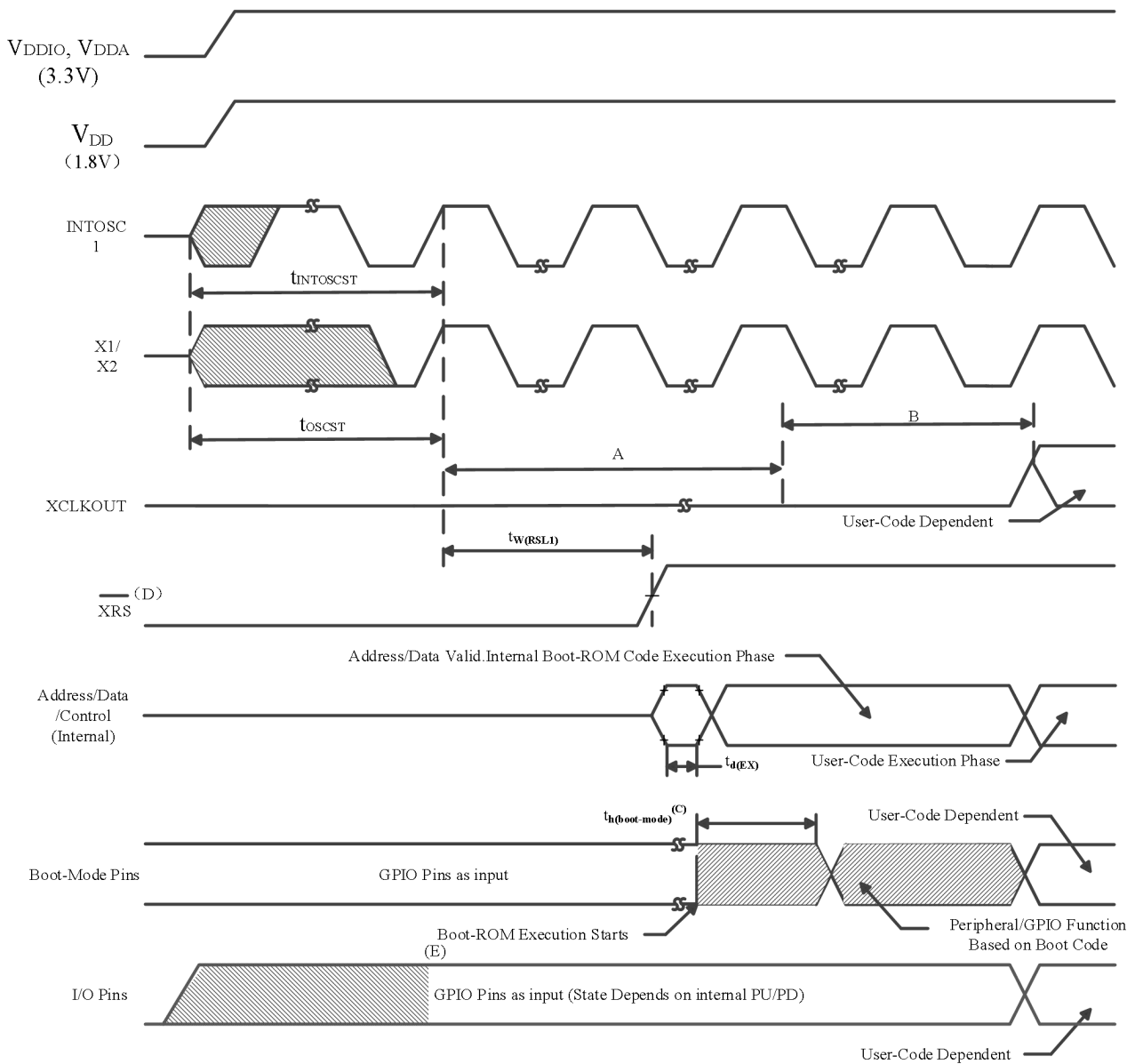
A. XCLKIN 与 XCLKOUT 的关系取决于所选择的分频系数。图示波形关系仅用于说明时序参数, 可能因实际配置而异。

B. 配置XCLKOUT以反映SYSCLKOUT。

图6-9 时钟时序

6.9 电源时序

复位后，无需电源时序来确保器件处于正常状态，或者防止上电/断电期间 I/O 上的毛刺脉冲 (GPIO19, GPIO34–38 上无毛刺脉冲 I/O)。在器件上电之前，不得将高于 V_{DDIO} 以上的二极管压降 (0.7V) 的电压应用于任何数字引脚上 (对于模拟引脚，该值是比 V_{DDA} 高 0.7V 的电压值)。此外， V_{DDIO} 和 V_{DDA} 之间的差距应一直在 0.3V 之内。施加在未上电器件引脚上的电压会以非法方式正偏内部 p-n 结，并产生无法预料的结果。



A. 上电时，SYSCLKOUT 为 OSCCLK/4。由于 XCLK 寄存器内的 XCLKOUTDIV 位的复位状态是 0，SYSCLKOUT 在 XCLKOUT 输出之前会进一步进行 4 分频。在该状态期间，XCLKOUT=OSCCLK/16。

- B. 引导 ROM 将 DIVSEL 位配置为 /1 运行。在该状态期间, XCLKOUT=OSCCLK/4。请注意: XCLKOUT 只有通过用户代码明确配置, 才会显示在引脚上。
- C. 复位后, 引导 ROM 代码采样 Boot Mode (引导模式) 引脚。基于引导模式引脚的状态, 引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在上电条件后 (在调试器环境中) 执行代码, 引导代码执行时间由当前 SYSCLKOUT 的速度而定。SYSCLKOUT 将基于用户环境并可在 PLL 启用或者不启用时使用。如果引导 ROM 代码在上电条件后 (在调试器环境中) 执行代码, 引导代码执行时间由当前的 SYSCLKOUT 的速度而定。SYSCLKOUT 将基于用户环境并可在 PLL 启用或者不启用时使用。
- D. 由于片载上电复位 (POR) 电路, 使用 $\overline{\text{XRS}}$ 引脚是可选的。
- E. 当 BOR 被驱动为高电平, 内部上拉/下拉将起作用。

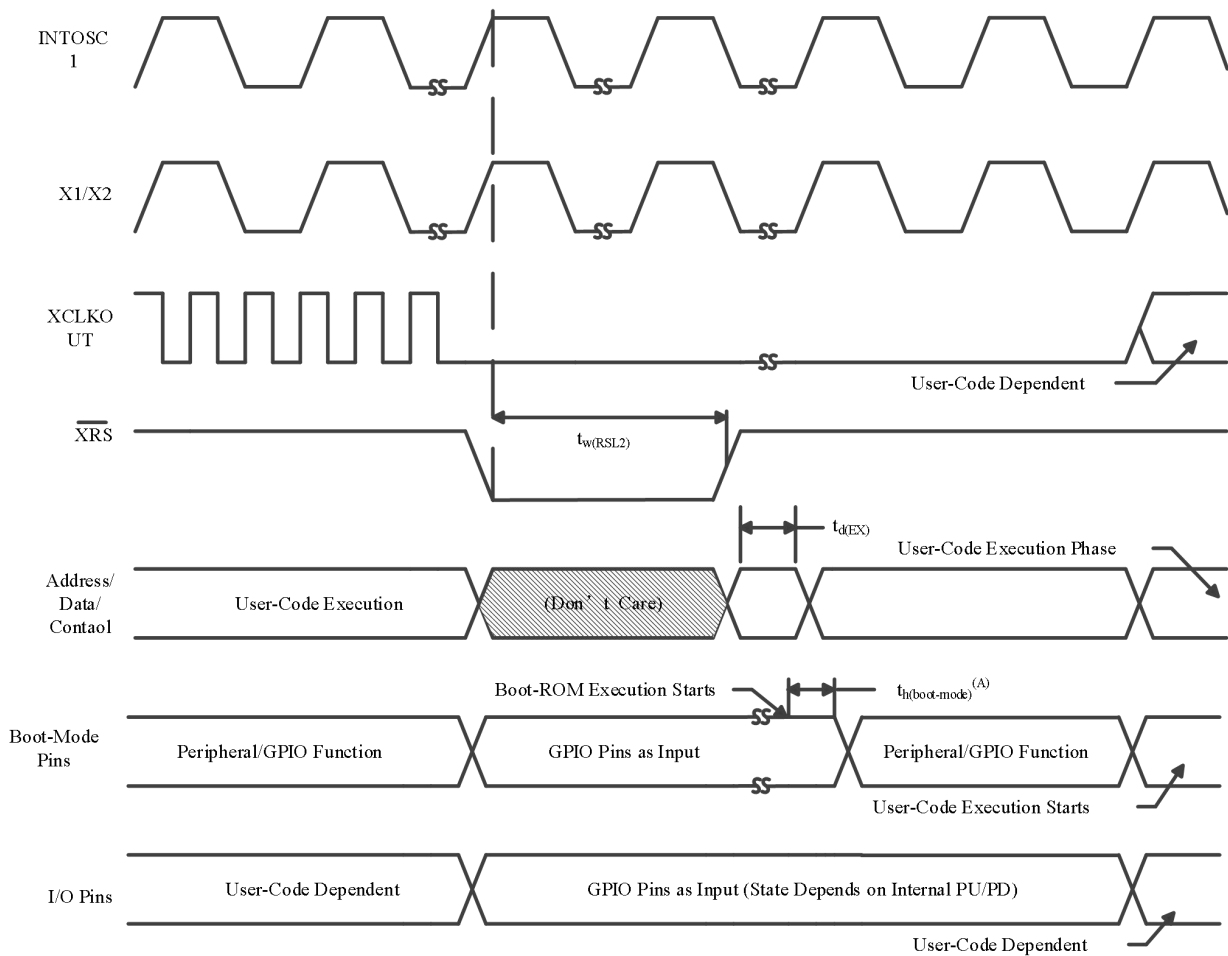
图6-10 上电复位
表 6-9 复位 $\overline{\text{XRS}}$ 时序要求

	最小值	典型值	最大值	单位
$t_w(\text{RSL2})$ 脉冲持续时间, $\overline{\text{XRS}}$ 低电平的时间	$32t_c(\text{OSCCLK})$			周期
t_h (引导模式) 引导模式引脚的保持时间	$1000t_c(\text{SCO})$			周期

表 6-10 复位 $\overline{\text{XRS}}$ 开关特性

	测试条件	最小值	典型值	最大值	单位
$t_w(\text{RSL1})$ 脉冲持续时间, $\overline{\text{XRS}}$ 由器件驱动			600		us
$t_w(\text{WDRS})$ 脉冲持续时间, 由看门狗生成复位脉冲			$512t_c(\text{OSCCLK})$		周期
$t_d(\text{EX})$ 延迟时间, $\overline{\text{XRS}}$ 高电平后, 地址/数据有效			$32t_c(\text{OSCCLK})$		周期
t_{INTOSCST} 启动时间, 内部零引脚振荡器			100		us
$t_{\text{OSCST}}^{(1)}$ 晶体振荡器启动时间		1	10		ms

(1) 取决于晶振/谐振器和电路板设计。



A. 复位后，引导 ROM 代码对 BOOT 模式引脚进行采样。基于引导模式引脚的状态，引导代码分支到目标内存或引导代码函数。如果引导 ROM 代码在上电条件后（在调试器环境中）执行代码，则引导代码执行时间基于当前 SYSCLKOUT 速度。SYSCLKOUT 将基于用户环境，可以启用或不启用 PLL。

图6-11 热复位

图6-12所示为写入PLLCR寄存器所产生的结果示例。在第一个阶段，PLLCR=0x0004且SYSCLKOUT=OSCCLK x 2。然后用0x0008写入PLLCR。就在写入PLLCR寄存器后，PLL锁存阶段开始。在此阶段，SYSCLKOUT=OSCCLK/2。在PLL锁存完成后，SYSCLKOUT表示新的频率OSCCLKx4。

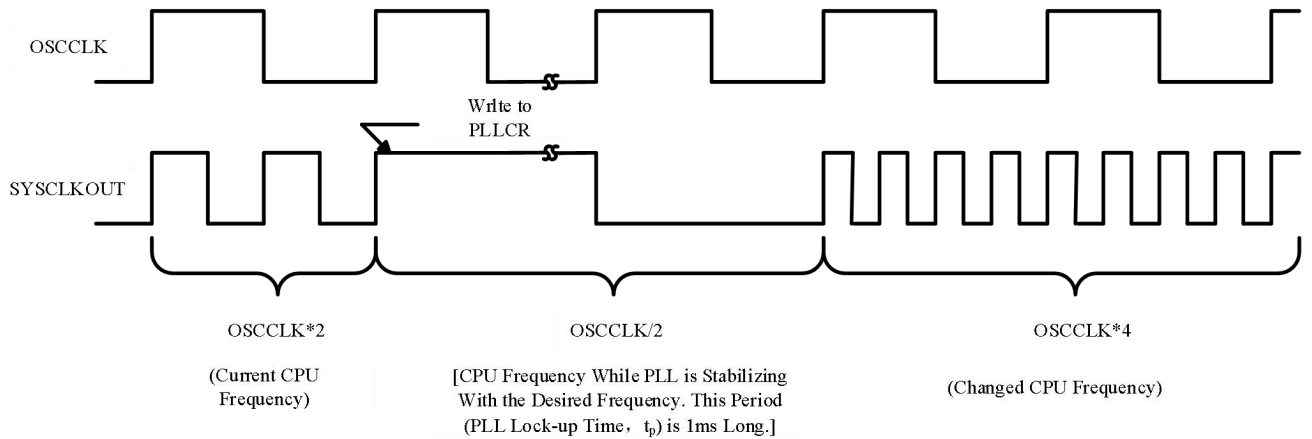


图6-12 写入PLLCR寄存器所产生的结果示例

6.10 通用输入/输出 (GPIO)

6.10.1 GPIO - 输出时序

表6-11 通用输出开关特性

在推荐的运行条件下（除非另有说明）

参数		最小值	最大值	单位
$t_{r(GPO)}$ GPIO 从低电平切换至高电平的上升时间	所有 GPIO		13 ⁽¹⁾	ns
$t_{f(GPO)}$ GPIO 从高电平切换至低电平的下降时间	所有 GPIO		13 ⁽¹⁾	ns
$t_{f(GPO)}$ 切换频率			15	MHz

(1) 上升时间和下降时间随着 I/O 引脚上的电气负载而变化。给出的值适用于 I/O 引脚上的 40pF 负载。

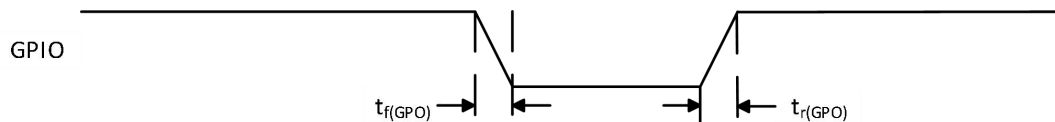


图 6-13 通用输出时序

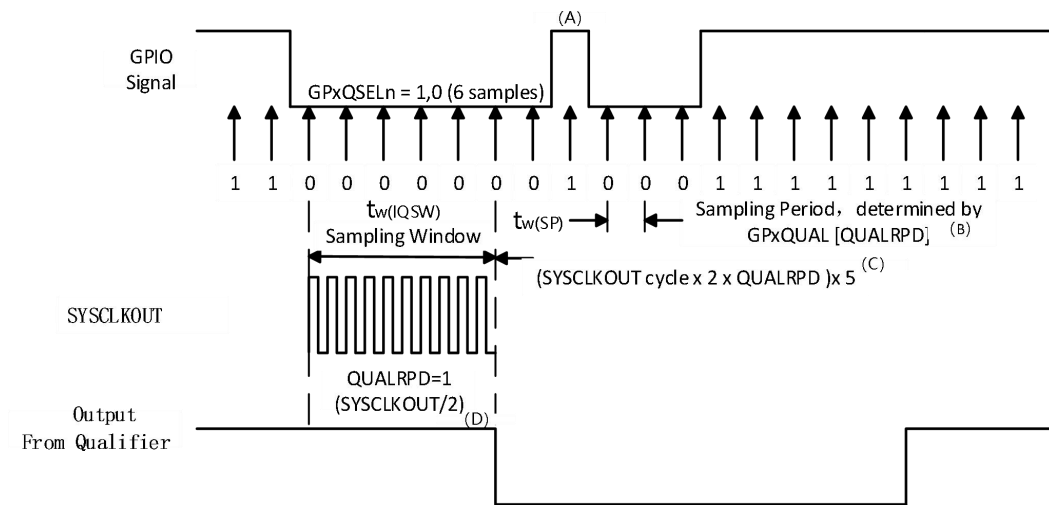
6.10.2 GPIO - 输入时序

表 6-12 通用输入时序要求

		最小值	最大值	单位
$t_w(SP)$ 采样周期	QUALPRD=0	$1t_c(SCO)$		周期
	QUALPRD≠0	$2t_c(SCO)*QUALPRD$		周期
$t_w(IQSW)$ 输入限定器采样窗口		$t_w(SP)*(n^{(1)}-1)$		周期
$t_w(GPI)^{(2)}$ GPIO 低电平/高电平脉冲持续时间	同步模式	$2t_c(SCO)$		周期
	有输入限定器	$t_w(IQSW) + t_w(SP) + 1t_c(SCO)$		周期

(1) "n" 代表由 GPxQSELn 寄存器定义的限定采样数量。

(2) 对于 $t_w(GPI)$ ，低电平有效信号的脉宽在 V_{IL} 至 V_{IL} 之间进行测量，而对于高电平有效信号脉宽在 V_{IH} 至 V_{IH} 之间进行测量。



- 输入限定器将忽略该毛刺脉冲。QUALPRD 位字段指定了限定采样周期，值可在 0x00 至 0xFF 间变化。如果 QUALPRD=00，则采样周期为 1 个 SYSCLKOUT 周期。对于任何其它的 "n" 值，限定采样周期为 2n SYSCLKOUT 周期（即每 2n SYSCLKOUT 周期对 GPIO 引脚进行采样）。
- 通过 GPxCTRL 寄存器选择的限定周期应用于一组 8 个 GPIO 引脚上。
- 此限定块可取 3 个或 6 个采样。由 GPxQSELn 寄存器选择使用的采样模式。
- 在所示的示例中，为了使限定器检测到变化，输入应该在 10 个 SYSCLKOUT 周期或者更长的时间内保持稳定。换言之，输入应该在 $(5 \times \text{QUALPRD} \times 2)$ SYSCLKOUT 周期内保持稳定。这将确保出现 5 个采样周期用于检测。由于外部时钟是异步驱动的，13 个 SYSCLKOUT 宽的脉冲可确保可靠识别。

图6-14 采样模式

6.10.3 输入信号的采样窗口宽度

以下内容总结了：各种输入限定器配置下，输入信号的采样窗口宽度。

采样频率是指相对于SYSCLKOUT的信号采样频率。

如果 $QUALPRD \neq 0$ ，采样频率 = $SYSCLKOUT / (2 * QUALPRD)$

如果 $QUALPRD = 0$ ，采样频率 = $SYSCLKOUT$

如果 $QUALPRD \neq 0$ ，采样周期 = $SYSCLKOUT$ 周期 $\times 2 \times QUALPRD$

在上面的等式中， $SYSCLKOUT$ 周期是指 $SYSCLKOUT$ 的周期。

如果 $QUALPRD = 0$ ，采样周期 = $SYSCLKOUT$ 周期

在一个指定的采样窗口中，取输入信号的 3 个或者 6 个采样以确定信号的有效性，这个值由写入到 $GPxQSELn$ 寄存器的值确定。

例 1:

使用 3 个采样的限定

如果 $QUALPRD \neq 0$ ，采样窗口宽度 = $(SYSCLKOUT \text{ 周期} \times 2 \times QUALPRD) \times 2$

如果 $QUALPRD = 0$ ，采样窗口宽度 = $(SYSCLKOUT \text{ 周期}) \times 2$

情况2:

使用 6 个采样的限定

如果 $QUALPRD \neq 0$ ，采样窗口宽度 = $(SYSCLKOUT \text{ 周期} \times 2 \times QUALPRD) \times 5$

如果 $QUALPRD = 0$ ，采样窗口宽度 = $(SYSCLKOUT \text{ 周期}) \times 5$

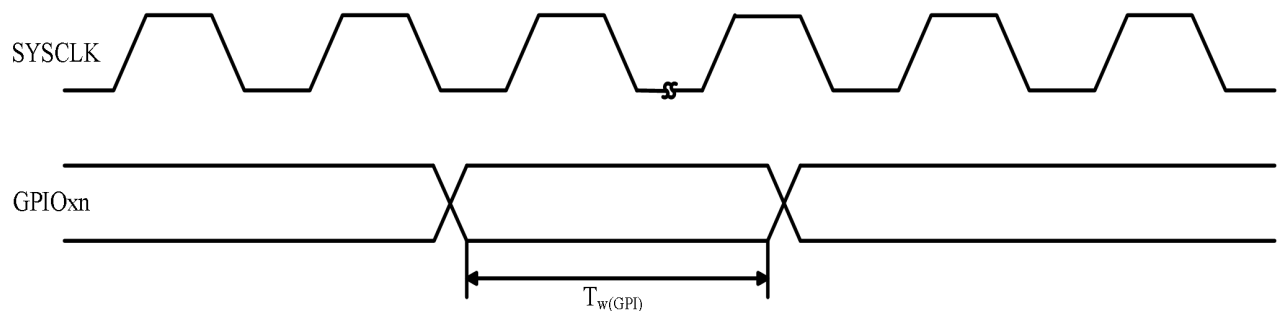


图6-15 通用输入时序

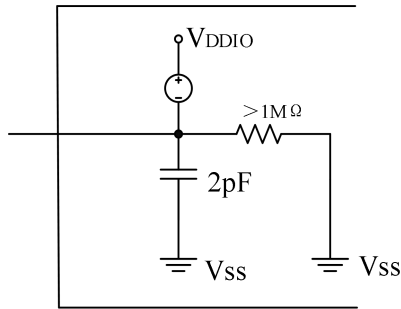


图6-16 带有内部上拉的 GPIO 引脚的输入电阻模型

6.10.4 低功耗唤醒时序

表 6-13 所示为时序要求，表 6-14 所示为开关特性，图 6-17 所示为 IDLE 模式下的时序图。

表 6-13 IDLE 模式时序要求⁽¹⁾

		最小值	典型值	最大值	单位
$t_{w(WAKE-INT)}$ 脉冲持续时间，外部唤醒信号的时间	无输入限定器	$2t_{c(SCO)}$			周期
	有输入限定器	$5t_{c(SCO)} + t_{w(IQSW)}$			

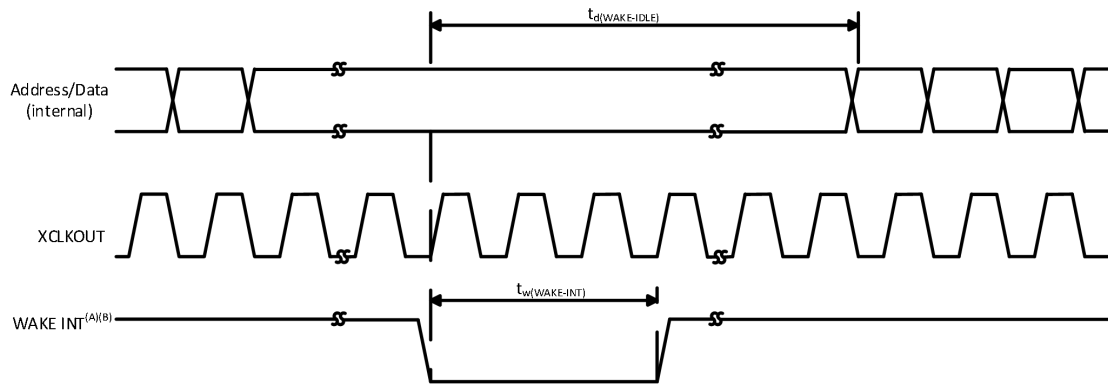
(1) 对于输入限定器参数的说明，请参阅表 6-12。

表 6-14 IDLE 模式开关特性⁽¹⁾

参数	测试条件	最小值	典型值	最大值	单位
$t_d(WAKE-IDLE)$	延迟时间，外部唤醒信号到程序执行重新开始的时间 ⁽²⁾				周期
	• 从 Flash 唤醒 – Flash 处于激活状态	无输入限定器		$20t_{c(SCO)}$	周期
		有输入限定器		$20t_{c(SCO)} + t_{w(IQSW)}$	
	• 从 Flash 唤醒 – Flash 处于休眠状态	无输入限定器		$1050t_{c(SCO)}$	周期
		有输入限定器		$1050t_{c(SCO)} + t_{w(IQSW)}$	
	• 从 SARAM 中唤醒	无输入限定器		$20t_{c(SCO)}$	周期
		有输入限定器		$20t_{c(SCO)} + t_{w(IQSW)}$	

(1) 对于输入限定器参数的说明，请参阅表 6-12。

(2) 该时间是在 IDLE 指令之后立即开始指令执行的时间。一个 ISR（由唤醒触发）信号的执行会涉及额外的延迟。



- A. WAKE INT可以是任一启用的中断， $\overline{\text{WDINT}}$ 或者 $\overline{\text{XRS}}$ 。执行IDLE 指令后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最小值）的延迟。
- B. 从执行将器件置于低功耗模式 (LPM) 的 IDLE 指令开始，在至少 4 个 OSCCLK 周期之前，不应启动唤醒。

图6-17 进入和退出IDLE模式的时序

表 6-15 STANDBY 模式时序要求

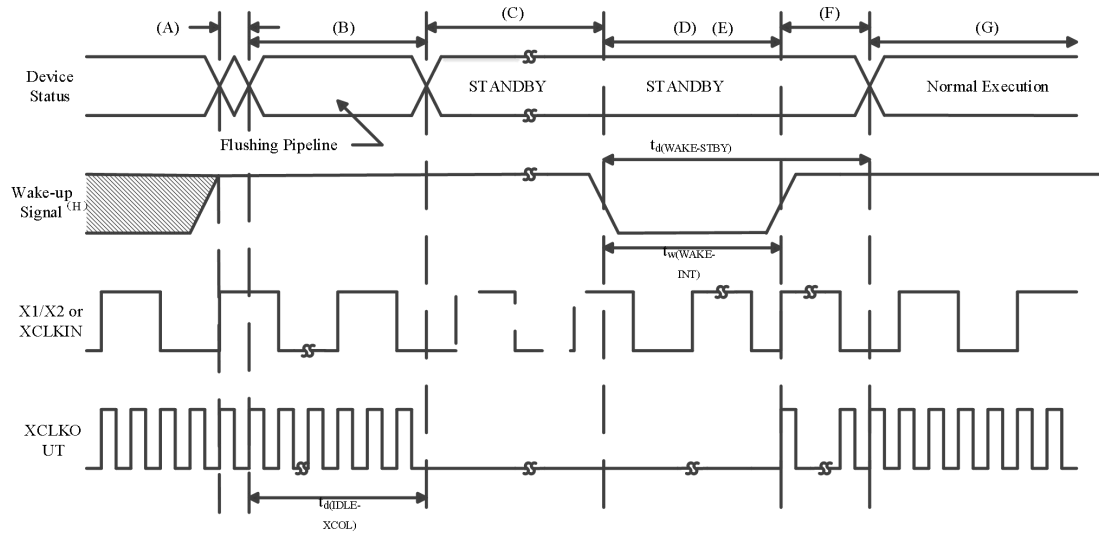
		最小值	典型值	最大值	单位
$t_{w(\text{WAKE-INT})}$ 脉冲持续时间，外部唤醒信号的时间	无输入限定器	$3t_{c(\text{OSCCLK})}$			周期
	有输入限定器 ⁽¹⁾	$(2 + \text{QUALSTDBY}) * t_{c(\text{OSCCLK})}$			

(1) QUALSTDBY 是 LPMCRO 寄存器内的 6 位字段。

表 6-16 STANDBY 模式开关特性

参数	测试条件	最小值	典型值	最大值	单位
$t_d(\text{IDLE-XCOL})$	延迟时间，IDLE 指令执行至 XCLKOUT 为低电平的时间	$32t_{c(\text{SCO})}$		$45t_{c(\text{SCO})}$	周期
$t_d(\text{WAKE-STBY})$	延迟时间，外部唤醒信号到程序执行重新开始的时间 ⁽¹⁾				周期
	• 从闪存唤醒 – 激活状态中的闪存模块	无输入限定器		$100t_{c(\text{SCO})}$	周期
		有输入限定器		$100t_{c(\text{SCO})} + t_{w(\text{WAKE-INT})}$	
	• 从闪存唤醒 – 睡眠状态中的闪存模块	无输入限定器		$1125t_{c(\text{SCO})}$	周期
		有输入限定器		$1125t_{c(\text{SCO})} + t_{w(\text{WAKE-INT})}$	
	• 从 SARAM 中唤醒	无输入限定器		$100t_{c(\text{SCO})}$	周期
		有输入限定器		$100t_{c(\text{SCO})} + t_{w(\text{WAKE-INT})}$	

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。一个 ISR（由唤醒触发）信号的执行会涉及额外的延迟。



A. 器件执行IDLE 指令进入STANDBY模式。

B. PLL响应STANDBY 信号。SYSCLKOUT在关闭之前保持输出如下所示的周期数：

- 当DIVSEL=00 或11 时，16 个周期
- 当DIVSEL=10 时，32 个周期
- 当DIVSEL=11 时，64 个周期

此延迟使得CPU 流水线和它等待的操作被适当清空。

C. 到外设的时钟被关闭。然而，PLL 和看门狗并未关闭。此器件现在处于STANDBY 模式。IDLE 指令被执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最小值）的延迟。

D.外部唤醒信号被驱动为有效。

E. 提供给 GPIO 引脚的唤醒信号必须满足最小脉冲宽度要求。此外，该信号必须无毛刺脉冲。如果噪声信号被送到 GPIO 引脚，器件的唤醒状态将不确定，且在随后的唤醒脉冲中，也可能不会退出低功耗模式。

F. 在一个延迟周期内，退出STANDBY 模式。

G. 恢复正常执行。此器件将响应中断（如果被启用）。

H. 从将的执行 IDLE 指令，器件进入低功耗模式 (LPM)后，至少 4 个 OSCCLK 周期内，不应启动唤醒。

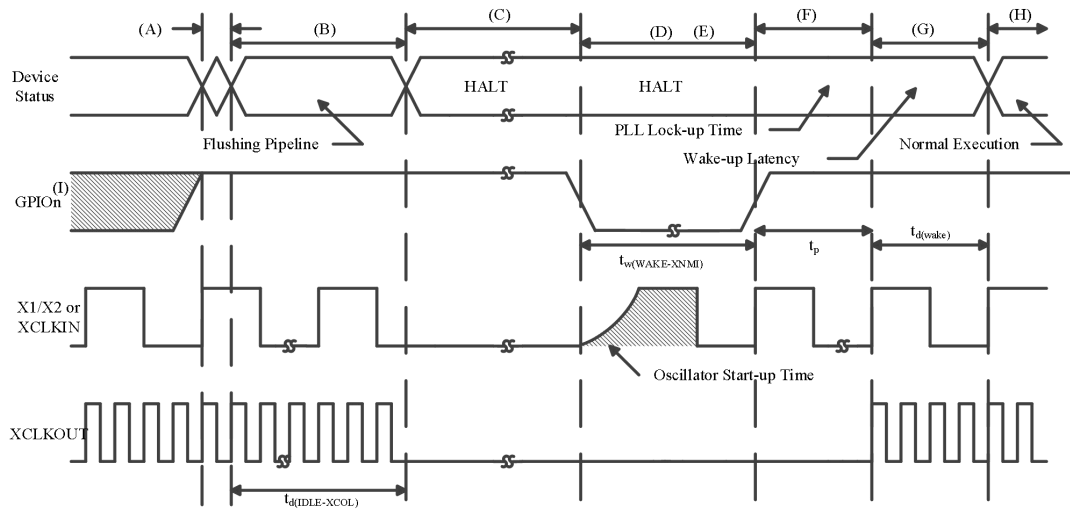
图 6-18 进入和退出 STANDBY 模式的时序

表 6-17 HALT 模式时序要求

	最小值	典型值	最大值	单位
$t_w(\text{WAKE- GPIO})$ GPIO 唤醒脉冲持续时间	$t_{\text{oscst}} + 2t_c(\text{OSCCLK})$			周期
$t_w(\text{WAKE- XRS})$ $\overline{\text{XRS}}$ 唤醒脉冲持续时间	$t_{\text{oscst}} + 8t_c(\text{OSCCLK})$			周期

表 6-18 HALT 模式开关特性

参数		最小值	典型值	最大值	单位
t _d (IDLE-XCOL) 延迟时间, 执行 IDLE 指令至 XCLKOUT 为低电平		32t _c (SCO)		45t _c (SCO)	周期
t _p PLL 锁定时间				1	ms
t _d (WAKE-HALT)	延迟时间, PLL 锁存到程序恢复执行 • 从闪存唤醒 –处于睡眠状态的闪存模块			1125t _c (SCO)	周期
	• 从 SARAM 中唤醒			35t _c (SCO)	周期



- A. 执行 IDLE 指令进入 HALT 模式。
- B. PLL 响应 HALT 信号。在关闭振荡器且停止内核输入时钟 CLKIN 之前, SYSCLKOUT 保持输出如下所示的周期数:
- 当 DIVSEL=00 或 11 时, 16 周期
 - 当 DIVSEL=10 时, 32 个周期
 - 当 DIVSEL=11 时, 64 个周期
- 该延迟使得 CPU 流水线和其它等待的操作被适当清空。
- C. 关闭外设时钟和 PLL。如果使用石英晶体或者陶瓷谐振器作为时钟源, 内部振荡器也会关闭。器件现处于 HALT 模式, 绝对是最小功耗。可在 HALT 模式下保持零引脚内部振荡器 (INTOSC1 和 INTOSC2) 以及看门狗处于活动状态。可通过对 CLKCTL 寄存器中的适当位进行写入操作来实现此功能。执行 IDLE 指令后, 在唤醒信号生效前需要 5 个 OSCCLK 周期 (最小值) 的延迟。
- D. 当 GPIO_n 引脚 (用于使器件退出 HALT 模式) 驱动为低电平时, 振荡器打开且振荡器唤醒序列启动。只有当振荡器稳定后, GPIO 引脚才应被驱动为高电平。这使得可在 PLL 锁存序列期间提供一个干净的时钟信号。由于 GPIO 引脚的下降边沿异步开始唤醒序列, 请注意在进入和处于 HALT 模式期间保持低噪声环境。
- E. 提供给 GPIO 引脚的唤醒信号必须满足最小脉冲宽度的要求。此外, 该信号必须无毛刺脉冲。如果噪声信号被送到 GPIO 引脚, 器件的唤醒行为将不确定, 并且在随后的唤醒脉冲中, 也可能不会退出低功耗模式。
- F. 一旦振荡器稳定, PLL 锁定序列启动耗时 1ms。
- G. 当输入内核的 CLKIN 启用时, 设备将在延迟后响应中断 (如果启用), 现在退出 HALT 模式。
- H. 恢复正常运行。
- I. 执行 IDLE 指令, 器件进入低功耗模式 (LPM) 后, 至少 4 个 OSCCLK 周期内, 不应启动唤醒。

图 6-19 使用 GPIO_n 唤醒 HALT 模式

6.11 增强型控制外设

6.11.1 增强型脉宽调制器 (ePWM) 时序

PWM是指ePWM 1-7上的 PWM 输出。[表6-19](#)所示为 ePWM 时序要求，[表6-20](#)所示为其开关特性。

表 6-19 ePWM 时序要求⁽¹⁾

参数		测试条件	最小值	最大值	单位
$t_{w(SYCIN)}$	同步输入脉冲宽度	异步	$2t_{c(SCO)}$		周期
		同步	$2t_{c(SCO)}$		周期
		带有输入限定器	$1t_{c(SCO)}+t_{w(IQSW)}$		周期

表 6-20 ePWM 开关特性

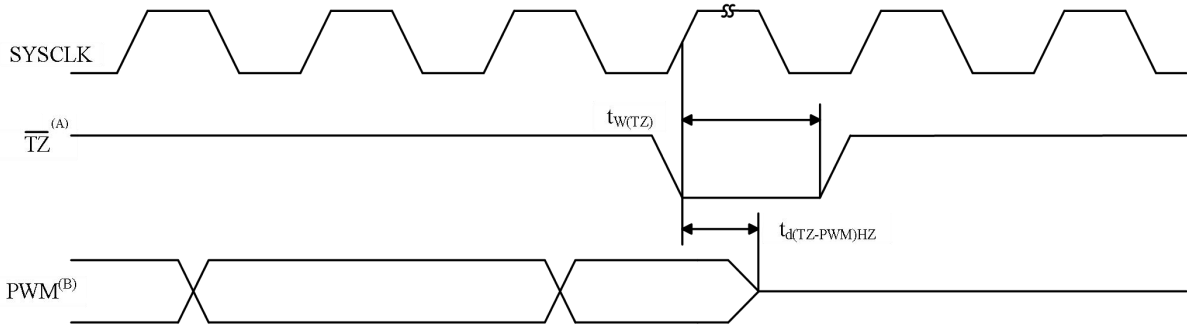
参数		测试条件	最小值	最大值	单位
$t_w(PWM)$	脉冲持续时间，PWMx 输出高电平/低电平		33.33		ns
$t_w(SYNCOUT)$	同步输出脉冲宽度		$8t_{c(SCO)}$		周期
$t_d(PWM)t_{za}$	触发输入有效到 PWM 强制高电平的延迟时间； 触发输入有效到 PWM 强制低电平的延迟时间；	无引脚负载		25	ns
$t_d(TZ-PWM)HZ$	触发输入有效至 PWM 高阻抗 (Hi-Z) 的延迟时间			20	ns

6.11.2 可编程控制故障区输入时序

表 6-21 可编程控制故障区输入时序要求⁽¹⁾

		最小值	最大值	单位
$t_{w(TZ)}$ $\overline{TZx}$ 低电平输入持续时间	异步	$2t_{c(TBCLK)}$		周期
	同步	$2t_{c(TBCLK)}$		周期
	有输入限定器	$2t_{c(TBCLK)}+t_{w(IQSW)}$		周期

(1) 关于输入限定器参数的解释说明，请参阅表 6-12。



A. $\overline{TZ}$ - $\overline{TZ1}$ 、 $\overline{TZ2}$ 、 $\overline{TZ3}$ 、 $\overline{TZ4}$ 、 $\overline{TZ5}$ 、 $\overline{TZ6}$

B. PWM 是指器件内的所有 PWM 引脚。 $\overline{TZ}$ 为高电平之后的 PWM 引脚的状态，取决于 PWM 的软件配置。

图6-20 PWM Hi-Z 特性

6.11.3 高分辨率 PWM (HRPWM) 时序

表6-22所示为高分辨率 PWM 的开关特性。

表6-22 高分辨率 PWM开关特性 ⁽¹⁾

	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长 ⁽²⁾		180 ⁽³⁾	310	ps

(1) HRPWM 以 60MHz 的最小 SYSCLKOUT 频率工作。

(2) 最大 MEP 步长基于最差情况、最高温度。MEP 步长将随着温度的升高和电压的降低而增大，随着温度的降低和电压的升高而减小。

使用 HRPWM 特性的应用程序应使用 MEP 缩放因子优化器 (SFO) 估算软件函数。SFO 函数有助于在 HRPWM 运行时动态地估算每个 SYSCLKOUT 周期内的 MEP 步数。

(3) 典型值测试温度为 (20摄氏度)、3.3V供电电压下测试值。

6.11.4 增强型捕获 (eCAP) 时序

表6-23所示为eCAP时序要求，而表6-24所示为eCAP开关特性。

表 6-23 增强型捕获 (eCAP)时序要求⁽¹⁾

参数	测试条件	最小值	最大值	单位
$t_w(\text{CAP})$	异步	$2t_{c(\text{SCO})}$		周期
	同步	$2t_{c(\text{SCO})}$		周期
	带有输入限定器	$1t_{c(\text{SCO})}+t_w(\text{IQSW})$		周期

(1) 对于输入限定器参数的说明，请参阅表6-12。

表 6-24 eCAP 开关特性

参数	测试条件	最小值	最大值	单位
$t_w(\text{APWM})$	脉冲持续时间, APWMx 输出高电平/低电平	20		ns

6.11.5 高性能捕获(HRCAP) 时序

表6-25 高性能捕获(HRCAP) 时序要求

	最小值	典型值	最大值	单位
$t_c(\text{HCCAPCLK})$ 周期时间, HRCAP 捕获时钟的时间	8.333		10.204	ns
$t_w(\text{HRCAP})$ 脉冲宽度, HRCAP 捕获的时间	$7t_c(\text{HCCAPCLK})^{(1)}$			ns
HRCAP 步长尺寸 ⁽²⁾		300		ps

(1) 所列出的最小脉宽并未将所有相关 HCCAP 寄存器必须被读取而且必须将脉宽内的 RISE/FALL (上升/下降) 事件标志清除以确保有效捕获数据这一限制考虑在内。

(2) HRCAP 步长将随着电压的降低和温度的升高而增大, 随着电压的升高和温度的降低而减小。在高分辨率模式中使用 HRCAP 的应用应该使用 HRCAP 的校准功能以针对变化的运行条件进行动态校准。

6.11.6 增强型正交编码脉冲 (eQEP) 时序

表6-26所示为eQEP时序要求, 而表6-27所示为eQEP开关特性。

表6-26 增强型正交编码脉冲 (eQEP) 时序要求⁽¹⁾

参数	测试条件	最小值	最大值	单位
$t_w(\text{QEPP})$	异步/同步	$2t_{c(\text{SCO})}$		周期
	带输入限定器	$2[1t_{c(\text{SCO})}+t_w(\text{IQSW})]$		周期
$t_w(\text{INDEXH})$	异步/同步	$2t_{c(\text{SCO})}$		周期
	带输入限定器	$2t_{c(\text{SCO})}+t_w(\text{IQSW})$		周期
$t_w(\text{INDEXL})$	异步/同步	$2t_{c(\text{SCO})}$		周期
	带输入限定器	$2t_{c(\text{SCO})}+t_w(\text{IQSW})$		周期
$t_w(\text{STROBH})$	异步/同步	$2t_{c(\text{SCO})}$		周期
	带输入限定器	$2t_{c(\text{SCO})}+t_w(\text{IQSW})$		周期
$t_w(\text{STROBL})$	异步/同步	$2t_{c(\text{SCO})}$		周期
	带输入限定器	$2t_{c(\text{SCO})}+t_w(\text{IQSW})$		周期

(1) 关于输入限定器参数的解释说明, 请参阅表6-12。

表 6-27 eQEP 开关特性

参数	测试条件	最小值	最大值	单位
$t_d(\text{CNTR})_{\text{xin}}$ 外部时钟到计数器递增的延迟时间			$4t_{c(\text{SCO})}$	周期
$t_d(\text{PCS-OUT})_{\text{QEP}}$ QEP 输入边沿到位置比较同步输出的延迟时间			$6t_{c(\text{SCO})}$	周期

6.11.7 ADC 转换启动时序

表6-28 外部 ADC 转换启动开关特性

参数	最小值	最大值	单位
$t_{w(ADCSOCL)}$ 脉冲持续时间, $\overline{ADCSOCx0}$ 低电平脉冲持续时间	$32t_{c(HCO)}$		周期

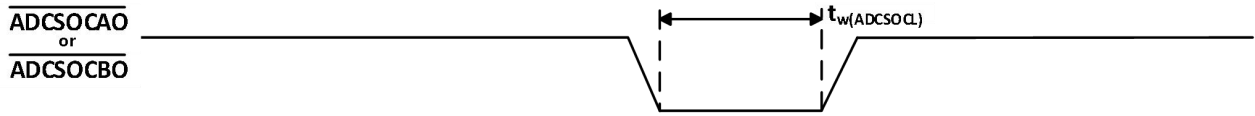


图6-21 ADCSOCAO 或ADCSOCBO 时序

6.11.8 外部中断时序

表6-29 外部中断时序要求⁽¹⁾

参数	测试条件	最小值	最大值	单位
$t_{w(INT)}^{(2)}$ 脉冲持续时间, INT 输入低电平/高电平的时间	同步	$1t_{c(SCO)}$		周期
	带输入限定器	$1t_{c(SCO)} + t_{w(IQSW)}$		周期

(1) 关于输入限定器参数的解释说明, 请参阅[表6-12](#)。

(2) 该时序适用于为 ADCSOC 功能性所配置的任一 GPIO 引脚

表6-30 外部中断开关特性⁽¹⁾

参数	最小值	最大值	单位
$T_d(INT)$ INT 低电平/高电平到中断向量提取的延迟时间		$t_{w(IQSW)} + 12t_{c(SCO)}$	周期

(1) 关于输入限定器参数的解释说明, 请参阅[表6-12](#)。

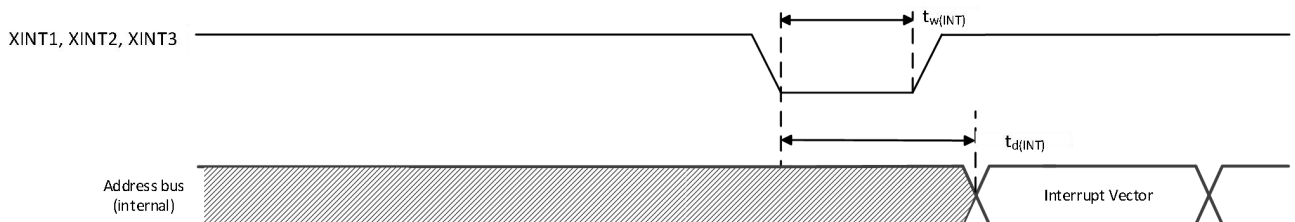


图6-22 外部中断时序

6.11.9 I2C 电气特性和时序

表6-31 I2C开关特性

	测试条件	最小值	最大值	单位
f _{SCL} SCL 时钟频率	I2C 时钟模块频率介于 7MHz 到 12MHz 之间, 且对 I2C 预分频器和时钟分频器寄存器进行了适当配置。		400	kHz
V _{il} 低电平输入电压			0.3V _{DDIO}	V
V _{ih} 高电平输入电压		0.7V _{DDIO}		V
V _{hys} 输入滞后		0.05V _{DDIO}		V
V _{ol} 低电平输出电流	3mA 灌电流	0	0.4	V
t _{LOW} SCL 时钟的低周期	I2C 时钟模块频率介于 7MHz 到 12MHz 之间, 且对 I2C 预分频器和时钟分频器寄存器进行了适当配置。	1.3		μs
t _{HIGH} SCL 时钟的高周期	I2C 时钟模块频率介于 7MHz 到 12MHz 之间, 且对 I2C 预分频器和时钟分频器寄存器进行了适当配置	0.6		μs
I _I 输入电压介于 0.1V _{DDIO} 到 0.9V _{DDIO} (最大值) 的输入电流		-10	10	μA

6.11.10 同步串行通信接口(SPI) 主模式时序

表6-32列出了主模式时序（时钟相位= 0），表6-33列出了时序（时钟相位=1）。图6-23和图6-24

显示了时序波形。

表6-32 SPI主模式外部时序（时钟相位= 0） (1) (2) (3) (4) (5)

编号			当 (SPIBRR+1) 为偶数或者 SPIBRR=0 或者2 时的SPI		当 (SPIBRR+1) 为奇数并且SPIBRR>3 时的SPI		单位
			最小值	最大值	最小值	最大值	
1	$t_{c(SPC)M}$	周期时间, SPICLK	$4t_{c(LCO)}$	$128t_{c(LCO)}$	$5t_{c(LCO)}$	$127t_{c(LCO)}$	ns
2	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性= 0)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}$	ns
	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性= 1)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}$	
3	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性= 0)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}$	ns
	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性= 1)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}$	
4	$t_{d(SPCH-SIMO)M}$	延迟时间, SPICLK 高电平至 SPISIMO 有效的时间 (时钟极性= 0)		10		10	ns
	$t_{d(SPCL-SIMO)M}$	延迟时间, SPICLK 低电平至 SPISIMO 有效的时间 (时钟极性= 1)		10		10	
5	$t_{v(SPCL-SIMO)M}$	有效时间, SPICLK 低电平后, SPISIMO 数据有效的时间 (时钟极性= 0)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$		ns
	$t_{v(SPCH-SIMO)M}$	有效时间, SPICLK 高电平之后, SPISIMO 数据有效的时间 (时钟极性= 1)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$		
8	$t_{su(SOMI-SPCL)M}$	建立时间, SPISOMI 在 SPICLK 低电平之前的时间 (时钟极性= 0)	26		26		ns
	$t_{su(SOMI-SPCH)M}$	建立时间, SPISOMI 在 SPICLK 高电平之前的时间 (时钟极性= 1)	26		26		
9	$t_{v(SPCL-SOMI)M}$	有效时间, SPICLK 低电平之后 SPISOMI 数据有效的时间 (时钟极性= 0)	$0.25t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$		ns
	$t_{v(SPCH-SOMI)M}$	有效时间, SPICLK 高电平之后 SPISOMI 数据有效的时间 (时钟极性= 1)	$0.25t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$		

(1) 主模式/从模式位(SPICTL.2) 被设定, 而时钟相位的位(SPICTL.3) 被清除。

(2) $t_{c(SPC)}$ = SPI 时钟周期时间= LSPCLK/4 或者 LSPCLK/(SPIBRR + 1)

(3) 必须调整内部时钟预分频器, 使SPI时钟限制在以下 SPI 时钟速率:

主模式发送最大值 15MHz, 主模式接收最大值 10MHz

从模式发送最大值 10MHz, 从模式接收最大值 10MHz。

(4) $t_{c(LCO)}$ = LSPCLK 周期时间

(5) 作为基准的SPICLK 信号的有效边沿由CLOCK POLARITY (时钟极性) 位(SPICCR 6) 控制。

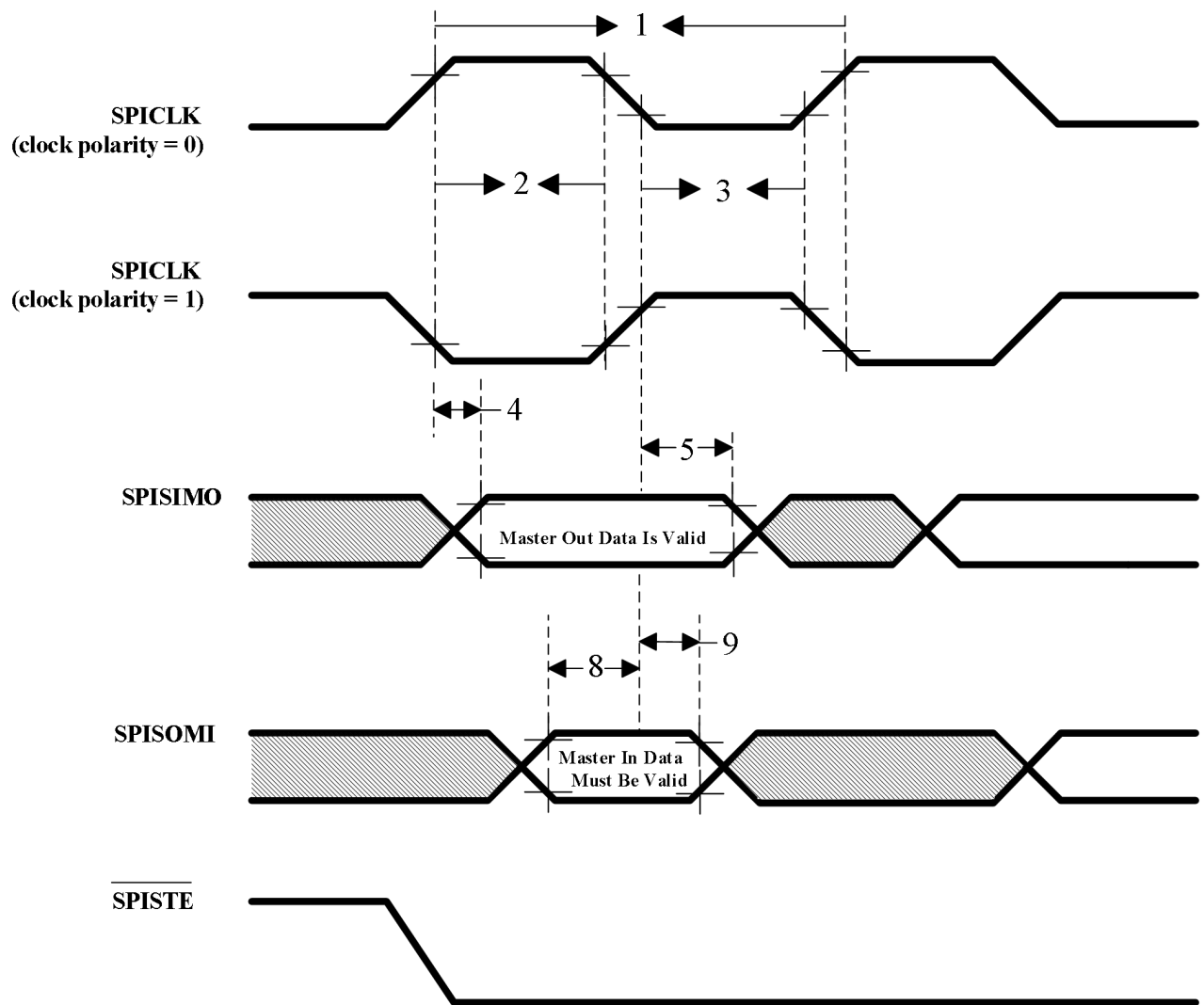


图6-23 SPI 主模式外部时序 (时钟相位= 0)

表 6-33 SPI 主模式外部时序 (时钟相位= 1) (1) (2) (3) (4) (5)

编号			当(SPIBRR+1) 为偶数或者SPIBRR=0 或者2 时的 SPI		当(SPIBRR+1) 为奇数并且 SPIBRR>3 时的 SPI		单位
			最小值	最大值	最小值	最大值	
1	$t_{c(SPC)M}$	周期时间, SPICLK	$4t_{c(LCO)}$	$128t_{c(LCO)}$	$5t_{c(LCO)}$	$127t_{c(LCO)}$	ns
2	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性= 0)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}$	ns
	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性= 1)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}$	
3	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性= 0)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}$	ns
	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性= 1)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}$	
6	$t_{su(SIMO-SPCH)M}$	建立时间, 在 SPICLK 高电平之前 SPISIMO 数据有效的的时间 (时钟极性= 0)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-10$		ns
	$t_{su(SIMO-SPCL)M}$	建立时间, 在 SPICLK 低电平之前 SPISIMO 数据有效的的时间 (时钟极性= 1)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-10$		
7	$t_{v(SPCH-SIMO)M}$	有效时间, SPICLK 高电平之后 SPISIMO 数据有效的的时间 (时钟极性= 0)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-10$		ns
	$t_{v(SPCL-SIMO)M}$	有效时间, SPICLK 低电平后, SPISIMO 数据有效的的时间 (时钟极性= 1)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-10$		
10	$t_{su(SOMI-SPCH)M}$	建立时间, SPISOMI 在 SPICLK 高电平之前的时间 (时钟极性= 0)	26		26		ns
	$t_{su(SOMI-SPCL)M}$	建立时间, SPISOMI 在 SPICLK 低电平之前的时间 (时钟极性= 1)	26		26		
11	$t_{v(SPCH-SOMI)M}$	有效时间, SPICLK 高电平之后 SPISOMI 数据有效的的时间 (时钟极性= 0)	$0.25t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-10$		ns
	$t_{v(SPCL-SOMI)M}$	有效时间, SPICLK 低电平之后 SPISOMI 数据有效的的时间 (时钟极性= 1)	$0.25t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-10$		

(1) 主模式/从模式(SPICTL.2) 被设定, 而时钟相位的位(SPICTL.3) 被清除。

(2) $t_{c(SPC)} = \text{SPI 时钟周期时间} = \text{LSPCLK}/4$ 或者 $\text{LSPCLK}/(\text{SPIBRR} + 1)$

(3) 必须调整内部时钟预分频器, 使SPI 时钟速度限制在下列 SPI 时钟速率上:

主模式发送最大值 15MHz, 主模式接收最大值 10MHz

从模式发送最大值 10MHz, 从模式接收最大值 10MHz。

(4) $t_{c(LCO)} = \text{LSPCLK 周期时间}$

(5) 作为基准的SPICLK 信号的有效边沿由CLOCK POLARITY (时钟极性) 位(SPICCR 6) 控制。

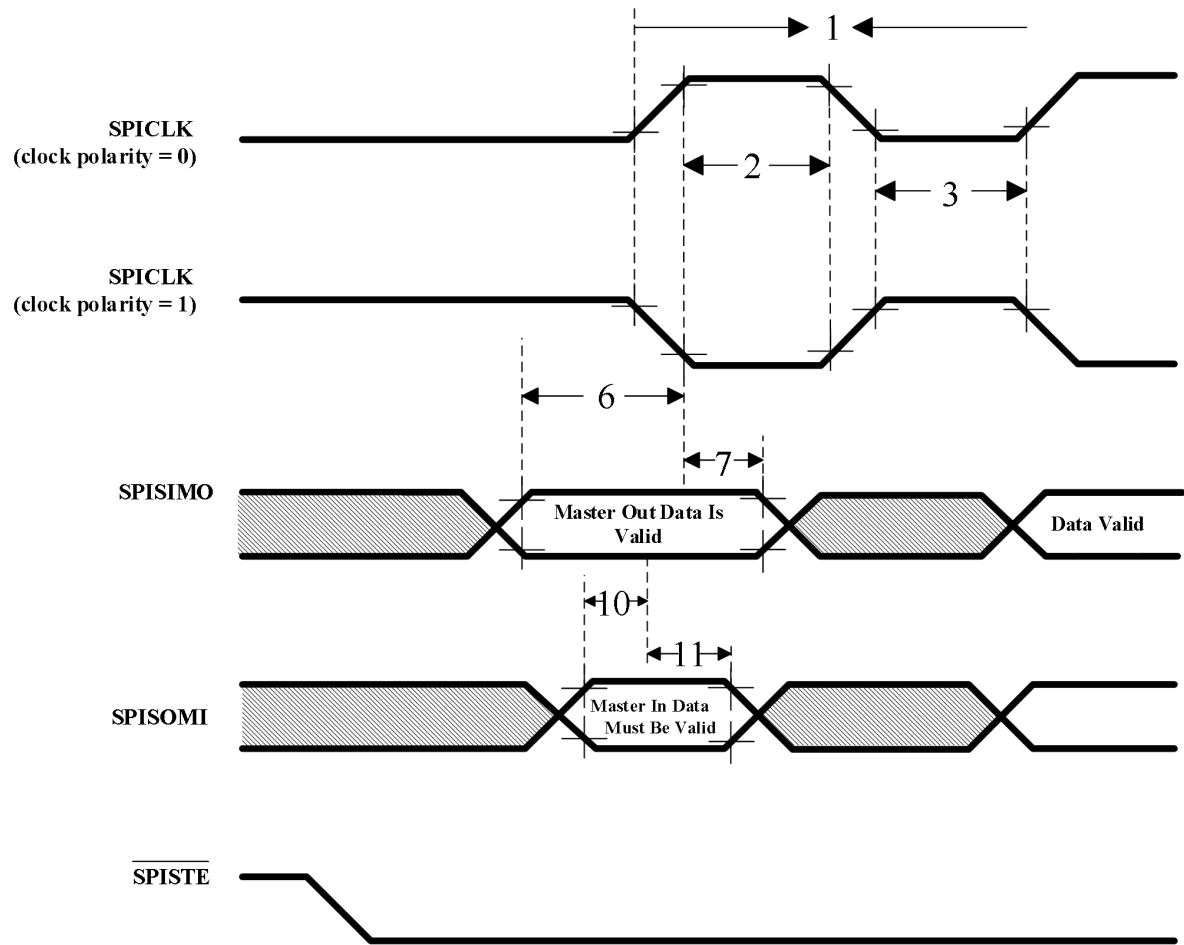


图 6-24 SPI 主模式外部时序 (时钟相位= 1)

6.11.11 SPI 从模式时序

表6-34列出了从模式外部时序（时钟相位= 0），而表6-35（时钟相位= 1）、图6-25和图6-26显示了时序波形。

表6-34 SPI 从模式外部时序（时钟相位= 0） (1) (2) (3) (4) (5)

编号		最小值	最大值	单位
12	$t_{c(SPC)}S$ 周期时间, SPICLK	$4t_{c(LCO)}$		ns
13	$t_{w(SPCH)}S$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性= 0)	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	ns
	$t_{w(SPCL)}S$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性= 1)	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	
14	$t_{w(SPCL)}S$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性= 0)	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	ns
	$t_{w(SPCH)}S$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性= 1)	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	
15	$t_{d(SPCH-SOMI)}S$ 延迟时间, SPICLK 高电平至 SPISOMI 有效的时间 (时钟极性= 0)		21	ns
	$t_{d(SPCL-SOMI)}S$ 延迟时间, SPICLK 低电平至 SPISOMI 有效的时间 (时钟极性= 1)		21	
16	$t_{v(SPCL-SOMI)}S$ 有效时间, SPICLK 低电平之后 SPISOMI 数据有效的时间 (时钟极性= 0)	$0.75t_{c(SPC)}S$		ns
	$t_{v(SPCH-SOMI)}S$ 有效时间, SPICLK 高电平之后 SPISOMI 数据有效的时间 (时钟极性= 1)	$0.75t_{c(SPC)}S$		
19	$t_{su(SIMO-SPCL)}S$ 建立时间, SPISIMO 在 SPICLK 低电平之前的时间 (时钟极性= 0)	26		ns
	$t_{su(SIMO-SPCH)}S$ 建立时间, SPISIMO 在 SPICLK 高电平之前的时间 (时钟极性= 1)	26		
20	$t_{v(SPCL-SIMO)}S$ 有效时间, SPICLK 低电平后, SPISIMO 数据有效的时间 (时钟极性= 0)	$0.5t_{c(SPC)}S-10$		ns
	$t_{v(SPCH-SIMO)}S$ 有效时间, SPICLK 高电平之后 SPISIMO 数据有效的时间 (时钟极性= 1)	$0.5t_{c(SPC)}S-10$		

(1) 主模式/从模式位(SPICTL.2) 被设定, 而时钟相位的位(SPICTL.3) 被清除。

(2) $t_{c(SPC)} = \text{SPI 时钟周期时间} = \text{LSPCLK}/4$ 或者 $\text{LSPCLK}/(\text{SPIBRR} + 1)$

(3) 必须调整内部时钟预分频器, 使SPI 时钟速度限制在下列 SPI 时钟速率上:

主模式发送最大值 15MHz, 主模式接收最大值 10MHz

从模式发送最大值 10MHz, 从模式接收最大值 10MHz。

(4) $t_{c(LCO)} = \text{LSPCLK 周期时间}$

(5) 作为基准的SPICLK 信号的有效边沿由CLOCK POLARITY (时钟极性) 位(SPICCR.6) 控制。

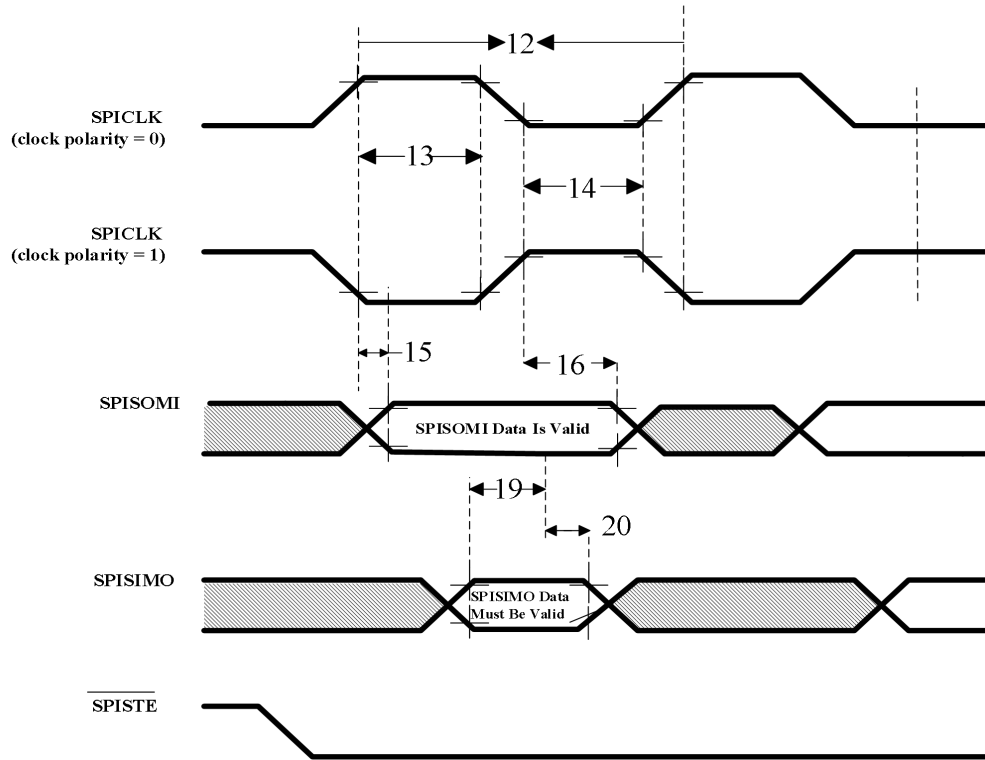


图6-25 SPI 从模式外部时序 (时钟相位= 0)

表 6-35 SPI 从模式外部时序 (时钟相位= 1) (1) (2) (3) (4)

编号		最小值	最大值	单位
12	$t_{c(SPC)S}$ 周期时间, SPICLK	$8t_{c(LCO)}$		ns
13	$t_{w(SPCH)S}$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性=0)	$0.5t_{c(SPC)S}-10$	$0.5t_{c(SPC)S}$	ns
	$t_{w(SPCL)S}$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性=1)	$0.5t_{c(SPC)S}-10$	$0.5t_{c(SPC)S}$	
14	$t_{w(SPCL)S}$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性=0)	$0.5t_{c(SPC)S}-10$	$0.5t_{c(SPC)S}$	ns
	$t_{w(SPCH)S}$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性=1)	$0.5t_{c(SPC)S}-10$	$0.5t_{c(SPC)S}$	
17	$t_{su(SOMI-SPCH)S}$ 建立时间, SPISOMI 在 SPICLK 高电平之前的时间 (时钟极性=0)	$0.125t_{c(SPC)S}$		ns
	$t_{su(SOMI-SPCL)S}$ 建立时间, SPISOMI 在 SPICLK 低电平之前的时间 (时钟极性=1)	$0.125t_{c(SPC)S}$		
18	$t_{v(SPCL-SOMI)S}$ 有效时间, SPICLK 低电平后 SPISOMI 数据有效的时间 (时钟极性=1)	$0.75t_{c(SPC)S}$		ns
	$t_{v(SPCH-SOMI)S}$ 有效时间, SPICLK 高电平后 SPISOMI 数据有效的时间 (时钟极性=0)	$0.75t_{c(SPC)S}$		
21	$t_{su(SIMO-SPCH)S}$ 建立时间, SPISIMO 在 SPICLK 高电平之前的时间 (时钟极性=0)	26		ns
	$t_{su(SIMO-SPCL)S}$ 建立时间, SPISIMO 在 SPICLK 低电平之前的时间 (时钟极性=1)	26		
22	$t_{v(SPCH-SIMO)S}$ 有效时间, SPICLK 高电平后 SPISIMO 数据有效的时间 (时钟极性=0)	$0.5t_{c(SPC)S}-10$		ns
	$t_{v(SPCL-SIMO)S}$ 有效时间, SPICLK 低电平后, SPISIMO 数据有效的时间 (时钟极性=1)	$0.5t_{c(SPC)S}-10$		

(1) 主模式/从模式位(SPICTL.2) 被设定, 而时钟相位的位(SPICTL.3) 被清除。

(2) $t_{c(SPC)} = \text{SPI 时钟周期时间} = \text{LSPCLK}/4$ 或者 $\text{LSPCLK}/(\text{SPIBRR} + 1)$

(3) 必须调整内部时钟预分频器, 这样的话, SPI 时钟速度限制在下列 SPI 时钟速率上:

主模式发送最大值 15MHz, 主模式接收最大值 10MHz

从模式发送最大值 10MHz, 从模式接收最大值 10MHz。

(4) 作为基准的SPICLK 信号的有效边沿由CLOCK POLARITY (时钟极性) 位(SPICCR.6) 控制。

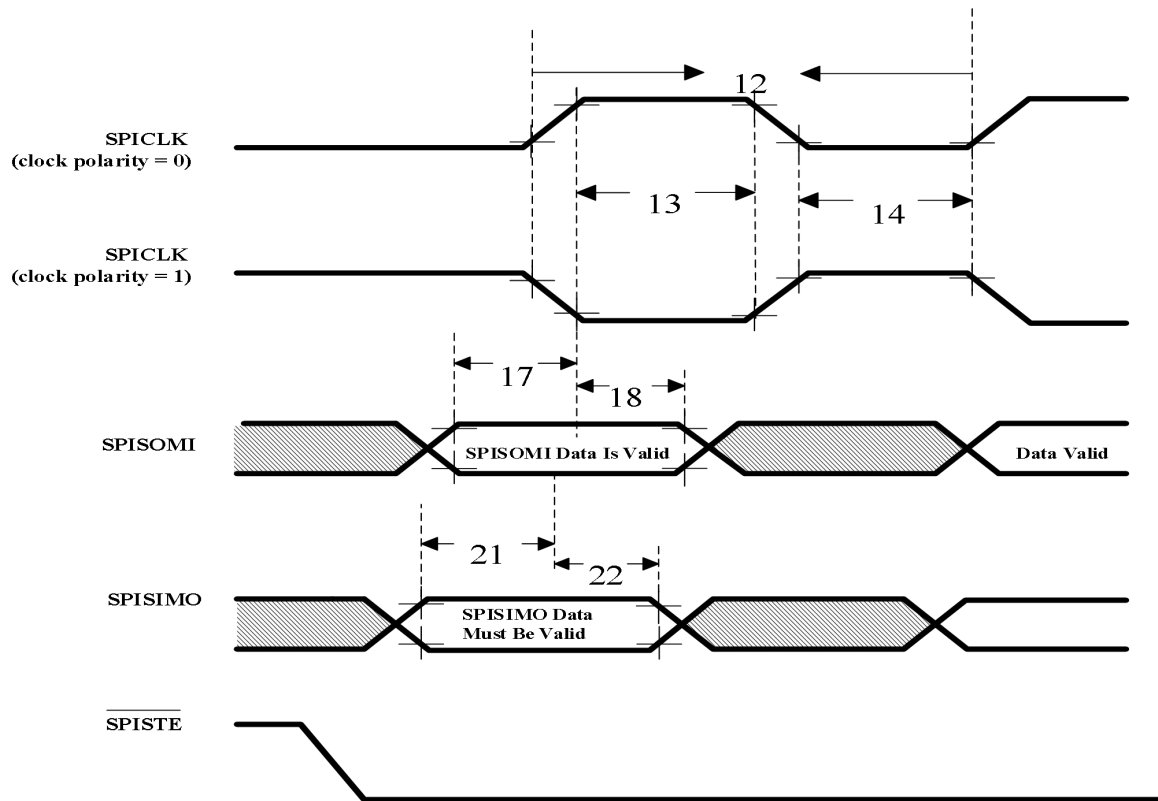


图6-26 SPI从模式外部时序 (时钟相位= 1)

6.11.12 片载比较器 / DAC 电气数据和时序

表6-36 比较器 / DAC 的电气特性

特性	最小值	典型值	最大值	单位
比较器				
比较器输入范围		$V_{SSA}-V_{DDA}$		V
比较器到 PWM 可编程控制故障区的响应时间 (同步)		50		ns
输入偏移		± 5		mV
输入迟滞 ⁽¹⁾		35		mV
DAC				
DAC 输出范围		$V_{SSA}-V_{DDA}$		V
DAC 分辨率		10		位
DAC 稳定时间		请参考图 6-27		
DAC 增益		-1.5		%
DAC 偏移		10		mV
单调性		支持		
INL		± 3		LSB

(1). 比较器输入端的迟滞是通过施密特触发器结构实现的。这将在比较器的输出和比较器非反向输入间实际产生一个100k Ω 电阻值，有一个禁用迟滞和反馈电阻的选项；

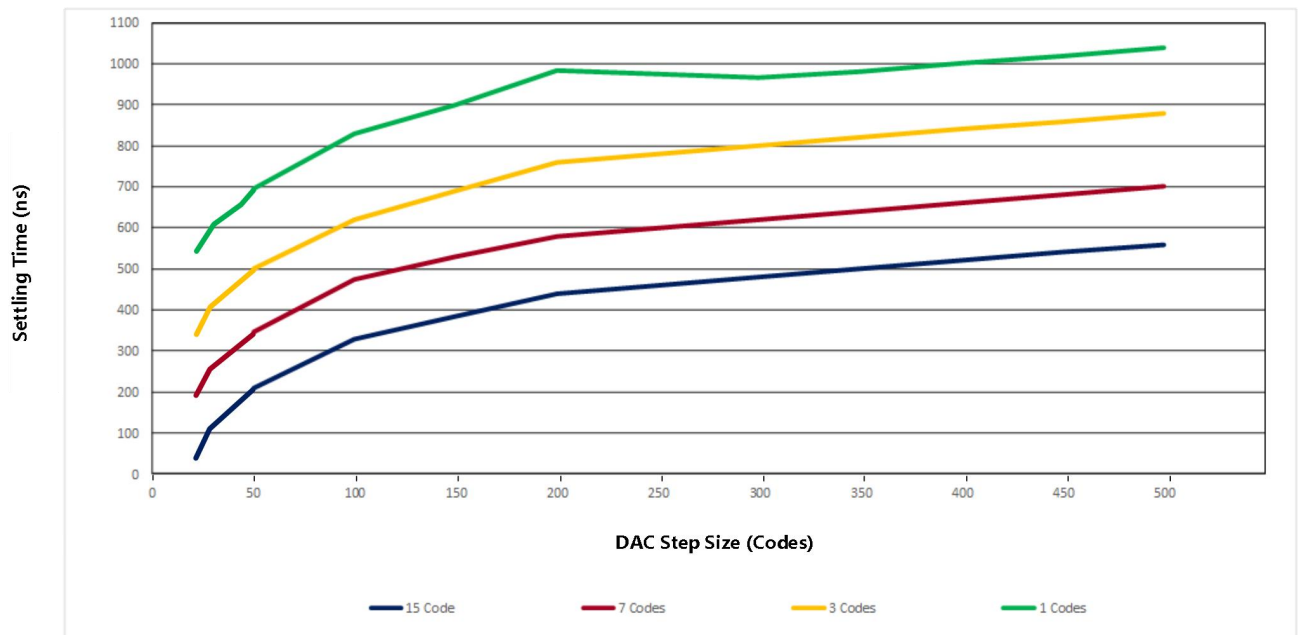


图6-27 DAC 稳定时间

6.11.13 片载模数转换器

表6-37 ADC电气特性⁽¹⁾

参数		最小值	典型值	最大值	单位
DC 技术规范					
分辨率		12			位
ADC 时钟	60MHz 系统时钟	0.001		60	MHZ
	100MHz 系统时钟	0.001		50	MHZ
采样窗口	ADP32F03XB	8		64	ADC 时钟
精度					
在 ADC 时钟 $\leq 60\text{MHz}$ ⁽²⁾ 时, INL (积分非线性)		-4		4	最低有效位(LSB)
在 ADC 时钟 $\leq 60\text{MHz}$ 时, DNL (微分非线性)		-2		2	LSB
偏移误差 ⁽³⁾	执行一个单次自我校准	-20		20	LSB
	执行定期自我校准 ⁽⁴⁾	-4		4	
带有内部基准的总增益误差		-60		60	LSB
带有外部基准的总增益误差		-40		40	LSB
通道到通道偏移变化		-8		8	LSB
通道到通道增益变化		-8		8	LSB
带有内部基准的 ADC 温度系数			-50		ppm/°C
带有外部基准的 ADC 温度系数			-20		ppm/°C
VREFLO			-100		μA
VREFHI			100		μA
模拟输入					
带有内部基准的模拟输入电压		0		3.3	V
带有外部基准的模拟输入电压		VREFLO		VREFHI	V
VREFLO 输入电压 ⁽⁵⁾		VSSA		0.66	V
VREFHI 输入电压 ⁽⁶⁾		2.64		VDDA	V
	其中 VREFLO= VSSA	1.98		VDDA	
输入电容值			5		pF
输入漏电流			±2		μA
AC 技术规范					
SINAD (28kHz) 信噪比+失真			64.7		dB
SNR (28kHz) 信噪比			64.9		dB
THD (28kHz) 总谐波失真			-77.6		dB
ENOB (28kHz) 有效位数			10.4		位
SFDR (28kHz) 无杂散动态范围			81		dB

- (1) 在60MHz ADC时钟条件下测试。
- (2) 当 ADC 输入电压上升到高于 VDDA 时, INL 将降级。
- (3) 1 LSB 有满刻度范围 (FSR)/4096 的加权值。FSR 为带有内部基准的 3.3V 而 VREFHI - VREFLO 用于外部基准。
- (4) 定期自校准能够消除系统级和温度对 ADC 零偏移误差的依赖, 这可在应用方案中根据需要去执行, 而不需要牺牲一个 ADC 通道。
- (5) VREFLO 被一直连接在 64 引脚 QP 器件的 VSSA 上。
- (6) 当使用内部或者外部基准模式的时候, VREFHI 一定不能超过 VDDA。由于 VREFHI 连接至 64 引脚 QP 器件的 ADCINA0 上, ADCINA0 上的输入信号一定不能超过 VDDA。

表6-38 ADC电源模式

ADC 运行模式	条件	I _{DDA}	单位
模式 A - 运行, 模式	ADC 时钟启用 带隙开启 (ADCBGPWD=1) 基准开启 (ADCREFPWD=1) ADC 上电 (ADCPWDN=1)	24	mA
模式 B - 快速唤醒模式	ADC 时钟启用 带隙开启 (ADCBGPWD=1) 基准开启 (ADCREFPWD=1) ADC 上电 (ADCPWDN=0)	5.5	mA
模式 C - 只比较器可用模式	ADC 时钟启用 带隙开启 (ADCBGPWD=1) 基准开启 (ADCREFPWD=0) ADC 上电 (ADCPWDN=0)	1.1	mA
模式 D - 关闭模式	ADC 时钟启用 带隙开启 (ADCBGPWD=0) 基准开启 (ADCREFPWD=0) ADC 上电 (ADCPWDN=0)	0.9	mA

6.11.13.1 内部温度传感器

表6-39 温度传感器系数

参数 ⁽¹⁾	最小值	典型值	最大值	单位
T _{SLOPE} 温度按照温度传感器测得的 ADC LSB 变化而变动		0.185 ⁽²⁾⁽³⁾		°C/LSB
T _{OFFSET} 在温度传感器读数为 0°C 时的 ADC 输出		1470		LSB

- (1) 使用 ADC 内部基准时, 以ADC的LSB形式给出温度传感器的斜率和偏移。在外部参考模式下, 必须依据外部参考电压调整相应值。
- (2) ADC 温度系数被归入该技术规范。
- (3) 温度传感器的输出 (以 LSB形式) 与温度变化量的方向一致。相对于初始值, 升温将增加ADC值, 降温将减少ADC值。

6.11.13.2 ADC 上电控制位时序

表6-40 ADC上电延迟

参数 ⁽¹⁾	最小值	典型值	最大值	单位
t _{d(PWD)} 上电后, ADC 保持稳定的延迟时间			1	ms

- (1) 保持与 ADC 模块时序的兼容性。在首次转换前的 t_{d(PWD)}ms, F03x ADC 支持同时驱动所有 3 个位。

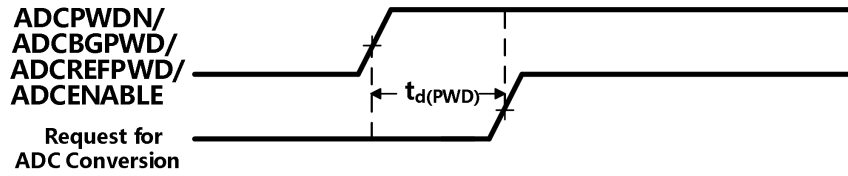
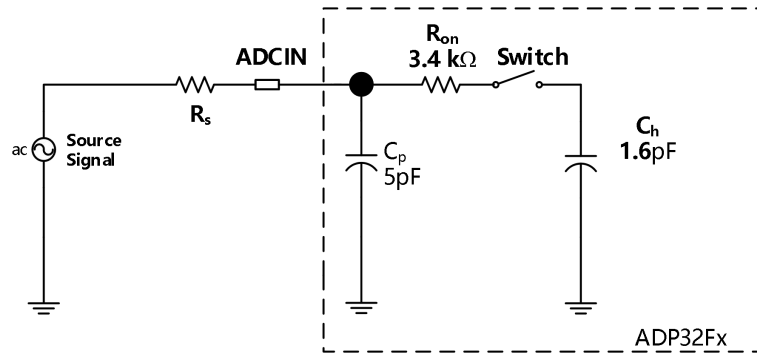


图6-28 ADC转换时序



Typical Values of the Input Circuit Components:

Switch Resistance (R_{on}): 3.4 k Ω

Sampling Capacitor (C_h): 1.6 pF

Parasitic Capacitance (C_p): 5 pF

Source Resistance (R_s): 50 Ω

图 6-29 ADC 输入阻抗模型

6.11.13.3 ADC 顺序和同步采样模式时序

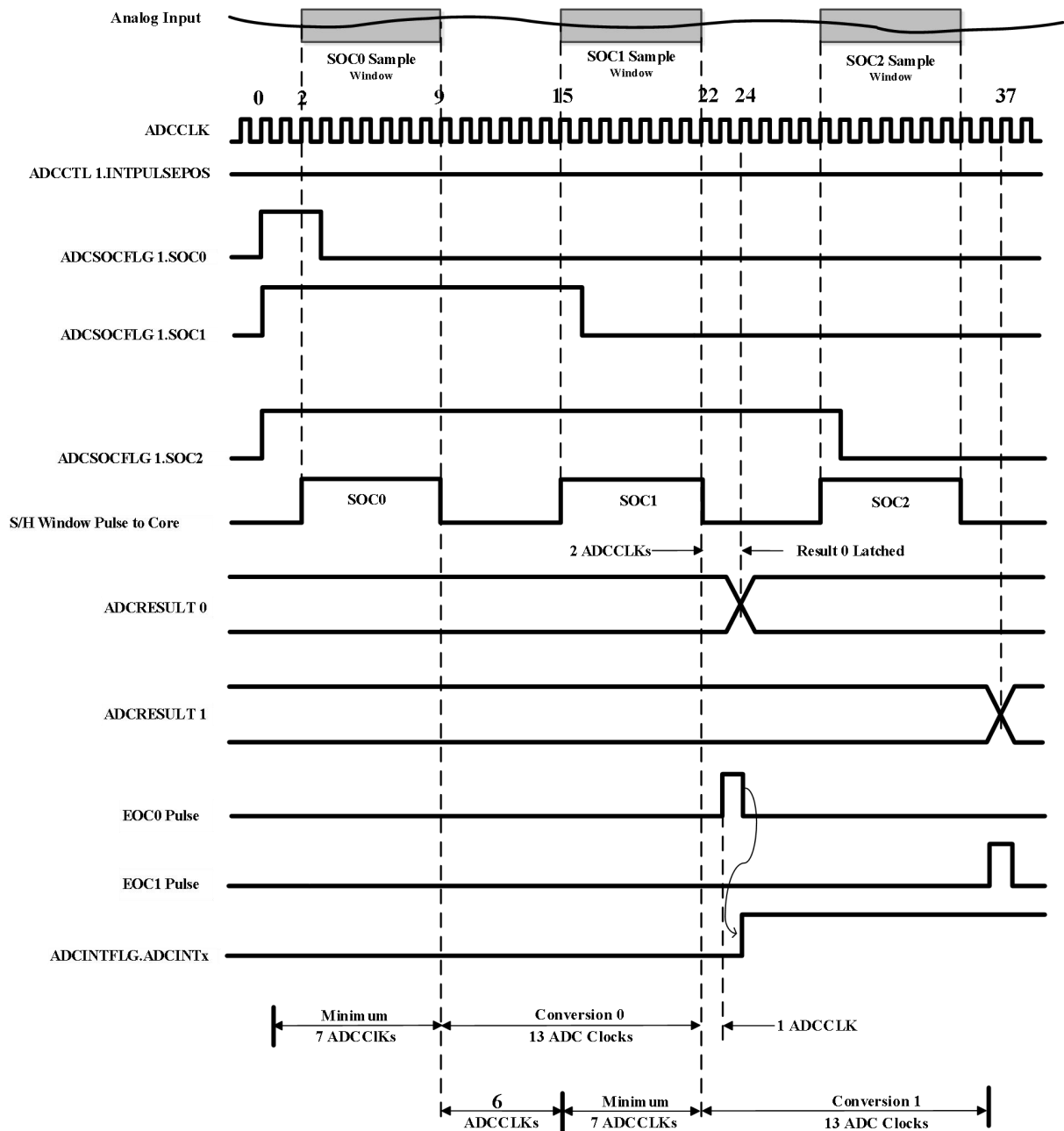


图6-30 顺序模式/后期中断脉冲的时序示例

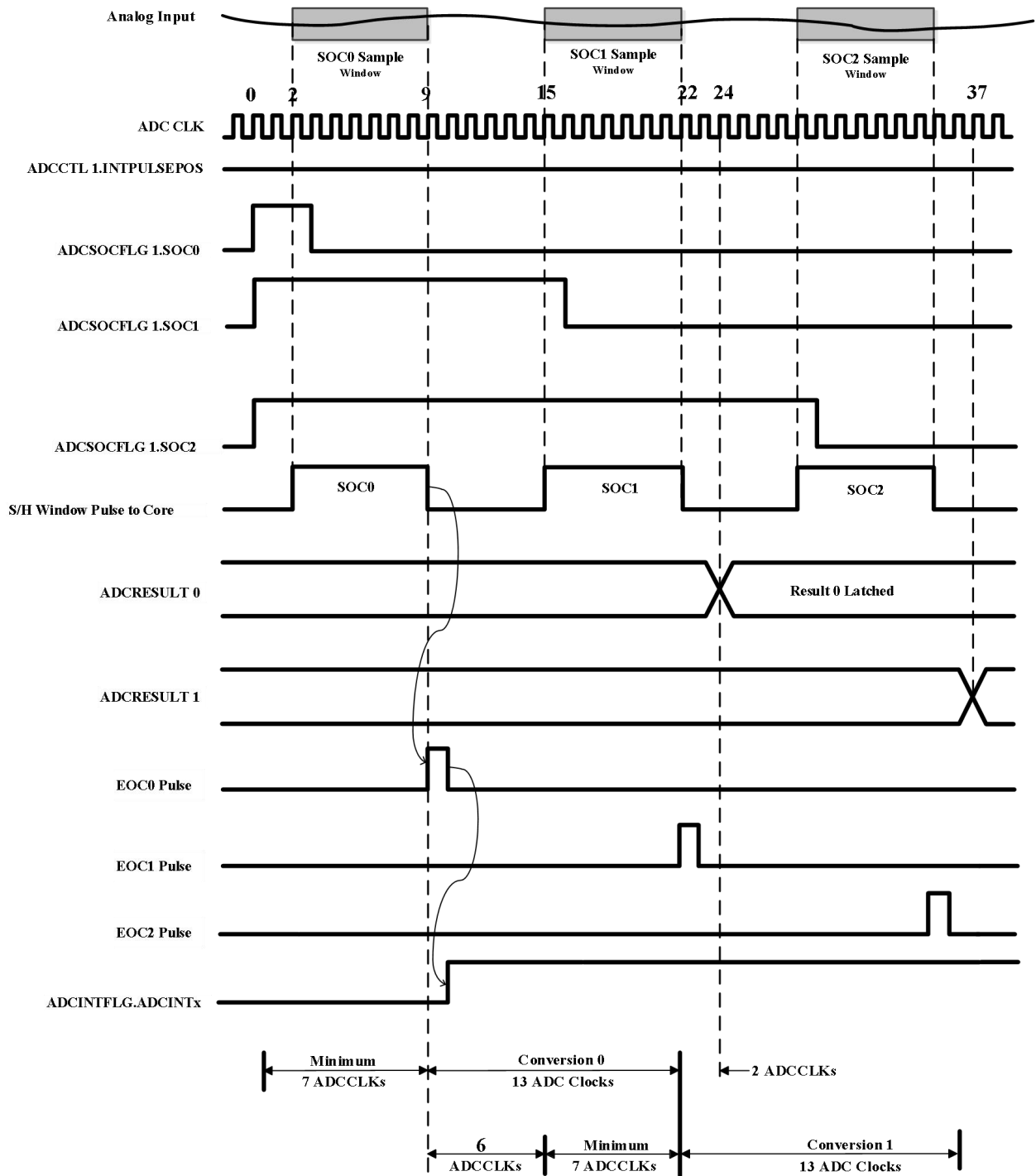


图6-31 顺序模式/早期中断脉冲的时序示例

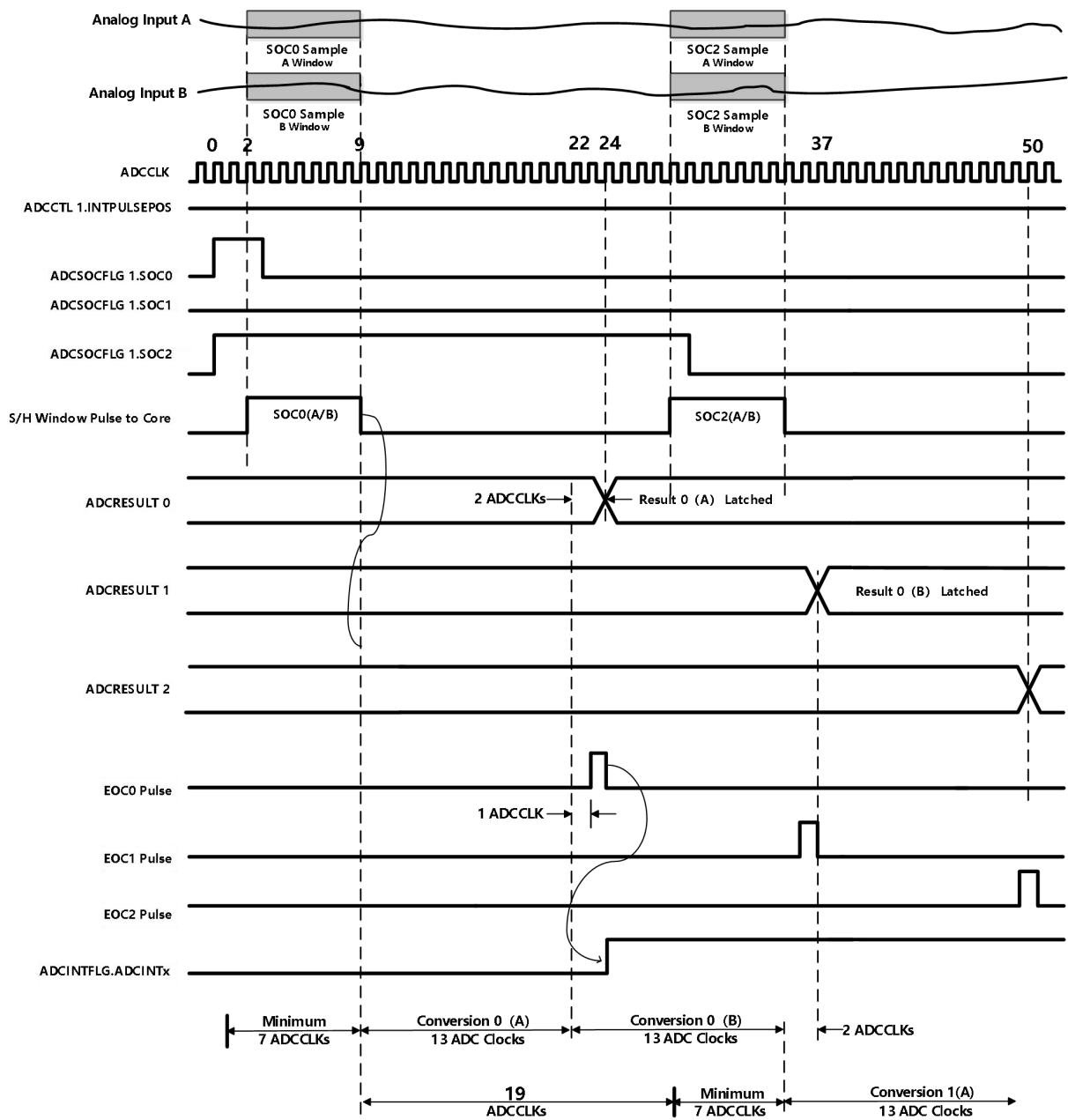


图6-32 针对同步模式/后期中断脉冲的时序示例

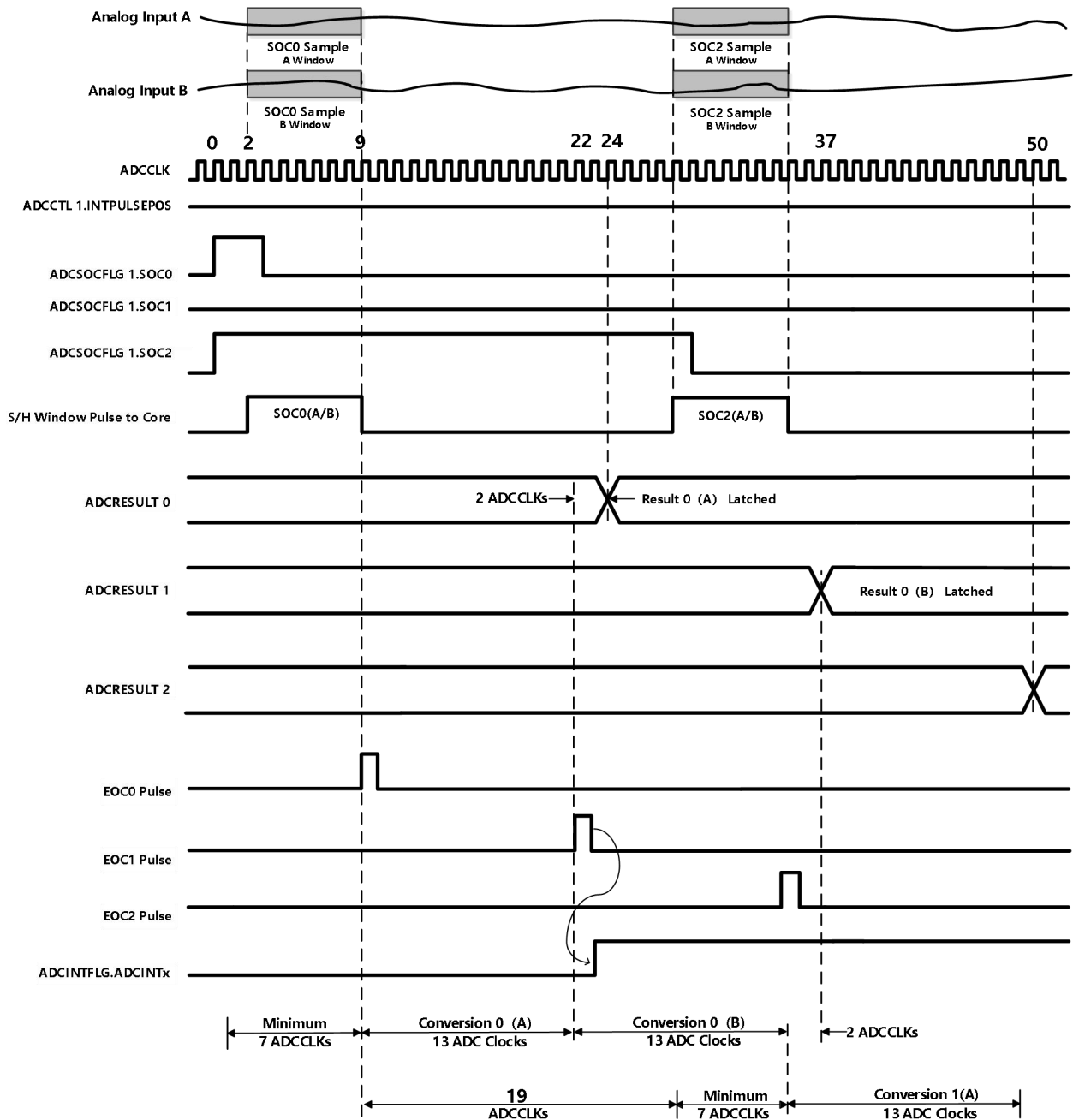


图6-33 针对同步模式/早期中断脉冲的时序示例

6.12 详细说明

积分非线性

积分非线性是指每个独立代码从零至满刻度所画的一条直线上的偏离。在首次代码转换前，作为零点的点出现1/2 LSB。满刻度点被定义为超过最后一次代码转换的级别1/2 LSB。这个偏离为每一个特定代码的中心到这两个点之间的精确直线的距离。

微分非线性

一个理想ADC 显示分开距离恰好为1 个LSB 的代码转换。DNL 是与该理想值的偏差。小于±1 LSB 的微分非线性误差可确保无丢码。

零偏移

当模拟输入为零伏时，应当发生主进位转换。零误差被定义为实际转换与该点的偏差。

增益误差

第一个代码转换应该出现在比负满量程高1/2 LSB的模拟值 处。最后一次转换应该出现在低于标称满刻度的一个模拟值1.5 LSB 上。增益误差是首次和末次代码转换间的实际差异以及它们之间的理想差异。

信噪比+失真(SINAD)

SINAD 是测得的输入信号的均方根值与所有其它低于那奎斯特频率的频谱分量（包括谐波但不包括dc）的均方根总和的比。SINAD 的值用分贝表示。

有效位数(ENOB)

对于一个正弦波，SINAD 可用位的数量表示。使用下面的公式， $N = \frac{(SINAD - 1.76)}{6.02}$ 有可能获得以 N（有效位数）表达的性能测量值。因此，对于在给定输入频率上用于正弦波输入的器件的有效位数可从这个测得的SINAD 直接计算。

总谐波失真(THD)

THD 是前9个谐波分量的均方根总和与测得的输入信号的均方根值的比并表达为百分比或者分贝值。

无杂散动态范围(SFDR)

SFDR 是输入信号均方根振幅与峰值寄生信号间以分贝为单位的差值。

6.13 闪存时序

表 6-43 闪存/ OTP 对于温度材料的耐受度⁽¹⁾

	擦除/编程温度	最小值	典型值	最大值	单位
N _f 闪存对于阵列的耐受度（写入/擦除周期）	-40°C 至 105°C（环境温度）		100000		周期
NOTP OTP 对于阵列的耐受度（写入周期）	-40°C 至 105°C（环境温度）			1	写入

(1) 所示温度范围之外的写入/擦除操作并未说明，有可能影响耐受数。

表 6-44 100MHz SYSCLKOUT 上的闪存参数

参数	最小值	典型值	最大值	单位
编程时间 ⁽¹⁾ 1 个字（16bit）		240		us
擦除时间 ⁽¹⁾ 1 个扇区（8K*16bit）		333.9		ms
I _{DDREAD} ⁽²⁾ 读操作时 V _{DD} 流耗		1.5		mA
I _{DDPROG} ⁽²⁾ 编程期间的 V _{DD} 流耗		0.8		mA
I _{DDERASE} ⁽²⁾ 擦除期间的 V _{DD} 流耗		0.8		mA

(1) 当器件出货时，片载闪存存储器处于擦除状态。当首次编辑器件时，在编程前无需擦除闪存存储器。然而，对于所有随后的编程操作，需要执行擦除操作。

(2) 室温下包括函数调用开销在内的典型参数，是单独测试 Flash 时的参数。

表 6-45 闪存/ OTP 访问时序

参数	最小值	最大值	单位
t _a 闪存数据读出时间	40		ns
t _a (OTP) OTP 数据读出时间	60		ns

表 6-46 闪存数据保持持续时间

参数	测试条件	典型值	单位
t _{保持} 数据保持持续时间	T=25°C	100	年

表 6-47 不同频率上所需最小的闪存/一次性可编程 (OTP) 等待状态

SYSCLKOUT (MHz)	SYSCLKOUT (ns)	页等待状态 ⁽¹⁾	随机等待状态 ⁽¹⁾	OTP
100	10	3	3	5
80	12.5	3	3	4
60	16.67	2	2	3
55	18.18	2	2	3
50	20	1	1	2
45	22.22	1	1	2
40	25	1	1	2
35	28.57	1	1	2
30	33.33	1	1	1
25	40	0	1	1

(1) 随机等待状态必须大于或者等于1，用于计算表6-47中页等待状态和随机等待状态的公式如下：

$$\text{FlashPage Wait State} = \left\lceil \left(\frac{t_{a}}{t_{c(SCO)}} \right) - 1 \right\rceil \text{ (四舍五入到下一个最大的整数)}$$

$$\text{FlashRandom Wait State} = \left\lceil \left(\frac{t_{a}}{t_{c(SCO)}} \right) - 1 \right\rceil \text{ (四舍五入到下一个最大的整数，或 1，以最大的数为准)}$$

计算表6-47中OTP等待状态的公式如下：

$$\text{OTP Wait State} = \left\lceil \left(\frac{t_{a} \text{ (OTP)}}{t_{c(SCO)}} \right) - 1 \right\rceil \text{ (四舍五入到下一个最大的整数，或 1，以最大的数为准)}$$

7 热性能/机械数据

[表 7-1](#)、[表 7-2](#) 和 [表 7-3](#) 显示了散热数据。有关散热设计考虑的更多信息请参阅第 [6.5 散热设计考虑](#)。表格之后的机械封装图反映了针对指定器件最新发布的机械数据。

表 7-1 散热模型 56 引脚 QN 结果

参数	0lfm	150lfm	250lfm	500lfm
θ_{JA} [°C/W] 高 k PCB	34.8	23.6	22.3	20.5
Ψ_{JT} [°C/W]	0.24	0.36	0.43	0.56
Ψ_{JB}	9.2	8.8	8.9	8.8
θ_{JC}	14.7			
θ_{JB}	9.2			

表 7-2 散热模型 64 引脚 QP 结果

参数	0lfm	150lfm	250lfm	500lfm
θ_{JA} [°C/W] 高 k PCB	56.5	44.7	42.9	40.3
Ψ_{JT} [°C/W]	0.15	0.42	0.51	0.67
Ψ_{JB}	31.1	29.7	29.2	28.4
θ_{JC}	7.6			
θ_{JB}	31.3			

表 7-3 散热模型 80 引脚 QP 结果

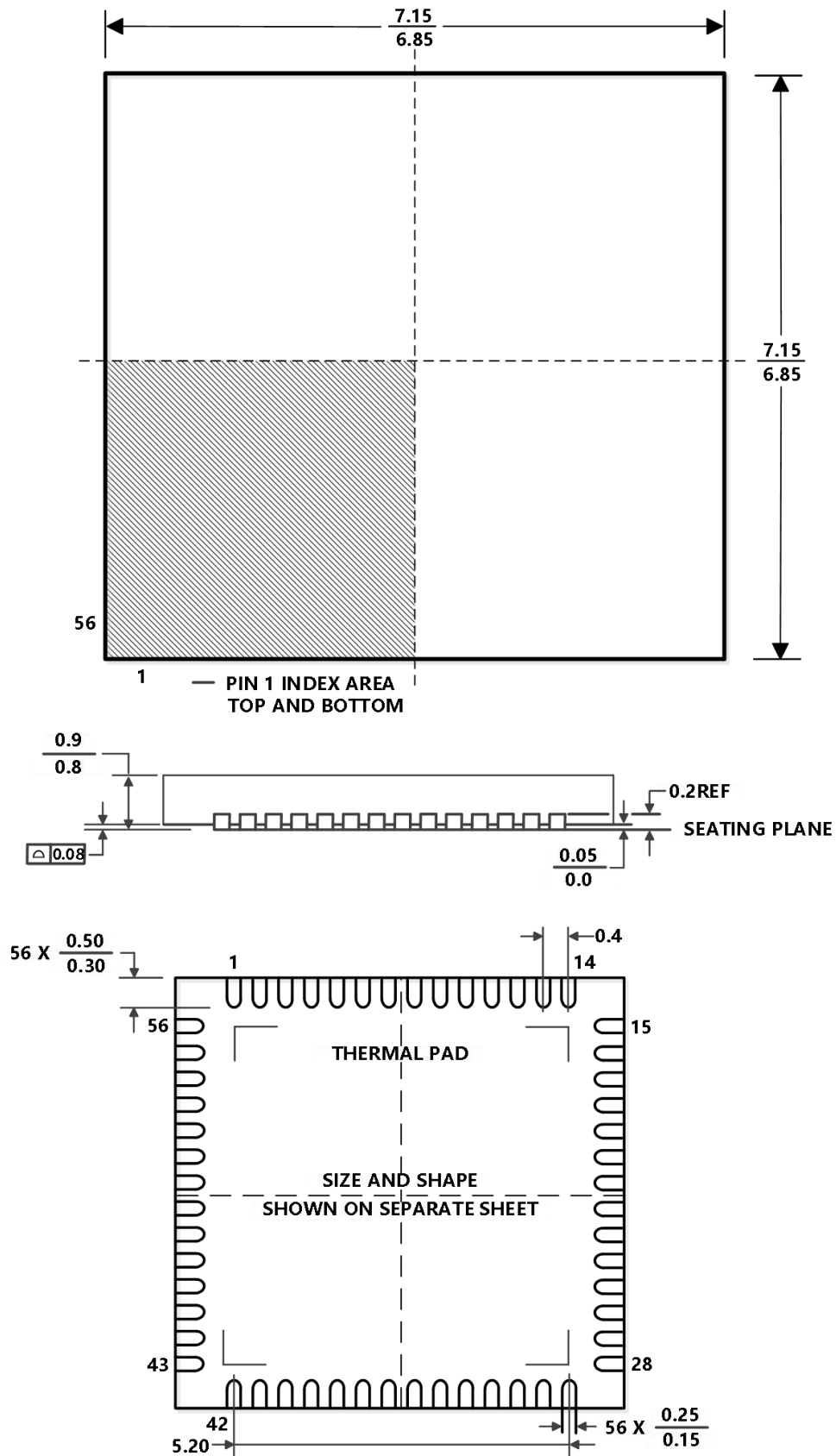
参数	0lfm	150lfm	250lfm	500lfm
θ_{JA} [°C/W] 高 k PCB	49.9	38.3	36.7	34.4
Ψ_{JT} [°C/W]	0.8	1.18	1.34	1.62
Ψ_{JB}	21.6	20.7	20.5	20.1
θ_{JC}	14.2			
θ_{JB}	21.9			

表 7-4 散热模型 48 引脚 QP 结果

参数	0lfm	150lfm	250lfm	500lfm
θ_{JA} [°C/W] 高 k PCB	47.9	41.62	38.51	38.91
Ψ_{JT} [°C/W]	0.42			
Ψ_{JB}	28.98			
θ_{JC}	10.36			
θ_{JB}	28.16			

VQFN56

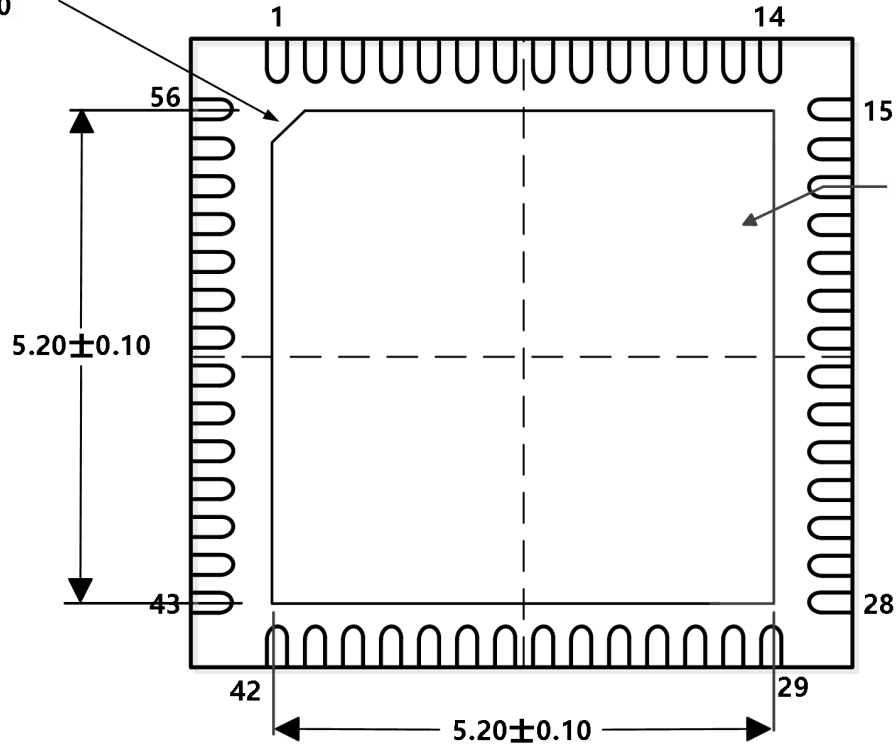
单位: mm



VQFN56

单位: mm

PIN 1 INDICATOR
0.30



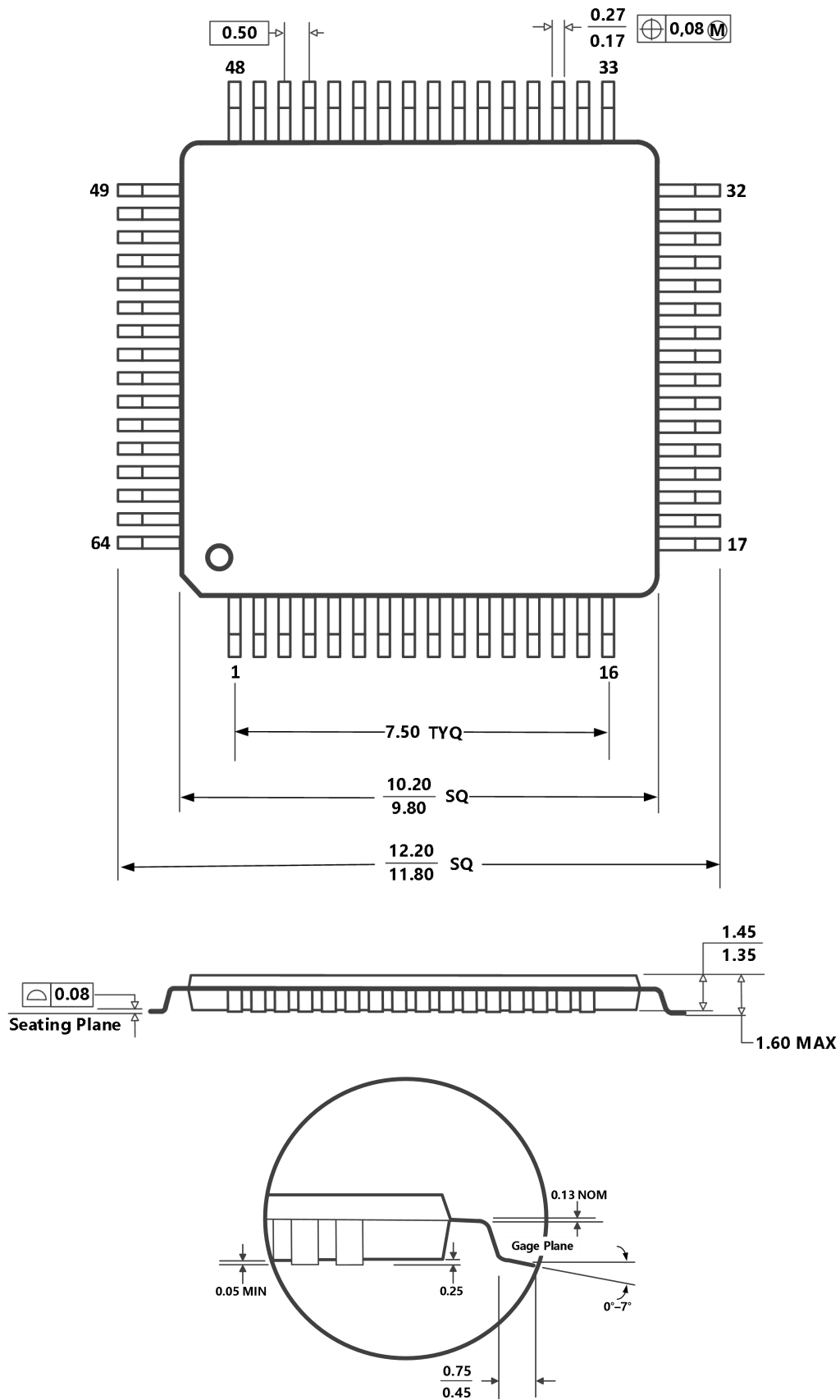
Exposed Die
Attach Pad

Bottom View

Exposed Die Attach Pad Dimensions

LQFP64

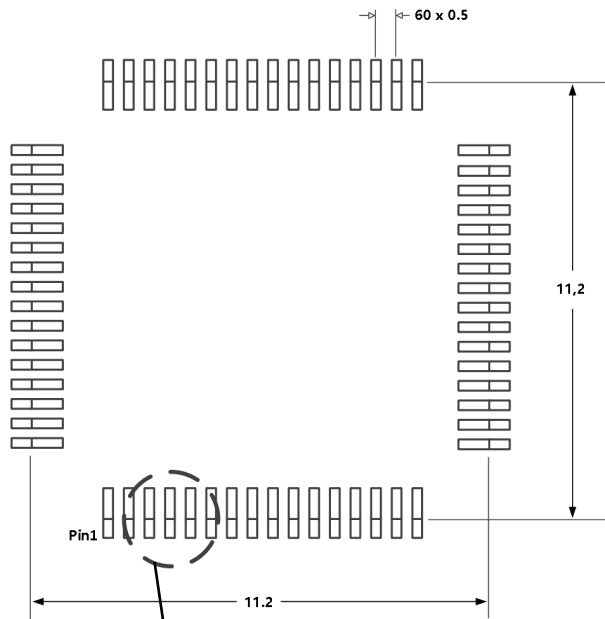
单位: mm



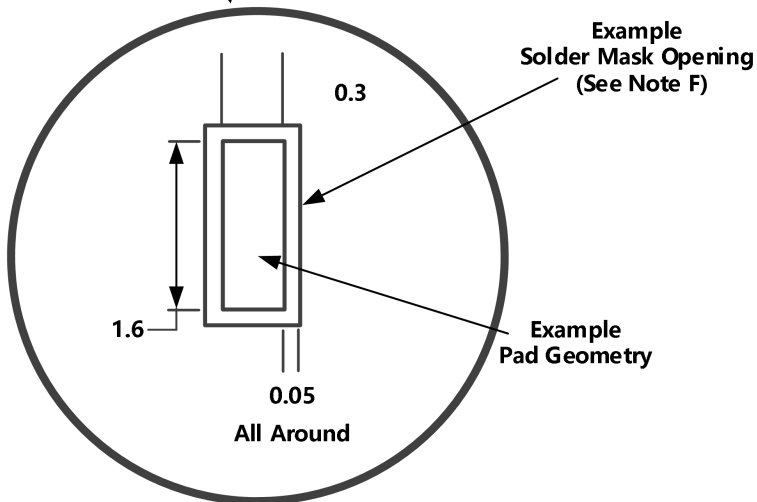
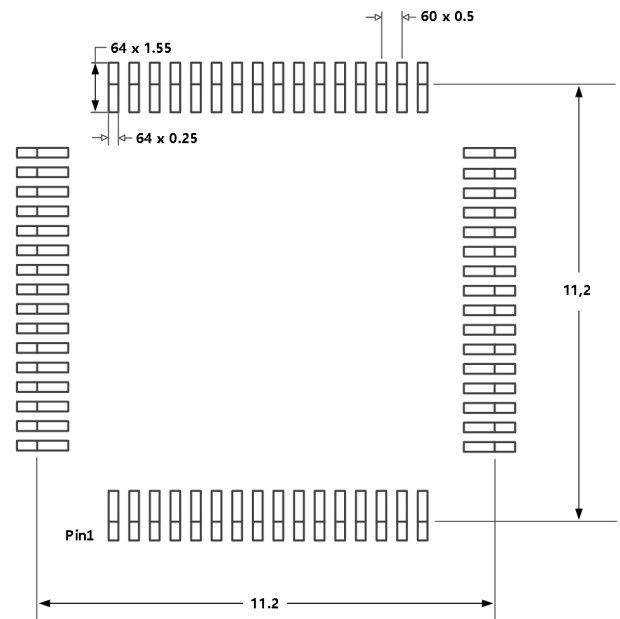
LQFP64

单位: mm

Example Board Layout

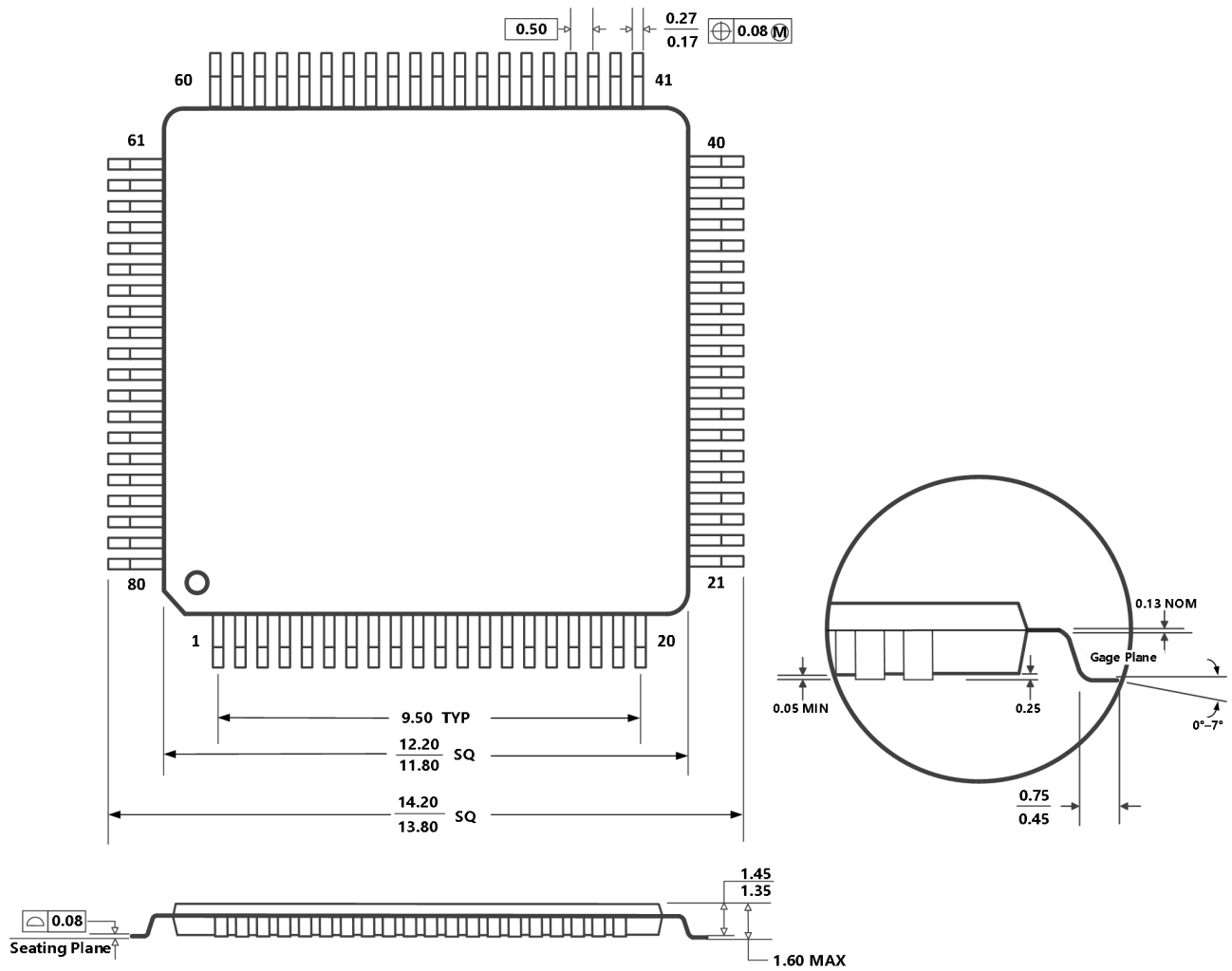


Stencil Openings
Based on a stencil thickness
of .127mm (.005inch).



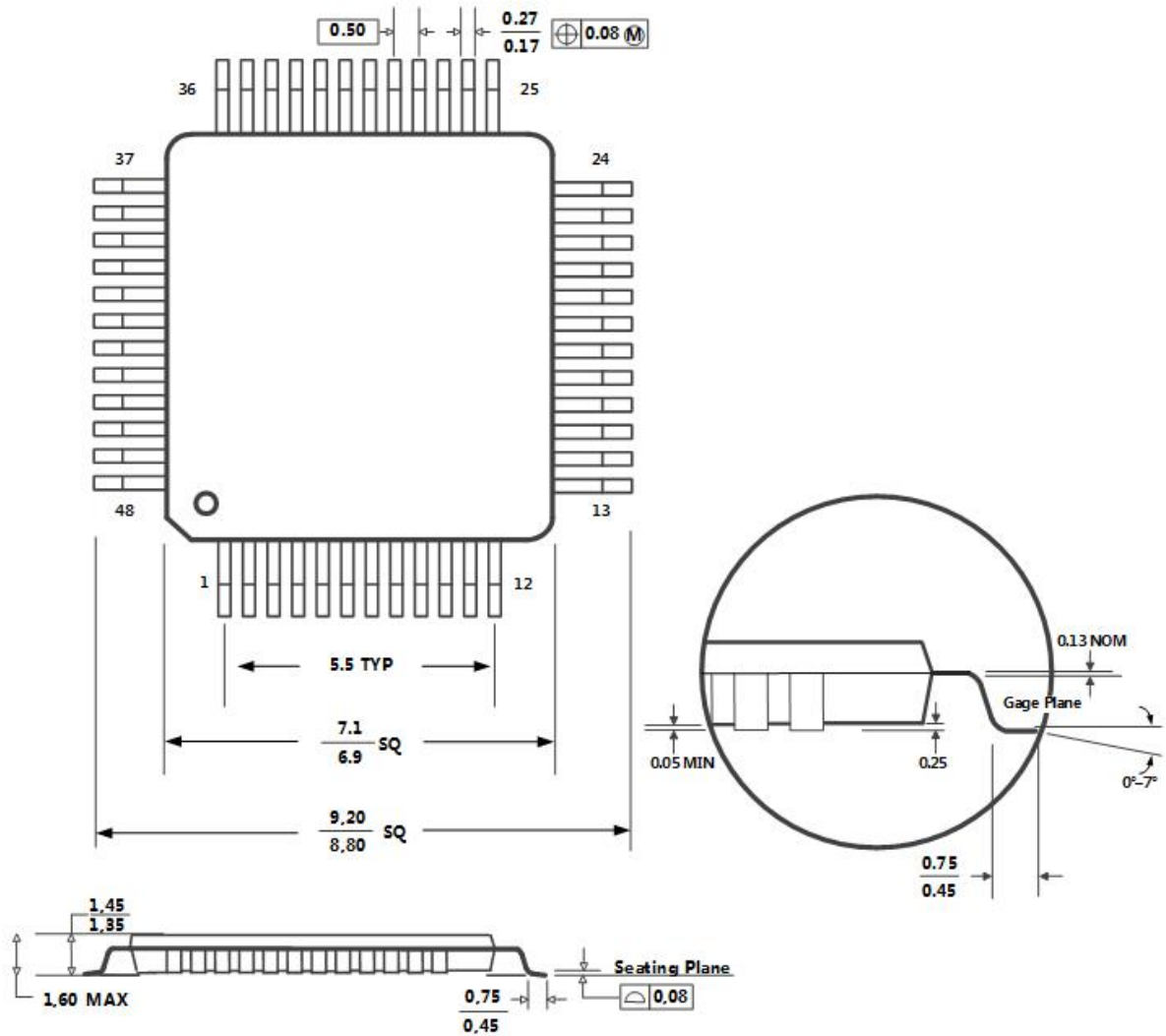
LQFP80

单位: mm



LQFP48

单位 : mm



联系方式

公司网址: www.advancechip.com

联系邮箱: sales@advancechip.com

销售联系电话: 0731-88731027 (长沙)

公司总部地址: 长沙市湘江新区东方红街道北斗产业园·黄金园 A5 栋

南京销售中心: 南京市秦淮区卡子门大街 19 号紫云智慧广场 6 号楼 15 层

