

AVP32F0049 数字信号处理器

AVP32F0049QP100S、AVP32F0049QP64S、AVP32F0049QN56S

数据手册

编号: JXDZ3.590.019SJSC

Advancechip



Electronics

湖南进芯电子科技有限公司

2024 年 10 月

V1.2

目 次

1 产品特性	1
2 市场应用	2
3 产品描述	3
3.1 功能框图	4
3.2 器件特性	5
4 引脚配置和功能	7
4.1 引脚图	7
4.2 引脚属性	10
4.3 信号说明	24
4.3.1 模拟信号	24
4.3.2 数字信号	29
4.3.3 电源和接地	35
4.3.4 测试、JTAG 和复位	36
4.4 引脚多路复用	37
4.4.1 GPIO 多路复用引脚	37
4.4.2 ADC 引脚上的数字输入 (AIO)	46
4.4.3 GPIO 输入 X-BAR	46
4.4.4 GPIO 输出 X-BAR 和 ePWM X-BAR	48
4.5 带有内部上拉和下拉的引脚	49
4.6 未使用引脚的连接	50
5 规格	52
5.1 绝对最大额定值	52
5.2 ESD 等级	52
5.3 建议运行条件	53
5.4 流耗	54
5.4.1 系统流耗 (外部电源)	54
5.4.2 系统流耗 (内部 VREG)	55
5.4.3 系统流耗 (DC-DC 稳压器)	56
5.4.4 工作模式测试说明	57
5.4.5 流耗图	58
5.4.6 降低流耗	60
5.5 电气特性	61
5.6 热阻特征	62
5.6.1 散热模型 100 引脚 QP 结果	62
5.6.2 散热模型 64 引脚 QP 结果	62
5.6.3 散热模型 56 引脚 QN 结果	62
5.7 散热设计注意事项	62

5.8 系统.....	63
5.8.1 电源管理模块 (PMM).....	63
5.8.2 复位时序.....	74
5.8.3 时钟规格.....	77
5.8.4 闪存参数.....	87
5.8.5 仿真/JTAG.....	90
5.8.6 GPIO 电气数据和时序.....	94
5.8.7 中断.....	96
5.8.8 低功耗模式.....	98
5.9 模拟外设.....	101
5.9.1 模数转换器 (ADC).....	110
5.9.2 可编程增益放大器 (PGA).....	119
5.9.3 温度传感器.....	123
5.9.4 缓冲数模转换器 (DAC).....	124
5.9.5 比较器子系统 (CMPSS).....	131
5.10 控制外设.....	136
5.10.1 增强型捕获模块 (eCAP).....	136
5.10.2 高分辨率捕获子模块 (HRCAP6-HRCAP7).....	138
5.10.3 增强型脉宽调制器 (ePWM).....	143
5.10.4 高分辨率脉宽调制器 (HRPWM).....	149
5.10.5 增强型正交编码器脉冲 (eQEP).....	150
5.10.6 Σ - Δ 滤波器模块 (SDFM).....	152
5.11 通信外设.....	158
5.11.1 控制器局域网 (CAN).....	158
5.11.2 集成电路总线 (I2C).....	160
5.11.3 电源管理总线 (PMBus) 接口.....	164
5.11.4 串行通信接口 (SCI).....	167
5.11.5 串行外设接口 (SPI).....	169
5.11.6 本地互连网络 (LIN).....	181
5.11.7 快速串行接口 (FSI).....	184
6 详细说明.....	191
6.1 概述.....	191
6.2 功能方框图.....	192
6.3 存储器.....	193
6.3.1 存储器映射.....	193
6.3.2 控制律加速器 (CLA) ROM 存储器映射.....	193
6.3.3 闪存映射.....	194
6.3.4 外设寄存器内存映射.....	196
6.3.5 存储器类型.....	199

6.4 标识	200
6.5 总线架构 - 外设连接	201
6.6 A2000 处理器	202
6.6.1 嵌入式实时分析和诊断 (ERAD)	202
6.6.2 浮点单元 (FPU)	202
6.6.4 Viterbi、复杂数学和 CRC 单元 (VCU-I)	203
6.7 控制律加速器 (CLA)	205
6.8 直接存储器访问 (DMA)	207
6.9 引导 ROM 和外设引导	209
6.9.1 配置备用引导模式选择引脚	210
6.9.2 配置备用引导模式选项	211
6.9.3 GPIO 分配	211
6.10 双代码安全模块	214
6.11 看门狗	215
6.12 可配置逻辑块 (CLB)	216
7 应用、实施和布局	217
7.1 器件主要特性	217
7.2 应用信息	219
7.2.1 典型应用	219
8 器件命名规则和文档支持	227
8.1 器件命名规则	227
8.3 支持资源	227
9 封装和可订购信息	228
9.1 封装信息	228
10 注意事项和声明	233

1 产品特性

- **AVP32F0049 32 位 CPU**
 - 主频 120MHz
 - IEEE 754 单精度浮点单元 (FPU)
 - 三角函数数学单元 (TMU)
 - 与软件库方式相比, 对常见三角函数有 3 倍到 4 倍的 cycle 性能提升
 - 13 周期派克变换
 - Viterbi/复杂数学单元 (VCU-I)
 - 十个硬件断点 (包括 ERAD)
- **可编程控制律加速器 (CLA)**
 - 120MHz
 - IEEE 754 单精度浮点指令
 - 独立于主 CPU 执行代码
- **片载存储器**
 - 在两个独立存储体上提供 256KB (128KW) 的闪存 (ECC 保护)
 - 100KB (50KW) RAM (ECC 保护或奇偶校验保护)
 - 支持第三方开发的双区安全
 - 唯一标识 (UID) 号
- **时钟和系统控制**
 - 两个内部零引脚 10MHz 振荡器
 - 片载晶振振荡器和外部时钟输入
 - 窗口化看门狗定时器模块
 - 时钟丢失检测电路
- **1.1V 内核、3.3V I/O 设计**
 - 可生成 1.1V 电压的内部 VREG 或 DC-DC 允许进行单电源设计
 - 欠压复位 (BOR) 电路
- **系统外设**
 - 6 通道直接存储器存取 (DMA) 控制器
 - 40 个独立可编程多路复用通用输入/输出 (GPIO) 引脚
 - 在模拟引脚上提供 21 路数字输入
 - 增强型外设中断扩展 (ePIE) 模块
 - 支持多个具有外部唤醒功能的低功耗模式 (LPM)
 - 嵌入式实时分析和诊断 (ERAD)
- **通信外设**
 - 一个电源管理总线 (PMBus) 接口
 - 一个集成电路总线 (I2C) 接口 (引脚可引导)
 - 两个控制器局域网 (CAN) 总线端口 (引脚可引导)
 - 两个串行外设接口 (SPI) 端口 (引脚可引导)
 - 两个与 UART 兼容的串行通信接口 (SCI) (引脚可引导)
 - 一个与 UART 兼容的本地互连网络 (LIN)
 - 一个带发送器和接收器的快速串行接口 (FSI)
- **模拟系统**
 - 三个 3.45MSPS 12 位模数转换器 (ADC)
 - 多达 21 个外部通道
 - 每个 ADC 具有四个集成后处理块 (PPB)
 - 七个带 12 位参考数模转换器 (DAC) 的窗口比较器 (CMPSS)
 - 数字干扰滤波器
 - 两个 12 位缓冲 DAC 输出
 - 七个可编程增益放大器 (PGA)
 - 可编程增益设置: 3、6、12、24
 - 可编程输出滤波
- **增强型控制外设**
 - 16 个具有高分辨率功能 (150ps 分辨率) 的 ePWM 通道
 - 具有高分辨率的集成死区支持
 - 集成硬件跳匣区域 (TZ)
 - 七个增强型捕获 (eCAP) 模块
 - 在两个模块上提供高分辨率捕获 (HRCAP)
 - 两个支持 CW/CCW 运行模式的增强型正交编码器脉冲 (eQEP) 模块
 - 四条 Σ - Δ 滤波器模块 (SDFM) 输入通道 (每条通道两个并联滤波器)
 - 标准 SDFM 数据滤波
 - 用于高估或低估情况下快速操作的比较器滤波器
- **可配置逻辑块 (CLB)**
 - 增强现有外设功能
 - 支持位置管理器解决方案
- **封装选项:**
 - 100 引脚薄型四方扁平封装 (LQFP)
 - 64 引脚薄型四方扁平封装 (LQFP)
 - 56 引脚极薄无引线四方扁平封装 (VQFN)
- **温度选项:**
 - S: -40°C 至 125°C
 - Q: -40°C 至 125°C (通过 AEC-Q100 认证)

2 市场应用

- 中距离/短距离雷达
- 空调室外机
- 电梯门自动启闭装置驱动控制
- 自动分拣设备
- CNC 控制
- 纺织机
- 焊接机
- 交流充电（桩）站
- 直流充电（桩）站
- 电动汽车充电站电源模块
- 车辆无线充电模块
- 能量存储电源转换系统 (PCS)
- 中央逆变器
- 太阳能电源优化器
- 串式逆变器
- DC-DC 转换器
- 逆变器和电机控制
- 车载充电器 (OBC) 和无线充电器
- 交流驱动器控制模块
- 交流驱动器功率级模块
- 线性电机功率级
- 伺服驱动器控制模块
- 交流输入 BLDC 电机驱动器
- 直流输入 BLDC 电机驱动器
- 工业交流/直流电源
- 三相 UPS
- 商用网络和服务器 PSU
- 商用通信电源整流器

3 产品描述

AVP32F0049 浮点数字信号处理器针对处理、感应和驱动进行了优化，旨在提高实时控制应用（如工业电机驱动器、光伏逆变器和数字电源、电动汽车和运输、电机控制以及感应和信号处理）的闭环性能。

AVP32F0049 是一款功能强大的 32 位浮点数字信号处理器 (DSP)，可让设计人员在单个器件上集成关键的控制外设、差分模拟和非易失性存储器。

实时控制子系统基于进芯电子的 32 位 A2000 CPU，可提供 120 MHz 的信号处理性能。A2000 CPU 的性能通过新的 TMU 扩展指令集和 VCU-I 扩展指令集得到了进一步提升，TMU 扩展指令集能够快速执行变换和扭矩环路计算中常见三角运算的算法，VCU-I 扩展指令集能够降低编码应用中常见复杂数学运算的延迟。

CLA 允许从主 A2000 CPU 上大量卸载常见任务，CLA 是一款与 CPU 并行执行的独立 32 位浮点数学加速器。此外，CLA 自带专用存储资源，它可以直接访问典型控制系统中所需的关键外设。对 ANSI C 子集的支持是标准配置，就像硬件断点和硬件任务切换等关键特性也是标准配置。

AVP32F0049 支持高达 256KB (128KW) 的闪存，这些闪存分为两个 128KB (64KW) 存储体，支持并行编程和执行。此外，还以 4KB (2KW) 和 16KB (8KW) 块提供高达 100KB (50KW) 的片载 SRAM，以进行高效的系统分区。还支持闪存 ECC、SRAM ECC/奇偶校验和双区安全性。

AVP32F0049 DSP 上集成了高性能模拟块，以进一步支持系统整合。三个独立的 12 位 ADC 可准确、高效地管理多个模拟信号，从而最终提高系统吞吐量。模拟前端上的七个 PGA 可以在转换之前实现片载电压调节。七个模拟比较器模块针对跳闸情况下对输入电压电平进行连续监控。

AVP32F0049 浮点数字信号处理器包含先进的控制外设（具有独立于频率的 ePWM/HRPWM 和 eCAP），可对系统进行出色的控制。内置的 4 通道 SDFM 允许在隔离层上无缝集成过采样 Σ - Δ 调制器。

通过各种业界通用通信端口（如 SPI、SCI、I2C、LIN 和 CAN）支持连接，并且提供了多个多路复用选项，可在各种应用中实现出色的信号布局。AVP32F0049 有完全符合标准的 PMBus。此外，FSI 率先在业内实现了高速可靠的通信，补充了嵌入该器件的各种外设的功能。

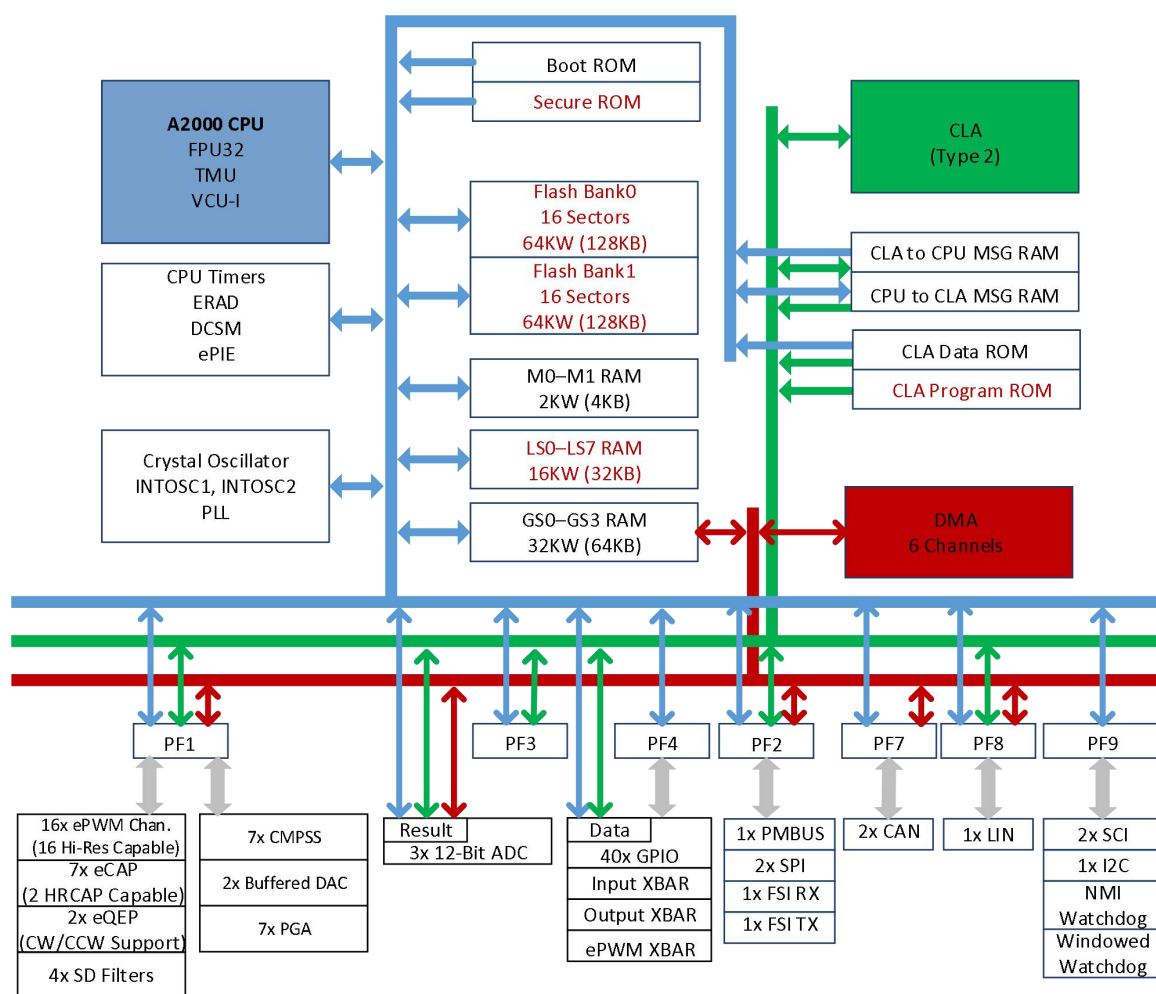
AVP32F0049 允许访问可配置逻辑块 (CLB) 来实现额外连接功能，还允许访问安全 ROM。

嵌入式实时分析和诊断 (ERAD) 模块通过提供用于分析的附加硬件断点和计数器来增强器件的调试和系统分析功能。

器件信息

器件型号	控制律加速器 (CLA)	可配置逻辑块 (CLB)	闪存大小
AVP32F0049	支持	支持	256KB

3.1 功能框图



A. 红色字体所示为安全存储器。

图 3-1 功能框图

3.2 器件特性

表 3-1 AVP32F0049 器件特性

特性		AVP32F0049
处理器和加速器		
A2000 (内核)	主频 (MHz)	120
	FPU	支持
	VCU-I	支持
	TMU -Type 0	支持
CLA - Type 2	可用性	支持
	频率 (MHz)	120
6 通道 DMA - Type 0		支持
存储器		
闪存		256KB (128KW)
RAM	专用和本地共享 RAM	36KB (18KW)
	全局共享 RAM	64KB (32KW)
	TOTAL RAM	100KB (50KW)
片载闪存、RAM 和 OTP 模块的代码安全性		支持
引导 ROM		支持
用户可配置的 DCSM OTP		4KB (2KW)
系统		
可配置逻辑块 (CLB)		4 个逻辑块
32 位 CPU 定时器		3
看门狗定时器		1
非可屏蔽中断看门狗 (NMIWD) 定时器		1
晶体振荡器/外部时钟输入		1
0 引脚内部振荡器		2
GPIO 引脚	100 引脚 QP	40
	64 引脚 QP	26
	56 引脚 QN	25
AIO 输入	100 引脚 QP	21
	64 引脚 QP	14
	56 引脚 QN	12
外部中断		5
模拟外设		
12 位 ADC	ADC 数量	3
	每秒百万次采样 (MSPS)	3.45
	转换时间 (ns) ⁽¹⁾	290
ADC 通道 (单端)	100 引脚 QP	21
	64 引脚 QP	14
	56 引脚 QN	12

表 3-1 AVP32F0049 器件特性 (续)

特性		AVP32F0049
ADC 通道 (来自 PGA)	100 引脚 QP	7
	64 引脚 QP	5
	56 引脚 QN	4
温度传感器		1
缓冲 DAC		2
CMPSS (每个 CMPSS 都有两个比较器和两个内部 DAC)	100 引脚 QP	7
	64 引脚 QP	6
	56 引脚 QN	5
PGA (增益设置: 3、6、12、24)	100 引脚 QP	7
	64 引脚 QP	5
	56 引脚 QN	4
控制外设 ⁽²⁾		
eCAP/HRCAP 模块—Type 1		7 (2 个具有 HRCAP 功能)
ePWM/HRPWM 通道—Type 4		16
eQEP 模块 -Type 1	100 引脚 QP	2
	64 引脚 QP	1
	56 引脚 QN	1
SDFM 通道 -Type 1	100 引脚 QP	4
	64 引脚 QP	2
	56 引脚 QN	2
通信外设 ⁽²⁾		
CAN -Type 0		2
I2C -Type 1		1
SCI -Type 0 (UART 兼容)		2
SPI -Type 2		2
LIN -Type 1 (UART 兼容)		1
PMBus -Type 0		1
FSI -Type 0		1
封装选项、温度和合格认证		
环境温度(T_A)		S: -40°C 至 125°C
		Q: -40°C 至 125°C (通过 AEC-Q100 认证)
封装选项	100 引脚 QP	支持
	64 引脚 QP	支持
	56 引脚 QN	支持

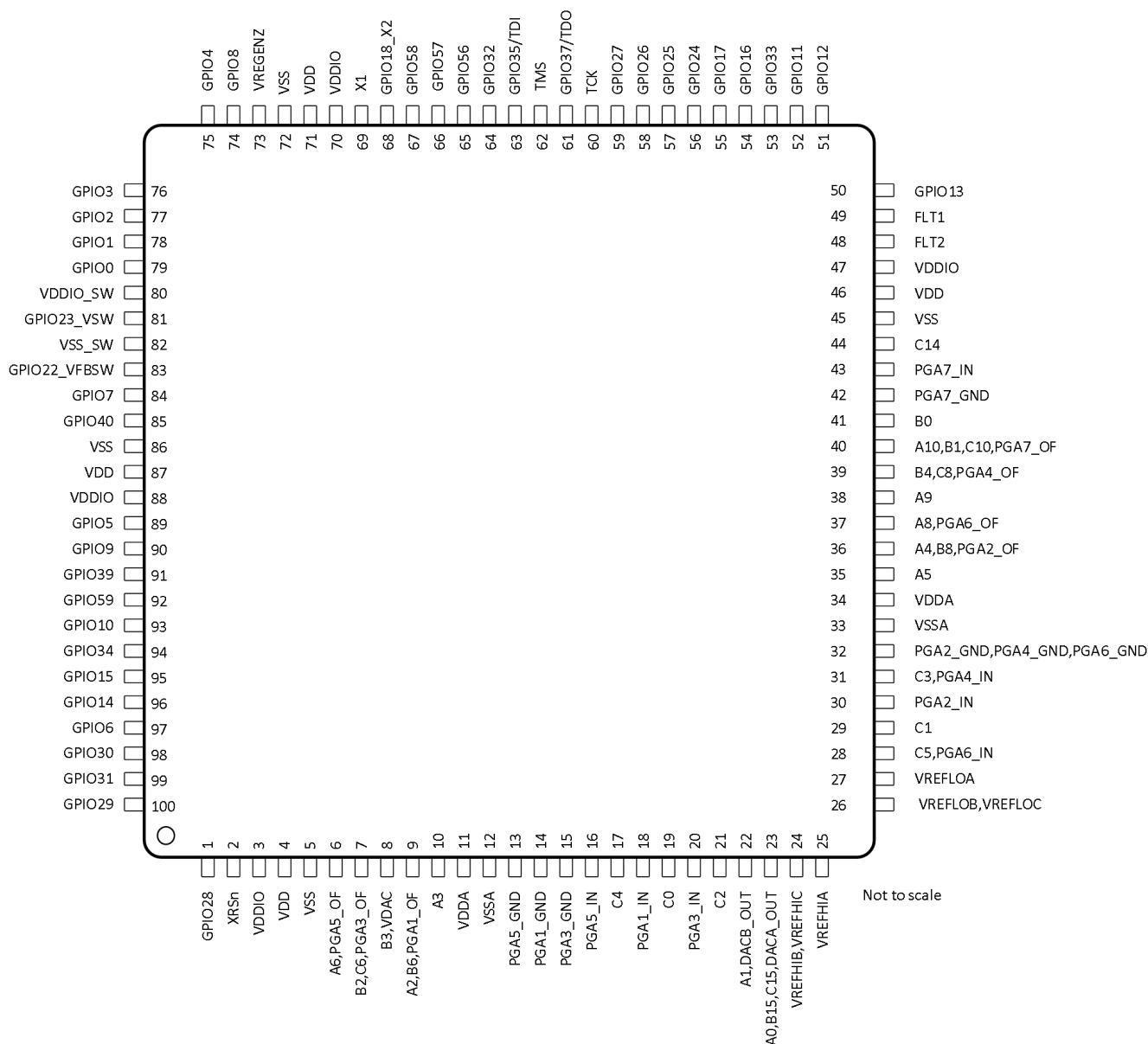
(1) 从采样保持窗口开始，到下一次转换的采样保持窗口开始之间的时间。

(2) 对于采用多个封装的器件，较小封装中列出的外设数量会减少，因为较小封装中的可用器件引脚较少。与器件型号内提供的最大封装相比，器件内部存在的外设数量并未减少。

4 引脚配置和功能

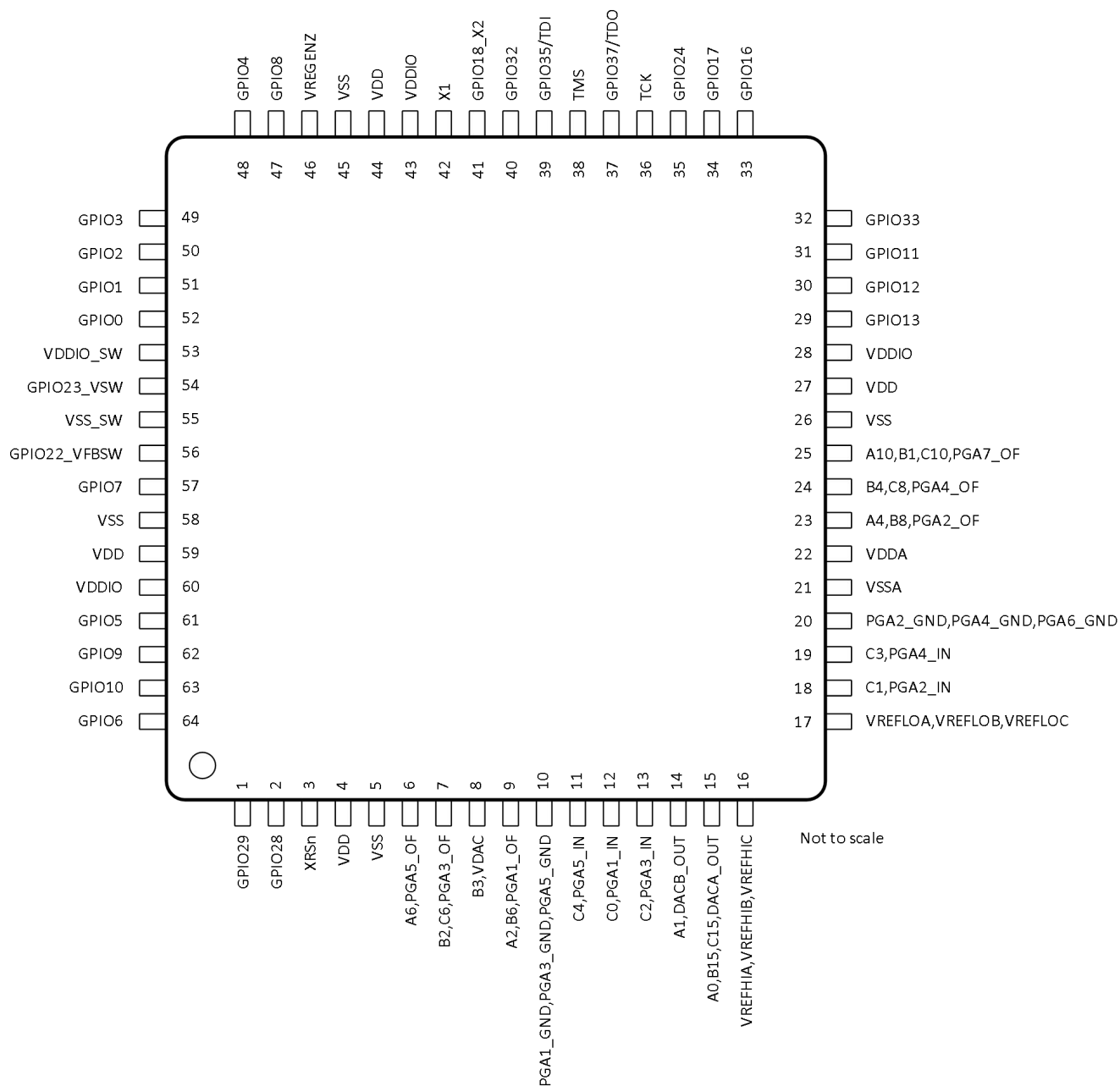
4.1 引脚图

图 4-1 所示为 100 引脚 QP 薄型四方扁平封装上的引脚分配。图 4-2 所示为 64 引脚 QP 薄型四方扁平封装上的引脚分配。图 4-3 所示为 56 引脚 QN 无引线极薄型四方扁平封装上的引脚分配。



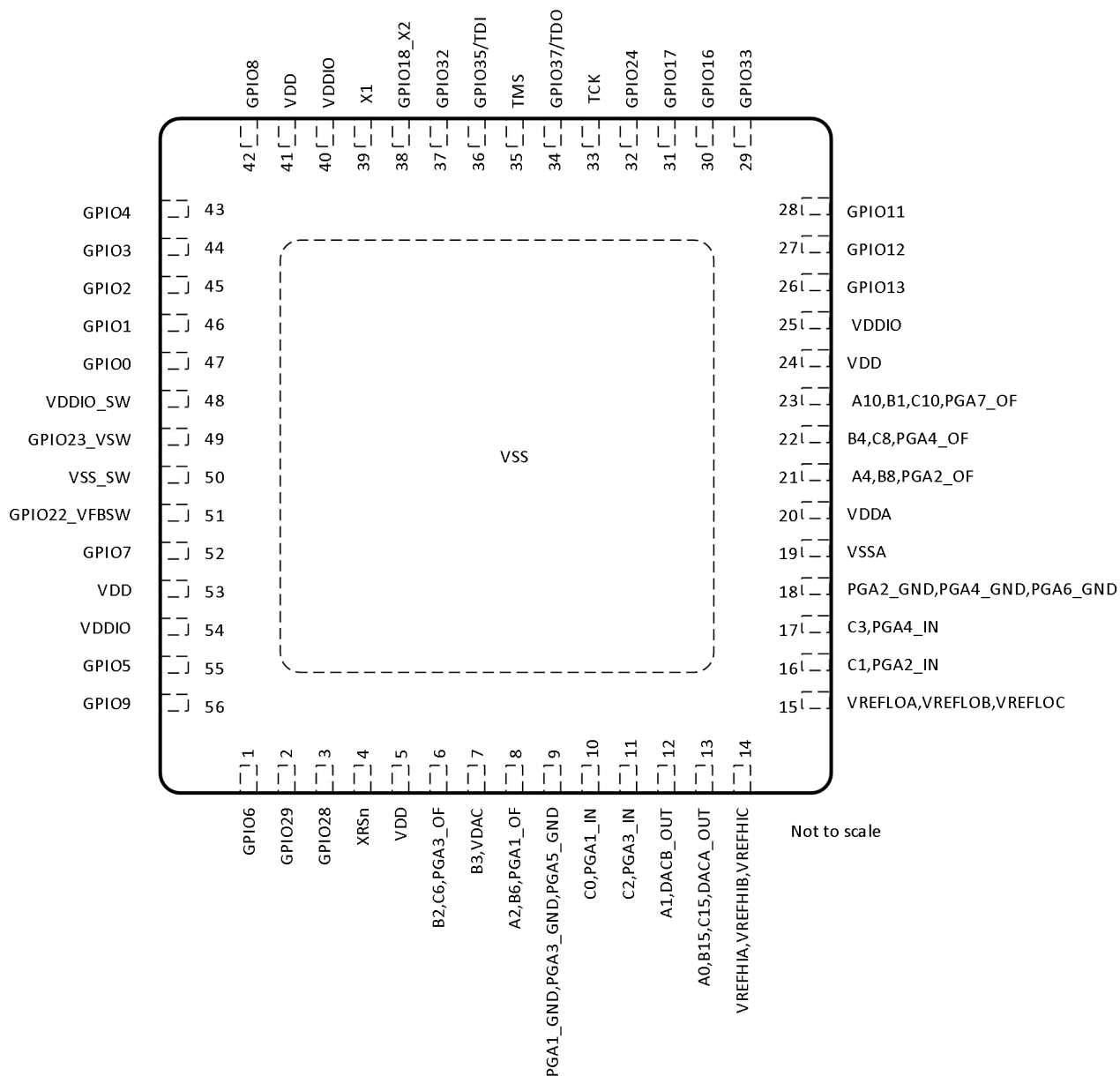
A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅第 4.3 节。

图 4-1 100 引脚 QP 薄型四方扁平封装 (顶视图)



A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅第 4.3 节。

图 4-2 64 引脚 QP 薄型四方扁平封装 (顶视图)



A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅第 4.3 节。

B. 该图为 56 引脚 QN 封装的顶视图。终端实际位于封装的底部。

图 4-3 56 引脚 QN 无引线极薄型四方扁平封装 (顶视图)

4.2 引脚属性

表 4-1 引脚属性

信号名称	多路复用器位置	100 QP	64 QP	56 QN	引脚类型	说明
模拟						
A0 B15 C15 DACA_OUT AIO231		23	15	13	I I I O I	ADC-A 输入 0 ADC-B 输入 15 ADC-C 输入 15 缓冲 DAC-A 输出 ADC 引脚上的数字输入 231
A1 DACB_OUT AIO232		22	14	12	I O I	ADC-A 输入 1 缓冲 DAC-B 输出 ADC 引脚上的数字输入 232
A10 B1 C10 PGA7_OF CMP7_HP0 CMP7_LP0 AIO230		40	25	23	I I I O I I I	ADC-A 输入 10 ADC-B 输入 1 ADC-C 输入 10 PGA-7 输出滤波器 (可选) CMPSS-7 高比较器输入正端 0 CMPSS-7 低比较器输入正端 0 ADC 引脚上的数字输入 230
A2 B6 PGA1_OF CMP1_HP0 CMP1_LP0 AIO224		9	9	8	I I O I I I	ADC-A 输入 2 ADC-B 输入 6 PGA-1 输出滤波器 (可选) CMPSS-1 高比较器输入正端 0 CMPSS-1 低比较器输入正端 0 ADC 引脚上的数字输入 224
A3 CMP1_HP3 CMP1_HN0 CMP1_LP3 CMP1_LN0 AIO233		10			I I I I I I	ADC-A 输入 3 CMPSS-1 高比较器输入正端 3 CMPSS-1 高比较器输入负端 0 CMPSS-1 低比较器输入正端 3 CMPSS-1 低比较器输入负端 0 ADC 引脚上的数字输入 233
A4 B8 PGA2_OF CMP2_HP0 CMP2_LP0 AIO225		36	23	21	I I O I I I	ADC-A 输入 4 ADC-B 输入 8 PGA-2 输出滤波器 (可选) CMPSS-2 高比较器输入正端 0 CMPSS-2 低比较器输入正端 0 ADC 引脚上的数字输入 225
A5 CMP2_HP3 CMP2_HN0 CMP2_LP3 CMP2_LN0 AIO234		35			I I I I I I	ADC-A 输入 5 CMPSS-2 高比较器输入正端 3 CMPSS-2 高比较器输入负端 0 CMPSS-2 低比较器输入正端 3 CMPSS-2 低比较器输入负端 0 ADC 引脚上的数字输入 234

表 4-1 引脚属性 (续)

信号名称	多路复用器位置	100 QP	64 QP	56 QN	引脚类型	说明
A6 PGA5_OF CMP5_HP0 CMP5_LP0 AIO228		6	6		I O I I I	ADC-A 输入 6 PGA-5 输出滤波器 (可选) CMPSS-5 高比较器输入正端 0 CMPSS-5 低比较器输入正端 0 ADC 引脚上的数字输入 228
A8 PGA6_OF CMP6_HP0 CMP6_LP0 AIO229		37			I O I I I	ADC-A 输入 8 PGA-6 输出滤波器 (可选) CMPSS-6 高比较器输入正端 0 CMPSS-6 低比较器输入正端 0 ADC 引脚上的数字输入 229
A9 CMP6_HP3 CMP6_HN0 CMP6_LP3 CMP6_LN0 AIO236		38			I I I I I I	ADC-A 输入 9 CMPSS-6 高比较器输入正端 3 CMPSS-6 高比较器输入负端 0 CMPSS-6 低比较器输入正端 3 CMPSS-6 低比较器输入负端 0 ADC 引脚上的数字输入 236
B0 CMP7_HP3 CMP7_HN0 CMP7_LP3 CMP7_LN0 AIO241		41			I I I I I I	ADC-B 输入 0 CMPSS-7 高比较器输入正端 3 CMPSS-7 高比较器输入负端 0 CMPSS-7 低比较器输入正端 3 CMPSS-7 低比较器输入负端 0 ADC 引脚上的数字输入 241
B2 C6 PGA3_OF CMP3_HP0 CMP3_LP0 AIO226		7	7	6	I I O I I I	ADC-B 输入 2 ADC-C 输入 6 PGA-3 输出滤波器 (可选) CMPSS-3 高比较器输入正端 0 CMPSS-3 低比较器输入正端 0 ADC 引脚上的数字输入 226
B3 VDAC CMP3_HP3 CMP3_HN0 CMP3_LP3 CMP3_LN0 AIO242		8	8	7	I I I I I I	ADC-B 输入 3 片载 DAC 的可选外部基准电压。无论是用于 ADC 输入还是 DAC 基准, 此引脚上都有一个连接至 VSSA 且无法禁用的 100pF 电容器。如果将此引脚用作片载 DAC 的基准, 请在此引脚上放置一个不小于 1μF 的电容器。 CMPSS-3 高比较器输入正端 3 CMPSS-3 高比较器输入负端 0 CMPSS-3 低比较器输入正端 3 CMPSS-3 低比较器输入负端 0 ADC 引脚上的数字输入 242
B4 C8 PGA4_OF CMP4_HP0 CMP4_LP0 AIO227		39	24	22	I I O I I I	ADC-B 输入 4 ADC-C 输入 8 PGA-4 输出滤波器 (可选) CMPSS-4 高比较器输入正端 0 CMPSS-4 低比较器输入正端 0 ADC 引脚上的数字输入 227

表 4-1 引脚属性 (续)

信号名称	多路复用器位置	100 QP	64 QP	56 QN	引脚类型	说明
C0 CMP1_HP1 CMP1_HN1 CMP1_LP1 CMP1_LN1 AIO237		19	12	10	I I I I I I	ADC-C 输入 0 CMPSS-1 高比较器输入正端 1 CMPSS-1 高比较器输入负端 1 CMPSS-1 低比较器输入正端 1 CMPSS-1 低比较器输入负端 1 ADC 引脚上的数字输入 237
C1 CMP2_HP1 CMP2_HN1 CMP2_LP1 CMP2_LN1 AIO238		29	18	16	I I I I I I	ADC-C 输入 1 CMPSS-2 高比较器输入正端 1 CMPSS-2 高比较器输入负端 1 CMPSS-2 低比较器输入正端 1 CMPSS-2 低比较器输入负端 1 ADC 引脚上的数字输入 238
C14 CMP7_HP1 CMP7_HN1 CMP7_LP1 CMP7_LN1 AIO246		44			I I I I I I	ADC-C 输入 14 CMPSS-7 高比较器输入正端 1 CMPSS-7 高比较器输入负端 1 CMPSS-7 低比较器输入正端 1 CMPSS-7 低比较器输入负端 1 ADC 引脚上的数字输入 246
C2 CMP3_HP1 CMP3_HN1 CMP3_LP1 CMP3_LN1 AIO244		21	13	11	I I I I I I	ADC-C 输入 2 CMPSS-3 高比较器输入正端 1 CMPSS-3 高比较器输入负端 1 CMPSS-3 低比较器输入正端 1 CMPSS-3 低比较器输入负端 1 ADC 引脚上的数字输入 244
C3 CMP4_HP1 CMP4_HN1 CMP4_LP1 CMP4_LN1 AIO245		31	19	17	I I I I I I	ADC-C 输入 3 CMPSS-4 高比较器输入正端 1 CMPSS-4 高比较器输入负端 1 CMPSS-4 低比较器输入正端 1 CMPSS-4 低比较器输入负端 1 ADC 引脚上的数字输入 245
C4 CMP5_HP1 CMP5_HN1 CMP5_LP1 CMP5_LN1 AIO239		17	11		I I I I I I	ADC-C 输入 4 CMPSS-5 高比较器输入正端 1 CMPSS-5 高比较器输入负端 1 CMPSS-5 低比较器输入正端 1 CMPSS-5 低比较器输入负端 1 ADC 引脚上的数字输入 239
C5 CMP6_HP1 CMP6_HN1 CMP6_LP1 CMP6_LN1 AIO240		28			I I I I I I	ADC-C 输入 5 CMPSS-6 高比较器输入正端 1 CMPSS-6 高比较器输入负端 1 CMPSS-6 低比较器输入正端 1 CMPSS-6 低比较器输入负端 1 ADC 引脚上的数字输入 240
PGA1_GND		14	10	9	I	PGA-1 接地

表 4-1 引脚属性 (续)

信号名称	多路复用器位置	100 QP	64 QP	56 QN	引脚类型	说明
PGA1_IN					I	PGA-1 输入
CMP1_HP2		18	12	10	I	CMPSS-1 高比较器输入正端 2
CMP1_LP2					I	CMPSS-1 低比较器输入正端 2
PGA2_GND		32	20	18	I	PGA-2 接地
PGA2_IN					I	PGA-2 输入
CMP2_HP2		30	18	16	I	CMPSS-2 高比较器输入正端 2
CMP2_LP2					I	CMPSS-2 低比较器输入正端 2
PGA3_GND		15	10	9	I	PGA-3 接地
PGA3_IN					I	PGA-3 输入
CMP3_HP2		20	13	11	I	CMPSS-3 高比较器输入正端 2
CMP3_LP2					I	CMPSS-3 低比较器输入正端 2
PGA4_GND		32	20	18	I	PGA-4 接地
PGA4_IN					I	PGA-4 输入
CMP4_HP2		31	19	17	I	CMPSS-4 高比较器输入正端 2
CMP4_LP2					I	CMPSS-4 低比较器输入正端 2
PGA5_GND		13	10	9	I	PGA-5 接地
PGA5_IN					I	PGA-5 输入
CMP5_HP2		16	11		I	CMPSS-5 高比较器输入正端 2
CMP5_LP2					I	CMPSS-5 低比较器输入正端 2
PGA6_GND		32	20	18	I	PGA-6 接地
PGA6_IN					I	PGA-6 输入
CMP6_HP2		28			I	CMPSS-6 高比较器输入正端 2
CMP6_LP2					I	CMPSS-6 低比较器输入正端 2
PGA7_GND		42			I	PGA-7 接地
PGA7_IN					I	PGA-7 输入
CMP7_HP2		43			I	CMPSS-7 高比较器输入正端 2
CMP7_LP2					I	CMPSS-7 低比较器输入正端 2
VREFHIA		25	16	14	I/O	ADC-A 高基准电压。在外部基准模式下，从外部驱动该引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置一个不小于 2.2μF 电容器。此电容器应放置在 VREFHIA 和 VREFLOA 引脚之间尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。
VREFHIB		24	16	14	I/O	ADC-B 高基准电压。在外部基准模式下，从外部驱动该引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置一个不小于 2.2μF 电容器。此电容器应放置在 VREFHIB 和 VREFLOB 引脚之间尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。
VREFHIC		24	16	14	I/O	ADC-C 高基准电压。在外部基准模式下，从外部驱动该引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置一个不小于 2.2μF 电容器。此电容器应放置在 VREFHIC 和 VREFLOC 引脚之间尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。
VREFLOA		27	17	15	I	ADC-A 低基准电压
VREFLOB		26	17	15	I	ADC-B 低基准电压
VREFLOC		26	17	15	I	ADC-C 低基准电压

表 4-1 引脚属性 (续)

信号名称	多路复用器位置	100 QP	64 QP	56 QN	引脚类型	说明
GPIO						
GPIO0	0, 4, 8, 12	79	52	47	I/O	通用输入/输出端口 0
EPWM1_A	1				O	ePWM-1 输出端口 A
I2CA_SDA	6				I/OD	I2C-A 开漏双向数据
GPIO1	0, 4, 8, 12	78	51	46	I/O	通用输入/输出端口 1
EPWM1_B	1				O	ePWM-1 输出端口 B
I2CA_SCL	6				I/OD	I2C-A 开漏双向时钟
GPIO2	0, 4, 8, 12	77	50	45	I/O	通用输入/输出端口 2
EPWM2_A	1				O	ePWM-2 输出端口 A
OUTPUTXBAR1	5				O	X-BAR 输出端口 1
PMBUS_A_SDA	6				I/OD	PMBus-A 开漏双向数据
SCIA_TX	9				O	SCI-A 发送数据
FSIRXA_D1	10				I	FSIRX-A 可选附加数据输入
GPIO3	0, 4, 8, 12	76	49	44	I/O	通用输入/输出端口 3
EPWM2_B	1				O	ePWM-2 输出端口 B
OUTPUTXBAR2	2、5				O	X-BAR 输出端口 2
PMBUS_A_SCL	6				I/OD	PMBus-A 开漏双向时钟
SPIA_CLK	7				I/O	SPI-A 时钟
SCIA_RX	9				I	SCI-A 接收数据
FSIRXA_D0	10				I	FSIRX-A 主数据输入
GPIO4	0, 4, 8, 12	75	48	43	I/O	通用输入/输出端口 4
EPWM3_A	1				O	ePWM-3 输出端口 A
OUTPUTXBAR3	5				O	X-BAR 输出端口 3
CANA_TX	6				O	CAN-A 发送
FSIRXA_CLK	10				I	FSIRX-A 输入时钟
GPIO5	0, 4, 8, 12	89	61	55	I/O	通用输入/输出端口 5
EPWM3_B	1				O	ePWM-3 输出端口 B
OUTPUTXBAR3	3				O	X-BAR 输出端口 3
CANA_RX	6				I	CAN-A 接收
SPIA_STE	7				I/O	SPI-A 从器件发送使能 (STE)
FSITXA_D1	9				O	FSITX-A 可选附加数据输出
GPIO6	0, 4, 8, 12	97	64	1	I/O	通用输入/输出端口 6
EPWM4_A	1				O	ePWM-4 输出端口 A
OUTPUTXBAR4	2				O	X-BAR 输出端口 4
SYNCOUT	3				O	外部 ePWM 同步脉冲
EQEP1_A	5				I	eQEP-1 输入端口 A
CANB_TX	6				O	CAN-B 发送
SPIB_SOMI	7				I/O	SPI-B 从器件输出, 主器件输入 (SOMI)
FSITXA_D0	9				O	FSITX-A 主数据输出

表 4-1 引脚属性 (续)

信号名称	多路复用器位置	100 QP	64 QP	56 QN	引脚类型	说明
GPIO7	0, 4, 8, 12	84	57	52	I/O	通用输入/输出端口 7
EPWM4_B	1				O	ePWM-4 输出端口 B
OUTPUTXBAR5	3				O	X-BAR 输出端口 5
EQEP1_B	5				I	eQEP-1 输入端口 B
CANB_RX	6				I	CAN-B 接收
SPIB_SIMO	7				I/O	SPI-B 从器件输入, 主器件输出 (SIMO)
FSITXA_CLK	9				O	FSITX-A 输出时钟
GPIO8	0, 4, 8, 12	74	47	42	I/O	通用输入/输出端口 8
EPWM5_A	1				O	ePWM-5 输出端口 A
CANB_TX	2				O	CAN-B 发送
ADCSOCAO	3				O	外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 A 输出
EQEP1_STROBE	5				I/O	eQEP-1 选通
SCIA_TX	6				O	SCI-A 发送数据
SPIA_SIMO	7				I/O	SPI-A 从器件输入, 主器件输出 (SIMO)
I2CA_SCL	9				I/OD	I2C-A 开漏双向时钟
FSITXA_D1	10				O	FSITX-A 可选附加数据输出
GPIO9	0, 4, 8, 12	90	62	56	I/O	通用输入/输出端口 9
EPWM5_B	1				O	ePWM-5 输出端口 B
SCIB_TX	2				O	SCI-B 发送数据
OUTPUTXBAR6	3				O	X-BAR 输出端口 6
EQEP1_INDEX	5				I/O	eQEP-1 索引
SCIA_RX	6				I	SCI-A 接收数据
SPIA_CLK	7				I/O	SPI-A 时钟
FSITXA_D0	10				O	FSITX-A 主数据输出
GPIO10	0, 4, 8, 12	93	63		I/O	通用输入/输出端口 10
EPWM6_A	1				O	ePWM-6 输出端口 A
CANB_RX	2				I	CAN-B 接收
ADCSOCBO	3				O	外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 B 输出
EQEP1_A	5				I	eQEP-1 输入端口 A
SCIB_TX	6				O	SCI-B 发送数据
SPIA_SOMI	7				I/O	SPI-A 从器件输出, 主器件输入 (SOMI)
I2CA_SDA	9				I/OD	I2C-A 开漏双向数据
FSITXA_CLK	10				O	FSITX-A 输出时钟
GPIO11	0, 4, 8, 12	52	31	28	I/O	通用输入/输出端口 11
EPWM6_B	1				O	ePWM-6 输出端口 B
SCIB_RX	2, 6				I	SCI-B 接收数据
OUTPUTXBAR7	3				O	X-BAR 输出端口 7
EQEP1_B	5				I	eQEP-1 输入端口 B
SPIA_STE	7				I/O	SPI-A 从器件发送使能 (STE)
FSIRXA_D1	9				I	FSIRX-A 可选附加数据输入

表 4-1 引脚属性 (续)

信号名称	多路复用器位置	100 QP	64 QP	56 QN	引脚类型	说明
GPIO12	0, 4, 8, 12	51	30	27	I/O	通用输入/输出端口 12
EPWM7_A	1				O	ePWM-7 输出端口 A
CANB_TX	2				O	CAN-B 发送
EQEP1_STROBE	5				I/O	eQEP-1 选通
SCIB_TX	6				O	SCI-B 发送数据
PMBUSA_CTL	7				I	PMBus-A 控制信号
FSIRXA_D0	9				I	FSIRX-A 主数据输入
GPIO13	0, 4, 8, 12	50	29	26	I/O	通用输入/输出端口 13
EPWM7_B	1				O	ePWM-7 输出端口 B
CANB_RX	2				I	CAN-B 接收
EQEP1_INDEX	5				I/O	eQEP-1 索引
SCIB_RX	6				I	SCI-B 接收数据
PMBUSA_ALERT	7				I/OD	PMBus-A 开漏双向警报信号
FSIRXA_CLK	9				I	FSIRX-A 输入时钟
GPIO14	0, 4, 8, 12	96			I/O	通用输入/输出端口 14
EPWM8_A	1				O	ePWM-8 输出端口 A
SCIB_TX	2				O	SCI-B 发送数据
OUTPUTXBAR3	6				O	X-BAR 输出端口 3
PMBUSA_SDA	7				I/OD	PMBus-A 开漏双向数据
SPIB_CLK	9				I/O	SPI-B 时钟
EQEP2_A	10				I	eQEP-2 输入端口 A
GPIO15	0, 4, 8, 12	95			I/O	通用输入/输出端口 15
EPWM8_B	1				O	ePWM-8 输出端口 B
SCIB_RX	2				I	SCI-B 接收数据
OUTPUTXBAR4	6				O	X-BAR 输出端口 4
PMBUSA_SCL	7				I/OD	PMBus-A 开漏双向时钟
SPIB_STE	9				I/O	SPI-B 从器件发送使能 (STE)
EQEP2_B	10				I	eQEP-2 输入端口 B
GPIO16	0, 4, 8, 12	54	33	30	I/O	通用输入/输出端口 16
SPIA_SIMO	1				I/O	SPI-A 从器件输入, 主器件输出 (SIMO)
CANB_TX	2				O	CAN-B 发送
OUTPUTXBAR7	3				O	X-BAR 输出端口 7
EPWM5_A	5				O	ePWM-5 输出端口 A
SCIA_TX	6				O	SCI-A 发送数据
SD1_D1	7				I	SDFM-1 通道 1 数据输入
EQEP1_STROBE	9				I/O	eQEP-1 选通
PMBUSA_SCL	10				I/OD	PMBus-A 开漏双向时钟
XCLKOUT	11				O	外部时钟输出

表 4-1 引脚属性 (续)

信号名称	多路复用器位置	100 QP	64 QP	56 QN	引脚类型	说明
GPIO17	0, 4, 8, 12	55	34	31	I/O	通用输入/输出端口 17
SPIA_SOMI	1				I/O	SPI-A 从器件输出, 主器件输入 (SOMI)
CANB_RX	2				I	CAN-B 接收
OUTPUTXBAR8	3				O	X-BAR 输出端口 8
EPWM5_B	5				O	ePWM-5 输出端口 B
SCIA_RX	6				I	SCI-A 接收数据
SD1_C1	7				I	SDFM-1 通道 1 时钟输入
EQEP1_INDEX	9				I/O	eQEP-1 索引
PMBUSA_SDA	10				I/OD	PMBus-A 开漏双向数据
GPIO18_X2	0, 4, 8, 12	68	41	38	I/O	通用输入/输出端口 18。仅在由 INTOSC 为时钟源且 X1 具有外部下拉电阻 (推荐 1kΩ) 时, 才可使用该引脚数字复用功能。
SPIA_CLK	1				I/O	SPI-A 时钟
SCIB_TX	2				O	SCI-B 发送数据
CANA_RX	3				I	CAN-A 接收
EPWM6_A	5				O	ePWM-6 输出端口 A
I2CA_SCL	6				I/OD	I2C-A 开漏双向时钟
SD1_D2	7				I	SDFM-1 通道 2 数据输入
EQEP2_A	9				I	eQEP-2 输入端口 A
PMBUSA_CTL	10				I	PMBus-A 控制信号
XCLKOUT	11				O	外部时钟输出
X2	ALT				I/O	晶体振荡器输出
GPIO20	0				I/O	通用输入/输出端口 20
GPIO21	0				I/O	通用输入/输出端口 21
GPIO22_VFBSW	0, 4, 8, 12	83	56	51	I/O	通用输入/输出端口 22。默认情况下, 该引脚配置为 DC-DC 模式。如果未使用内部 DC-DC, 则可以通过禁用 DC-DC (DCDCCTL.DCDCEN = 0) 并清除 GPAAMSEL 寄存器中的位将其配置为通用输入/输出端口 22。
EQEP1_STROBE	1				I/O	eQEP-1 选通信号
SCIB_TX	3				O	SCI-B 发送数据
SPIB_CLK	6				I/O	SPI-B 时钟
SD1_D4	7				I	SDFM-1 通道 4 数据输入
LINA_TX	9				O	LIN-A 发送
VFBSW ⁽¹⁾	ALT				-	内部 DC-DC 反馈信号。如果使用内部 DC-DC 稳压器 (DCDCCTL.DCDCEN = 1), 请将此引脚连接到节点, 其中 L(VSW) 连接到 VDD 电源轨 (尽可能靠近器件)。
GPIO23_VSW	0	81	54	49	I/O	通用输入/输出端口 23。默认情况下, 该引脚配置为 DC-DC 模式。如果未使用内部 DC-DC 稳压器, 则可以通过禁用直流/直流 (DCDCCTL.DCDCEN = 0) 并清除 GPAAMSEL 寄存器中的位将其配置为通用输入/输出 23。该引脚的内部电容约为 100pF。建议用作备用 GPIO, 或仅在不需要快速开关响应的应用中使用此引脚。
VSW ⁽¹⁾	ALT				-	内部 DC-DC 稳压器的开关输出 (当 DCDCCTL.DCDCEN = 1 时)

表 4-1 引脚属性 (续)

信号名称	多路复用器位置	100 QP	64 QP	56 QN	引脚类型	说明
GPIO24	0, 4, 8, 12	56	35	32	I/O	通用输入/输出端口 24
OUTPUTXBAR1	1				O	X-BAR 输出端口 1
EQEP2_A	2				I	eQEP-2 输入端口 A
EPWM8_A	5				O	ePWM-8 输出端口 A
SPIB_SIMO	6				I/O	SPI-B 从器件输入, 主器件输出 (SIMO)
SD1_D1	7				I	SDFM-1 通道 1 数据输入
PMBUS_A_SCL	10				I/OD	PMBus-A 开漏双向时钟
SCIA_TX	11				O	SCI-A 发送数据
ERRORSTS	13				O	低电平有效错误状态输出。如果用户希望在上电期间或在 ERRORSTS 信号本身发生故障期间将错误状态置为有效, 则可以使用外部下拉电阻。如果用户不希望在上电期间将错误状态置为有效, 则可以使用上拉电阻。
GPIO25	0, 4, 8, 12	57			I/O	通用输入/输出端口 25
OUTPUTXBAR2	1				O	X-BAR 输出端口 2
EQEP2_B	2				I	eQEP-2 输入端口 B
SPIB_SOMI	6				I/O	SPI-B 从器件输出, 主器件输入 (SOMI)
SD1_C1	7				I	SDFM-1 通道 1 时钟输入
FSITXA_D1	9				O	FSITX-A 可选附加数据输出
PMBUS_A_SDA	10				I/OD	PMBus-A 开漏双向数据
SCIA_RX	11				I	SCI-A 接收数据
GPIO26	0, 4, 8, 12	58			I/O	通用输入/输出端口 26
OUTPUTXBAR3	1, 5				O	X-BAR 输出端口 3
EQEP2_INDEX	2				I/O	eQEP-2 索引信号
SPIB_CLK	6				I/O	SPI-B 时钟
SD1_D2	7				I	SDFM-1 通道 2 数据输入
FSITXA_D0	9				O	FSITX-A 主数据输出
PMBUS_A_CTL	10				I	PMBus-A 控制信号
I2CA_SDA	11				I/OD	I2C-A 开漏双向数据
GPIO27	0, 4, 8, 12	59			I/O	通用输入/输出端口 27
OUTPUTXBAR4	1, 5				O	X-BAR 输出端口 4
EQEP2_STROBE	2				I/O	eQEP-2 选通信号
SPIB_STE	6				I/O	SPI-B 从器件发送使能 (STE)
SD1_C2	7				I	SDFM-1 通道 2 时钟输入
FSITXA_CLK	9				O	FSITX-A 输出时钟
PMBUS_A_ALERT	10				I/OD	PMBus-A 开漏双向警报信号
I2CA_SCL	11				I/OD	I2C-A 开漏双向时钟

表 4-1 引脚属性 (续)

信号名称	多路复用器位置	100 QP	64 QP	56 QN	引脚类型	说明
GPIO28	0, 4, 8, 12	1	2	3	I/O	通用输入/输出端口 28
SCIA_RX	1				I	SCI-A 接收数据
EPWM7_A	3				O	ePWM-7 输出端口 A
OUTPUTXBAR5	5				O	X-BAR 输出端口 5
EQEP1_A	6				I	eQEP-1 输入端口 A
SD1_D3	7				I	SDFM-1 通道 3 数据输入
EQEP2_STROBE	9				I/O	eQEP-2 选通信号
LINA_TX	10				O	LIN-A 发送信号
SPIB_CLK	11				I/O	SPI-B 时钟
ERRORSTS	13				O	低电平有效错误状态输出。如果用户希望在上电期间或在 ERRORSTS 信号本身发生故障期间将错误状态置为有效, 则可以使用外部下拉电阻。如果用户不希望在上述条件下将错误状态置为有效, 则可以使用上拉电阻。
GPIO29	0, 4, 8, 12	100	1	2	I/O	通用输入/输出端口 29
SCIA_TX	1				O	SCI-A 发送数据
EPWM7_B	3				O	ePWM-7 输出端口 B
OUTPUTXBAR6	5				O	X-BAR 输出端口 6
EQEP1_B	6				I	eQEP-1 输入端口 B
SD1_C3	7				I	SDFM-1 通道 3 时钟输入
EQEP2_INDEX	9				I/O	eQEP-2 索引信号
LINA_RX	10				I	LIN-A 接收信号
SPIB_STE	11				I/O	SPI-B 从器件发送使能 (STE)
ERRORSTS	13				O	低电平有效错误状态输出。如果用户希望在上电期间或在 ERRORSTS 信号本身发生故障期间将错误状态置为有效, 则可以使用外部下拉电阻。如果用户不希望在上述条件下将错误状态置为有效, 则可以使用上拉电阻。
GPIO30	0, 4, 8, 12	98			I/O	通用输入/输出端口 30
CANA_RX	1				I	CAN-A 接收
SPIB_SIMO	3				I/O	SPI-B 从器件输入, 主器件输出 (SIMO)
OUTPUTXBAR7	5				O	X-BAR 输出端口 7
EQEP1_STROBE	6				I/O	eQEP-1 选通信号
SD1_D4	7				I	SDFM-1 通道 4 数据输入
GPIO31	0, 4, 8, 12	99			I/O	通用输入/输出端口 31
CANA_TX	1				O	CAN-A 发送信号
SPIB_SOMI	3				I/O	SPI-B 从器件输出, 主器件输入 (SOMI)
OUTPUTXBAR8	5				O	X-BAR 输出信号 8
EQEP1_INDEX	6				I/O	eQEP-1 索引信号
SD1_C4	7				I	SDFM-1 通道 4 时钟输入
FSIRXA_D1	9				I	FSIRX-A 可选附加数据输入

表 4-1 引脚属性 (续)

信号名称	多路复用器位置	100 QP	64 QP	56 QN	引脚类型	说明
GPIO32	0, 4, 8, 12	64	40	37	I/O	通用输入/输出端口 32
I2CA_SDA	1				I/OD	I2C-A 开漏双向数据
SPIB_CLK	3				I/O	SPI-B 时钟
EPWM8_B	5				O	ePWM-8 输出端口 B
LINA_TX	6				O	LIN-A 发送信号
SD1_D3	7				I	SDFM-1 通道 3 数据输入
FSIRXA_D0	9				I	FSIRX-A 主数据输入
CANA_TX	10				O	CAN-A 发送信号
GPIO33	0, 4, 8, 12	53	32	29	I/O	通用输入/输出端口 33
I2CA_SCL	1				I/OD	I2C-A 开漏双向时钟
SPIB_STE	3				I/O	SPI-B 从器件发送使能 (STE)
OUTPUTXBAR4	5				O	X-BAR 输出端口 4
LINA_RX	6				I	LIN-A 接收信号
SD1_C3	7				I	SDFM-1 通道 3 时钟输入
FSIRXA_CLK	9				I	FSIRX-A 输入时钟
CANA_RX	10				I	CAN-A 接收信号
GPIO34	0, 4, 8, 12	94			I/O	通用输入/输出端口 34
OUTPUTXBAR1	1				O	X-BAR 输出端口 1
PMBUSA_SDA	6				I/O	PMBus-A 开漏双向数据
GPIO35	0, 4, 8, 12	63	39	36	I/O	通用输入/输出端口 35
SCIA_RX	1				I	SCI-A 接收数据
I2CA_SDA	3				I/OD	I2C-A 开漏双向数据
CANA_RX	5				I	CAN-A 接收信号
PMBUSA_SCL	6				I/OD	PMBus-A 开漏双向时钟
LINA_RX	7				I	LIN-A 接收信号
EQEP1_A	9				I	eQEP-1 输入端口 A
PMBUSA_CTL	10				I	PMBus-A 控制信号
TDI	15				I	JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。默认情况下, 内部上拉电阻处于禁用状态。如果将该引脚用作 JTAG TDI, 则应启用内部上拉电阻或在电路板上添加外部上拉电阻, 以避免输入悬空。

表 4-1 引脚属性 (续)

信号名称	多路复用器位置	100 QP	64 QP	56 QN	引脚类型	说明
GPIO37	0, 4, 8, 12	61	37	34	I/O	通用输入/输出端口 37
OUTPUTXBAR2	1				O	X-BAR 输出端口 2
I2CA_SCL	3				I/OD	I2C-A 开漏双向时钟
SCIA_TX	5				O	SCI-A 发送数据
CANA_TX	6				O	CAN-A 发送信号
LINA_TX	7				O	LIN-A 发送信号
EQEP1_B	9				I	eQEP-1 输入端口 B
PMBUSA_ALERT	10				I/OD	PMBus-A 开漏双向警报信号
TDO	15	91			O	JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。默认情况下, 内部上拉电阻处于禁用状态。当没有 JTAG 活动时, TDO 功能将处于高阻态, 使这个引脚悬空; 内部上拉电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输入悬空。
GPIO39	0, 4, 8, 12				I/O	通用输入/输出端口 39
CANB_RX	6				I	CAN-B 接收信号
FSIRXA_CLK	7				I	FSIRX-A 输入时钟
GPIO40	0, 4, 8, 12	85			I/O	通用输入/输出端口 40
PMBUSA_SDA	6				I/OD	PMBus-A 开漏双向数据
FSIRXA_D0	7				I	FSIRX-A 主数据输入
SCIB_TX	9				O	SCI-B 发送数据
EQEP1_A	10				I	eQEP-1 输入端口 A
GPIO41	0				I/O	通用输入/输出 41
GPIO42	0				I/O	通用输入/输出 42
GPIO43	0				I/O	通用输入/输出 43
GPIO44	0				I/O	通用输入/输出 44
GPIO45	0				I/O	通用输入/输出 45
GPIO46	0				I/O	通用输入/输出 46
GPIO47	0				I/O	通用输入/输出 47
GPIO48	0				I/O	通用输入/输出 48
GPIO49	0				I/O	通用输入/输出 49
GPIO50	0				I/O	通用输入/输出 50
GPIO51	0				I/O	通用输入/输出 51
GPIO52	0				I/O	通用输入/输出 52
GPIO53	0				I/O	通用输入/输出 53
GPIO54	0				I/O	通用输入/输出 54
GPIO55	0				I/O	通用输入/输出 55

表 4-1 引脚属性 (续)

信号名称	多路复用器位置	100 QP	64 QP	56 QN	引脚类型	说明
GPIO56	0, 4, 8, 12	65			I/O	通用输入/输出端口 56
SPIA_CLK	1				I/O	SPI-A 时钟
EQEP2_STROBE	5				I/O	eQEP-2 选通信号
SCIB_TX	6				O	SCI-B 发送数据
SD1_D3	7				I	SDFM-1 通道 3 数据输入
SPIB_SIMO	9				I/O	SPI-B 从器件输入, 主器件输出 (SIMO)
EQEP1_A	11				I	eQEP-1 输入端口 A
GPIO57	0, 4, 8, 12	66			I/O	通用输入/输出端口 57
SPIA_STE	1				I/O	SPI-A 从器件发送使能 (STE)
EQEP2_INDEX	5				I/O	eQEP-2 索引信号
SCIB_RX	6				I	SCI-B 接收数据
SD1_C3	7				I	SDFM-1 通道 3 时钟输入
SPIB_SOMI	9				I/O	SPI-B 从器件输出, 主器件输入 (SOMI)
EQEP1_B	11				I	eQEP-1 输入 B
GPIO58	0, 4, 8, 12	67			I/O	通用输入/输出端口 58
OUTPUTXBAR1	5				O	X-BAR 输出端口 1
SPIB_CLK	6				I/O	SPI-B 时钟
SD1_D4	7				I	SDFM-1 通道 4 数据输入
LINA_TX	9				O	LIN-A 发送信号
CANB_TX	10				O	CAN-B 发送信号
EQEP1_STROBE	11				I/O	eQEP-1 选通信号
GPIO59	0, 4, 8, 12	92			I/O	通用输入/输出端口 59
OUTPUTXBAR2	5				O	X-BAR 输出端口 2
SPIB_STE	6				I/O	SPI-B 从器件发送使能 (STE)
SD1_C4	7				I	SDFM-1 通道 4 时钟输入
LINA_RX	9				I	LIN-A 接收信号
CANB_RX	10				I	CAN-B 接收信号
EQEP1_INDEX	11				I/O	eQEP-1 索引信号
FLT1		49			I/O	测试引脚 1。预留, 必须保持未连接状态。
FLT2		48			I/O	测试引脚 2。预留, 必须保持未连接状态。
TCK		60	36	33	I	带有内部上拉电阻的 JTAG 测试时钟。
TMS		62	38	35	I/O	带有内部上拉电阻的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿输入到 TAP 控制器中。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻 (推荐 2.2kΩ) 以将 TMS 引脚连接至 VDDIO, 从而在正常运行期间将 JTAG 保持在复位状态。
VREGENZ		73	46		I	具有内部下拉电阻的内部稳压器使能。直接连接到 VSS (低电平) 以启用内部 VREG。直接连接到 VDDIO (高电平) 以使用外部电源。

表 4-1 引脚属性 (续)

信号名称	多路复用器位置	100 QP	64 QP	56 QN	引脚类型	说明
X1		69	42	39	I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。不支持 GPIO19。GPIO19 在内部连接至 X1 功能，因此 GPIO19 应该保持在输入模式，并禁用上拉电阻以避免与 X1 时钟功能发生干扰。
XRSn		2	3	4	I/OD	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。应在 XRSn 和 VDDIO 之间放置一个阻值为 2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。这个引脚的输出缓冲器是一个有内部上拉电阻的开漏。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。
电源和接地						
VDD		4、46、71、87	4、27、44、59	5、24、41、53		1.1V 数字逻辑电源引脚。建议在每个 VDD 引脚附近放置一个最小总电容值约为 20μF 的去耦电容器。当不使用内部稳压器时，去耦电容的确切值应由用户的系统电压调节方案来确定。
VDDA		11、34	22	20		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2μF 且连接至 VSSA 的去耦电容器。
VDDIO		3、47、70、88	28、43、60	25、40、54		3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 0.1μF 的去耦电容器。
VDDIO_SW		80	53	48		内部 DC-DC 稳压器的 3.3V 电源引脚。如果使用内部直流/直流稳压器，则应在该引脚上放置一个 20μF 的大容量输入电容。务必将该引脚连接至 VDDIO 引脚。如果需要，可以使用铁氧体磁珠进行隔离，但 VDDIO_SW 和 VDDIO 必须由同一电源供电。
VSS		5、45、72、86	5、26、45、58	PAD		数字接地
VSSA		12、33	21	19		模拟接地
VSS_SW		82	55	50		内部 DC-DC 稳压器接地。务必将该引脚连接至 VSS 引脚。

(1) 当 DCDCEN = 1 时，AMSEL 寄存器中的相应位为“无关位”。

4.3 信号说明

4.3.1 模拟信号

表 4-2 模拟信号

信号名称	说明	引脚类型	GPIO	100 QP	64 QP	56 QN
A0	ADC-A 输入 0	I		23	15	13
A1	ADC-A 输入 1	I		22	14	12
A2	ADC-A 输入 2	I		9	9	8
A3	ADC-A 输入 3	I		10		
A4	ADC-A 输入 4	I		36	23	21
A5	ADC-A 输入 5	I		35		
A6	ADC-A 输入 6	I		6	6	
A8	ADC-A 输入 8	I		37		
A9	ADC-A 输入 9	I		38		
A10	ADC-A 输入 10	I		40	25	23
AIO224	ADC 引脚上的数字输入 224	I		9	9	8
AIO225	ADC 引脚上的数字输入 225	I		36	23	21
AIO226	ADC 引脚上的数字输入 226	I		7	7	6
AIO227	ADC 引脚上的数字输入 227	I		39	24	22
AIO228	ADC 引脚上的数字输入 228	I		6	6	
AIO229	ADC 引脚上的数字输入 229	I		37		
AIO230	ADC 引脚上的数字输入 230	I		40	25	23
AIO231	ADC 引脚上的数字输入 231	I		23	15	13
AIO232	ADC 引脚上的数字输入 232	I		22	14	12
AIO233	ADC 引脚上的数字输入 233	I		10		
AIO234	ADC 引脚上的数字输入 234	I		35		
AIO236	ADC 引脚上的数字输入 236	I		38		
AIO237	ADC 引脚上的数字输入 237	I		19	12	10
AIO238	ADC 引脚上的数字输入 238	I		29	18	16
AIO239	ADC 引脚上的数字输入 239	I		17	11	
AIO240	ADC 引脚上的数字输入 240	I		28		
AIO241	ADC 引脚上的数字输入 241	I		41		
AIO242	ADC 引脚上的数字输入 242	I		8	8	7
AIO244	ADC 引脚上的数字输入 244	I		21	13	11
AIO245	ADC 引脚上的数字输入 245	I		31	19	17
AIO246	ADC 引脚上的数字输入 246	I		44		
B0	ADC-B 输入 0	I		41		
B1	ADC-B 输入 1	I		40	25	23
B2	ADC-B 输入 2	I		7	7	6
B3	ADC-B 输入 3	I		8	8	7
B4	ADC-B 输入 4	I		39	24	22
B6	ADC-B 输入 6	I		9	9	8
B8	ADC-B 输入 8	I		36	23	21
B15	ADC-B 输入 15	I		23	15	13

表 4-2 模拟信号 (续)

信号名称	说明	引脚类型	GPIO	100 QP	64 QP	56 QN
C0	ADC-C 输入 0	I		19	12	10
C1	ADC-C 输入 1	I		29	18	16
C2	ADC-C 输入 2	I		21	13	11
C3	ADC-C 输入 3	I		31	19	17
C4	ADC-C 输入 4	I		17	11	
C5	ADC-C 输入 5	I		28		
C6	ADC-C 输入 6	I		7	7	6
C8	ADC-C 输入 8	I		39	24	22
C10	ADC-C 输入 10	I		40	25	23
C14	ADC-C 输入 14	I		44		
C15	ADC-C 输入 15	I		23	15	13
CMP1_HN0	CMPSS-1 高比较器输入负端 0	I		10		
CMP1_HN1	CMPSS-1 高比较器输入负端 1	I		19	12	10
CMP1_HP0	CMPSS-1 高比较器输入正端 0	I		9	9	8
CMP1_HP1	CMPSS-1 高比较器输入正端 1	I		19	12	10
CMP1_HP2	CMPSS-1 高比较器输入正端 2	I		18	12	10
CMP1_HP3	CMPSS-1 高比较器输入正端 3	I		10		
CMP1_LN0	CMPSS-1 低比较器输入负端 0	I		10		
CMP1_LN1	CMPSS-1 低比较器输入负端 1	I		19	12	10
CMP1_LP0	CMPSS-1 低比较器输入正端 0	I		9	9	8
CMP1_LP1	CMPSS-1 低比较器输入正端 1	I		19	12	10
CMP1_LP2	CMPSS-1 低比较器输入正端 2	I		18	12	10
CMP1_LP3	CMPSS-1 低比较器输入正端 3	I		10		
CMP2_HN0	CMPSS-2 高比较器输入负端 0	I		35		
CMP2_HN1	CMPSS-2 高比较器输入负端 1	I		29	18	16
CMP2_HP0	CMPSS-2 高比较器输入正端 0	I		36	23	21
CMP2_HP1	CMPSS-2 高比较器输入正端 1	I		29	18	16
CMP2_HP2	CMPSS-2 高比较器输入正端 2	I		30	18	16
CMP2_HP3	CMPSS-2 高比较器输入正端 3	I		35		
CMP2_LN0	CMPSS-2 低比较器输入负端 0	I		35		
CMP2_LN1	CMPSS-2 低比较器输入负端 1	I		29	18	16
CMP2_LP0	CMPSS-2 低比较器输入正端 0	I		36	23	21
CMP2_LP1	CMPSS-2 低比较器输入正端 1	I		29	18	16
CMP2_LP2	CMPSS-2 低比较器输入正端 2	I		30	18	16
CMP2_LP3	CMPSS-2 低比较器输入正端 3	I		35		
CMP3_HN0	CMPSS-3 高比较器输入负端 0	I		8	8	7
CMP3_HN1	CMPSS-3 高比较器输入负端 1	I		21	13	11
CMP3_HP0	CMPSS-3 高比较器输入正端 0	I		7	7	6
CMP3_HP1	CMPSS-3 高比较器输入正端 1	I		21	13	11
CMP3_HP2	CMPSS-3 高比较器输入正端 2	I		20	13	11
CMP3_HP3	CMPSS-3 高比较器输入正端 3	I		8	8	7
CMP3_LN0	CMPSS-3 低比较器输入负端 0	I		8	8	7

表 4-2 模拟信号 (续)

信号名称	说明	引脚类型	GPIO	100 QP	64 QP	56 QN
CMP3_LN1	CMPSS-3 低比较器输入负端 1	I		21	13	11
CMP3_LP0	CMPSS-3 低比较器输入正端 0	I		7	7	6
CMP3_LP1	CMPSS-3 低比较器输入正端 1	I		21	13	11
CMP3_LP2	CMPSS-3 低比较器输入正端 2	I		20	13	11
CMP3_LP3	CMPSS-3 低比较器输入正端 3	I		8	8	7
CMP4_HN1	CMPSS-4 高比较器输入负端 1	I		31	19	17
CMP4_HP0	CMPSS-4 高比较器输入正端 0	I		39	24	22
CMP4_HP1	CMPSS-4 高比较器输入正端 1	I		31	19	17
CMP4_HP2	CMPSS-4 高比较器输入正端 2	I		31	19	17
CMP4_LN1	CMPSS-4 低比较器输入负端 1	I		31	19	17
CMP4_LP0	CMPSS-4 低比较器输入正端 0	I		39	24	22
CMP4_LP1	CMPSS-4 低比较器输入正端 1	I		31	19	17
CMP4_LP2	CMPSS-4 低比较器输入正端 2	I		31	19	17
CMP5_HN1	CMPSS-5 高比较器输入负端 1	I		17	11	
CMP5_HP0	CMPSS-5 高比较器输入正端 0	I		6	6	
CMP5_HP1	CMPSS-5 高比较器输入正端 1	I		17	11	
CMP5_HP2	CMPSS-5 高比较器输入正端 2	I		16	11	
CMP5_LN1	CMPSS-5 低比较器输入负端 1	I		17	11	
CMP5_LP0	CMPSS-5 低比较器输入正端 0	I		6	6	
CMP5_LP1	CMPSS-5 低比较器输入正端 1	I		17	11	
CMP5_LP2	CMPSS-5 低比较器输入正端 2	I		16	11	
CMP6_HN0	CMPSS-6 高比较器输入负端 0	I		38		
CMP6_HN1	CMPSS-6 高比较器输入负端 1	I		28		
CMP6_HP0	CMPSS-6 高比较器输入正端 0	I		37		
CMP6_HP1	CMPSS-6 高比较器输入正端 1	I		28		
CMP6_HP2	CMPSS-6 高比较器输入正端 2	I		28		
CMP6_HP3	CMPSS-6 高比较器输入正端 3	I		38		
CMP6_LN0	CMPSS-6 低比较器输入负端 0	I		38		
CMP6_LN1	CMPSS-6 低比较器输入负端 1	I		28		
CMP6_LP0	CMPSS-6 低比较器输入正端 0	I		37		
CMP6_LP1	CMPSS-6 低比较器输入正端 1	I		28		
CMP6_LP2	CMPSS-6 低比较器输入正端 2	I		28		
CMP6_LP3	CMPSS-6 低比较器输入正端 3	I		38		
CMP7_HN0	CMPSS-7 高比较器输入负端 0	I		41		
CMP7_HN1	CMPSS-7 高比较器输入负端 1	I		44		
CMP7_HP0	CMPSS-7 高比较器输入正端 0	I		40	25	23
CMP7_HP1	CMPSS-7 高比较器输入正端 1	I		44		
CMP7_HP2	CMPSS-7 高比较器输入正端 2	I		43		
CMP7_HP3	CMPSS-7 高比较器输入正端 3	I		41		
CMP7_LN0	CMPSS-7 低比较器输入负端 0	I		41		
CMP7_LN1	CMPSS-7 低比较器输入负端 1	I		44		
CMP7_LP0	CMPSS-7 低比较器输入正端 0	I		40	25	23

表 4-2 模拟信号 (续)

信号名称	说明	引脚类型	GPIO	100 QP	64 QP	56 QN
CMP7_LP1	CMPSS-7 低比较器输入正端 1	I		44		
CMP7_LP2	CMPSS-7 低比较器输入正端 2	I		43		
CMP7_LP3	CMPSS-7 低比较器输入正端 3	I		41		
DACA_OUT	缓冲 DAC-A 输出	O		23	15	13
DACB_OUT	缓冲 DAC-B 输出	O		22	14	12
PGA1_GND	PGA-1 地	I		14	10	9
PGA1_IN	PGA-1 输入	I		18	12	10
PGA1_OF	PGA-1 输出滤波器 (可选)	O		9	9	8
PGA2_GND	PGA-2 地	I		32	20	18
PGA2_IN	PGA-2 输入	I		30	18	16
PGA2_OF	PGA-2 输出滤波器 (可选)	O		36	23	21
PGA3_GND	PGA-3 地	I		15	10	9
PGA3_IN	PGA-3 输入	I		20	13	11
PGA3_OF	PGA-3 输出滤波器 (可选)	O		7	7	6
PGA4_GND	PGA-4 地	I		32	20	18
PGA4_IN	PGA-4 输入	I		31	19	17
PGA4_OF	PGA-4 输出滤波器 (可选)	O		39	24	22
PGA5_GND	PGA-5 地	I		13	10	9
PGA5_IN	PGA-5 输入	I		16	11	
PGA5_OF	PGA-5 输出滤波器 (可选)	O		6	6	
PGA6_GND	PGA-6 地	I		32	20	18
PGA6_IN	PGA-6 输入	I		28		
PGA6_OF	PGA-6 输出滤波器 (可选)	O		37		
PGA7_GND	PGA-7 地	I		42		
PGA7_IN	PGA-7 输入	I		43		
PGA7_OF	PGA-7 输出滤波器 (可选)	O		40	25	23
VDAC	片载 DAC 的可选外部基准电压。无论是用于 ADC 输入还是 DAC 基准, 此引脚上都有一个连接至 VSSA 且无法禁用的 100pF 电容器。如果将此引脚用作片载 DAC 的基准, 请在此引脚上放置一个不小于 1μF 的电容器。	I		8	8	7
VREFHIA	ADC-A 高基准电压。在外部基准模式下, 从外部将高基准电压驱动至此引脚。在内部基准模式下, 电压由器件驱动到该引脚。在任一模式下, 在此引脚上放置一个不小于 2.2μF 的电容器。此电容器应放置在 VREFHIA 和 VREFLOA 引脚之间尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。	I/O		25	16	14
VREFHIB	ADC-B 高基准电压。在外部基准模式下, 从外部将高基准电压驱动至此引脚。在内部基准模式下, 电压由器件驱动到该引脚。在任一模式下, 在此引脚上放置一个不小于 2.2μF 的电容器。此电容器应放置在 VREFHIB 和 VREFLOB 引脚之间尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。	I/O		24	16	14

表 4-2 模拟信号 (续)

信号名称	说明	引脚类型	GPIO	100 QP	64 QP	56 QN
VREFHIC	ADC-C 高基准电压。在外部基准模式下，从外部将高基准电压驱动至此引脚。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置一个不小于 2.2 μ F 的电容器。此电容器应放置在 VREFHIC 和 VREFLOC 引脚之间尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。	I/O		24	16	14
VREFLOA	ADC-A 低基准电压	I		27	17	15
VREFLOB	ADC-B 低基准电压	I		26	17	15
VREFLOC	ADC-C 低基准电压	I		26	17	15

4.3.2 数字信号

表 4-3 数字信号

信号名称	说明	引脚类型	GPIO	100 QP	64 QP	56 QN
ADCSOCAO	外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 A 输出	O	8	74	47	42
ADCSOCBO	外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 B 输出	O	10	93	63	
CANA_RX	CAN-A 接收	I	18、30、33、35、5	53、63、68、89、98	32、39、41、61	29、36、38、55
CANA_TX	CAN-A 发送	O	31、32、37、4	61、64、75、99	37、40、48	34、37、43
CANB_RX	CAN-B 接收	I	10、13、17、39、59、7	50、55、84、91、92、93	29、34、57、63	26、31、52
CANB_TX	CAN-B 发送	O	12、16、58、6、8	51、54、67、74、97	30、33、47、64	1、27、30、42
EPWM1_A	ePWM-1 输出 A	O	0	79	52	47
EPWM1_B	ePWM-1 输出 B	O	1	78	51	46
EPWM2_A	ePWM-2 输出 A	O	2	77	50	45
EPWM2_B	ePWM-2 输出 B	O	3	76	49	44
EPWM3_A	ePWM-3 输出 A	O	4	75	48	43
EPWM3_B	ePWM-3 输出 B	O	5	89	61	55
EPWM4_A	ePWM-4 输出 A	O	6	97	64	1
EPWM4_B	ePWM-4 输出 B	O	7	84	57	52
EPWM5_A	ePWM-5 输出 A	O	16、8	54、74	33、47	30、42
EPWM5_B	ePWM-5 输出 B	O	17、9	55、90	34、62	31、56
EPWM6_A	ePWM-6 输出 A	O	10、18	68、93	41、63	38
EPWM6_B	ePWM-6 输出 B	O	11	52	31	28
EPWM7_A	ePWM-7 输出 A	O	12、28	1、51	2、30	27、3
EPWM7_B	ePWM-7 输出 B	O	13、29	100、50	1、29	2、26
EPWM8_A	ePWM-8 输出 A	O	14、24	56、96	35	32
EPWM8_B	ePWM-8 输出 B	O	15、32	64、95	40	37
EQEP1_A	eQEP-1 输入 A	I	10、28、35、40、56、6	1、63、65、85、93、97	2、39、63、64	1、3、36
EQEP1_B	eQEP-1 输入 B	I	11、29、37、57、7	100、52、61、66、84	1、31、37、57	2、28、34、52

表 4-3 数字信号 (续)

信号名称	说明	引脚类型	GPIO	100 QP	64 QP	56 QN
EQEP1_INDEX	eQEP-1 索引	I/O	13、17、31、59、9	50、55、90、92、99	29、34、62	26、31、56
EQEP1_STROBE	eQEP-1 选通	I/O	12、16、22、30、58、8	51、54、67、74、83、98	30、33、47、56	27、30、42、51
EQEP2_A	eQEP-2 输入 A	I	14、18、24	56、68、96	35、41	32、38
EQEP2_B	eQEP-2 输入 B	I	15、25	57、95		
EQEP2_INDEX	eQEP-2 索引	I/O	26、29、57	100、58、66	1	2
EQEP2_STROBE	eQEP-2 选通	I/O	27、28、56	1、59、65	2	3
ERRORSTS	低电平有效错误状态输出。如果用户希望在上电期间或在 ERRORSTS 信号本身发生故障期间将错误状态置为有效，则可以使用外部下拉电阻器。如果用户不希望在上电条件下将错误状态置为有效，则可以使用上拉电阻器。	O	24、28、29	1、100、56	1、2、35	2、3、32
FSIRXA_CLK	FSIRX-A 输入时钟	I	13、33、39、4	50、53、75、91	29、32、48	26、29、43
FSIRXA_D0	FSIRX-A 主数据输入	I	12、3、32、40	51、64、76、85	30、40、49	27、37、44
FSIRXA_D1	FSIRX-A 可选附加数据输入	I	11、2、31	52、77、99	31、50	28、45
FSITXA_CLK	FSITX-A 输出时钟	O	10、27、7	59、84、93	57、63	52
FSITXA_D0	FSITX-A 主数据输出	O	26、6、9	58、90、97	62、64	1、56
FSITXA_D1	FSITX-A 可选附加数据输出	O	25、5、8	57、74、89	47、61	42、55
GPIO0	通用输入/输出 0	I/O	0	79	52	47
GPIO1	通用输入/输出 1	I/O	1	78	51	46
GPIO2	通用输入/输出 2	I/O	2	77	50	45
GPIO3	通用输入/输出 3	I/O	3	76	49	44
GPIO4	通用输入/输出 4	I/O	4	75	48	43
GPIO5	通用输入/输出 5	I/O	5	89	61	55
GPIO6	通用输入/输出 6	I/O	6	97	64	1
GPIO7	通用输入/输出 7	I/O	7	84	57	52
GPIO8	通用输入/输出 8	I/O	8	74	47	42
GPIO9	通用输入/输出 9	I/O	9	90	62	56
GPIO10	通用输入/输出 10	I/O	10	93	63	
GPIO11	通用输入/输出 11	I/O	11	52	31	28
GPIO12	通用输入/输出 12	I/O	12	51	30	27
GPIO13	通用输入/输出 13	I/O	13	50	29	26

表 4-3 数字信号 (续)

信号名称	说明	引脚类型	GPIO	100 QP	64 QP	56 QN
GPIO14	通用输入/输出 14	I/O	14	96		
GPIO15	通用输入/输出 15	I/O	15	95		
GPIO16	通用输入/输出 16	I/O	16	54	33	30
GPIO17	通用输入/输出 17	I/O	17	55	34	31
GPIO18_X2	通用输入/输出 18。仅在由 INTOSC 为时钟源且 X1 具有外部下拉电阻器 (推荐 1k Ω) 时, 该引脚及其数字多路复用选项才可使用。	I/O	18	68	41	38
GPIO20	通用输入/输出 20	I/O	20			
GPIO21	通用输入/输出 21	I/O	21			
GPIO22_VFBSW	通用输入/输出 22。默认情况下, 该引脚配置为 DC-DC 模式。如果未使用内部 DC-DC 稳压器, 则可以通过禁用 DC-DC 并将 GPAAMSEL 寄存器中的位清零, 将此引脚配置为通用输入输出 22。	I/O	22	83	56	51
GPIO23_VSW	通用输入/输出 23。默认情况下, 该引脚配置为 DC-DC 模式。如果未使用内部 DC-DC 稳压器, 则可以通过禁用 DC-DC 并将 GPAAMSEL 寄存器中的位清零, 将此引脚配置为通用输入输出 23。该引脚的内部电容约为 100pF。建议用作备用 GPIO, 或仅在不需要快速开关响应的应用中使用此引脚。	I/O	23	81	54	49
GPIO24	通用输入/输出 24	I/O	24	56	35	32
GPIO25	通用输入/输出 25	I/O	25	57		
GPIO26	通用输入/输出 26	I/O	26	58		
GPIO27	通用输入/输出 27	I/O	27	59		
GPIO28	通用输入/输出 28	I/O	28	1	2	3
GPIO29	通用输入/输出 29	I/O	29	100	1	2
GPIO30	通用输入/输出 30	I/O	30	98		
GPIO31	通用输入/输出 31	I/O	31	99		
GPIO32	通用输入/输出 32	I/O	32	64	40	37
GPIO33	通用输入/输出 33	I/O	33	53	32	29
GPIO34	通用输入/输出 34	I/O	34	94		
GPIO35	通用输入/输出 35	I/O	35	63	39	36
GPIO37	通用输入/输出 37	I/O	37	61	37	34
GPIO39	通用输入/输出 39	I/O	39	91		
GPIO40	通用输入/输出 40	I/O	40	85		
GPIO41	通用输入/输出 41	I/O	41			
GPIO42	通用输入/输出 42	I/O	42			
GPIO43	通用输入/输出 43	I/O	43			
GPIO44	通用输入/输出 44	I/O	44			
GPIO45	通用输入/输出 45	I/O	45			
GPIO46	通用输入/输出 46	I/O	46			
GPIO47	通用输入/输出 47	I/O	47			
GPIO48	通用输入/输出 48	I/O	48			
GPIO49	通用输入/输出 49	I/O	49			
GPIO50	通用输入/输出 50	I/O	50			

表 4-3 数字信号 (续)

信号名称	说明	引脚类型	GPIO	100 QP	64 QP	56 QN
GPIO51	通用输入/输出 51	I/O	51			
GPIO52	通用输入/输出 52	I/O	52			
GPIO53	通用输入/输出 53	I/O	53			
GPIO54	通用输入/输出 54	I/O	54			
GPIO55	通用输入/输出 55	I/O	55			
GPIO56	通用输入/输出 56	I/O	56	65		
GPIO57	通用输入/输出 57	I/O	57	66		
GPIO58	通用输入/输出 58	I/O	58	67		
GPIO59	通用输入/输出 59	I/O	59	92		
I2CA_SCL	I2C-A 开漏双向时钟	I/OD	1、18、 27、 33、 37、8	53、 59、 61、 68、 74、78	32、 37、 41、 47、51	29、 34、 38、 42、46
I2CA_SDA	I2C-A 开漏双向数据	I/OD	0、10、 26、 32、35	58、 63、 64、 79、93	39、 40、 52、63	36、 37、47
LINA_RX	LIN-A 接收	I	29、 33、 35、59	100、 53、 63、92	1、32、 39	2、29、 36
LINA_TX	LIN-A 发送	O	22、 28、 32、 37、58	1、61、 64、 67、83	2、37、 40、56	3、34、 37、51
OUTPUTXBAR1	输出 X-BAR 输出 1	O	2、24、 34、58	56、 67、 77、94	35、50	32、45
OUTPUTXBAR2	输出 X-BAR 输出 2	O	25、3、 37、59	57、 61、 76、92	37、49	34、44
OUTPUTXBAR3	输出 X-BAR 输出 3	O	14、 26、4、 5	58、 75、 89、96	48、61	43、55
OUTPUTXBAR4	输出 X-BAR 输出 4	O	15、 27、 33、6	53、 59、 95、97	32、64	1、29
OUTPUTXBAR5	输出 X-BAR 输出 5	O	28、7	1、84	2、57	3、52
OUTPUTXBAR6	输出 X-BAR 输出 6	O	29、9	100、 90	1、62	2、56
OUTPUTXBAR7	输出 X-BAR 输出 7	O	11、 16、30	52、 54、98	31、33	28、30
OUTPUTXBAR8	输出 X-BAR 输出 8	O	17、31	55、99	34	31
PMBUSA_ALERT	PMBus-A 开漏双向警报信号	I/OD	13、 27、37	50、 59、61	29、37	26、34
PMBUSA_CTL	PMBus-A 控制信号	I	12、 18、 26、35	51、 58、 63、68	30、 39、41	27、 36、38

表 4-3 数字信号 (续)

信号名称	说明	引脚类型	GPIO	100 QP	64 QP	56 QN
PMBUS_A_SCL	PMBus-A 开漏双向时钟	I/OD	15、 16、 24、3、 35	54、 56、 63、 76、95	33、 35、 39、49	30、 32、 36、44
PMBUS_A_SDA	PMBus-A 开漏双向数据	I/OD	14、 17、2、 25、 34、40	55、 57、 77、 85、 94、96	34、50	31、45
SCIA_RX	SCI-A 接收数据	I	17、 25、 28、3、 35、9	1、55、 57、 63、 76、90	2、34、 39、 49、62	3、31、 36、 44、56
SCIA_TX	SCI-A 发送数据	O	16、2、 24、 29、 37、8	100、 54、 56、 61、 74、77	1、33、 35、 37、 47、50	2、30、 32、 34、 42、45
SCIB_RX	SCI-B 接收数据	I	11、 13、 15、57	50、 52、 66、95	29、31	26、28
SCIB_TX	SCI-B 发送数据	O	10、 12、 14、 18、 22、 40、 56、9	51、 65、 68、 83、 85、 90、 93、96	30、 41、 56、 62、63	27、 38、 51、56
SD1_C1	SDFM-1 通道 1 时钟输入	I	17、25	55、57	34	31
SD1_C2	SDFM-1 通道 2 时钟输入	I	27	59		
SD1_C3	SDFM-1 通道 3 时钟输入	I	29、 33、57	100、 53、66	1、32	2、29
SD1_C4	SDFM-1 通道 4 时钟输入	I	31、59	92、99		
SD1_D1	SDFM-1 通道 1 数据输入	I	16、24	54、56	33、35	30、32
SD1_D2	SDFM-1 通道 2 数据输入	I	18、26	58、68	41	38
SD1_D3	SDFM-1 通道 3 数据输入	I	28、 32、56	1、64、 65	2、40	3、37
SD1_D4	SDFM-1 通道 4 数据输入	I	22、 30、58	67、 83、98	56	51
SPIA_CLK	SPI-A 时钟	I/O	18、3、 56、9	65、 68、 76、90	41、 49、62	38、 44、56
SPIA_SIMO	SPI-A 从器件输入，主器件输出 (SIMO)	I/O	16、8	54、74	33、47	30、42
SPIA_SOMI	SPI-A 从器件输出，主器件输入 (SOMI)	I/O	10、17	55、93	34、63	31
SPIA_STE	SPI-A 从器件发送使能 (STE)	I/O	11、5、 57	52、 66、89	31、61	28、55
SPIB_CLK	SPI-B 时钟	I/O	14、 22、 26、 28、 32、58	1、58、 64、 67、 83、96	2、40、 56	3、37、 51

表 4-3 数字信号 (续)

信号名称	说明	引脚类型	GPIO	100 QP	64 QP	56 QN
SPIB_SIMO	SPI-B 从器件输入，主器件输出 (SIMO)	I/O	24、30、56、7	56、65、84、98	35、57	32、52
SPIB_SOMI	SPI-B 从器件输出，主器件输入 (SOMI)	I/O	25、31、57、6	57、66、97、99	64	1
SPIB_STE	SPI-B 从器件发送使能 (STE)	I/O	15、27、29、33、59	100、53、59、92、95	1、32	2、29
SYNCOUT	外部 ePWM 同步脉冲	O	6	97	64	1
TDI	JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。默认情况下，内部上拉处于禁用状态。如果将该引脚用作 JTAG TDI，则应启用内部上拉电阻器或在电路板上添加外部上拉电阻器，以避免输入悬空。	I	35	63	39	36
TDO	JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。默认情况下，内部上拉处于禁用状态。当没有 JTAG 活动时，TDO 功能将处于高阻态，使这个引脚悬空；内部上拉电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输入悬空。	O	37	61	37	34
VFBSW	内部 DC-DC 反馈信号。如果使用内部 DC-DC，请将此引脚连接到节点，其中 L(VSW) 连接到 VDD 电源轨 (尽可能靠近器件)。	-	22	83	56	51
VSW	内部 DC-DC 稳压器的开关输出	-	23	81	54	49
X2	晶振振荡器输出	I/O	18	68	41	38
XCLKOUT	外部时钟输出	O	16、18	54、68	33、41	30、38

4.3.3 电源和接地

表 4-4 电源和接地

信号名称	说明	引脚类型	通用输入/输出 (GPIO)	100 QP	64 QP	56 QN
VDD	1.1V 数字逻辑电源引脚。建议在每个 VDD 引脚附近放置一个最小总电容值约为 20 μ F 的去耦电容器。当不使用内部稳压器时，去耦电容的确切值应由用户的系统电压调节解决方案来确定。			4、46、71、87	27、4、44、59	24、41、5、53
VDDA	3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2 μ F 且连接至 VSSA 的去耦电容器。			11、34	22	20
VDDIO	3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 0.1 μ F 的去耦电容器。			3、47、70、88	28、43、60	25、40、54
VDDIO_SW	内部 DC-DC 稳压器的 3.3V 电源引脚。如果使用内部 DC-DC 稳压器，则应在该引脚上放置一个 20 μ F 的大容量输入电容。务必将该引脚连接至 VDDIO 引脚。如果需要，可以使用铁氧体磁珠进行隔离，但 VDDIO_SW 和 VDDIO 必须由同一电源供电。			80	53	48
VSS	数字接地			45、5、72、86	26、45、5、58	PAD
VSSA	模拟接地			12、33	21	19
VSS_SW	内部 DC-DC 稳压器接地。务必将该引脚连接至 VSS 引脚。			82	55	50

4.3.4 测试、JTAG 和复位

表 4-5 测试、JTAG 和复位

信号名称	说明	引脚类型	通用输入/输出 (GPIO)	100 QP	64 QP	56 QN
FLT1	测试引脚 1。预留，必须保持未连接状态。	I/O		49		
FLT2	测试引脚 2。预留，必须保持未连接状态。	I/O		48		
TCK	带有内部上拉电阻的 JTAG 测试时钟。	I		60	36	33
TMS	带有内部上拉电阻的 JTAG 测试模式选择(TMS)。此串行控制输入在 TCK 上升沿输入到 TAP 控制器中。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻（推荐 2.2kΩ）以将 TMS 引脚连接至 VDDIO，从而在正常运行期间将 JTAG 保持在复位状态。	I/O		62	38	35
VREGENZ	具有内部下拉电阻的内部稳压器使能。直接连接到 VSS（低电平）以启用内部 VREG。直接连接到 VDDIO（高电平）以使用外部电源。	I		73	46	
X1	晶体振荡器或单端时钟输入。器件初始化软件 必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。不支持 GPIO19。GPIO19 在内部连接至 X1 功能，因此 GPIO19 应该保持在输入模式，并禁用上拉电阻以避免与 X1 时钟功能发生干扰。	I/O		69	42	39
XRSn	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。应在 XRSn 和 VDDIO 之间放置一个阻值为 2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。这个引脚的输出缓冲器是一个有内部上拉电阻的开漏。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。	I/OD		2	3	4

4.4 引脚多路复用

4.4.1 GPIO 多路复用引脚

“GPIO 多路复用引脚”表列出了 GPIO 多路复用引脚。每个 GPIO 引脚的默认模式都是 GPIO 功能，但 GPIO35 和 GPIO37 除外，这两个引脚的默认模式分别为 TDI 和 TDO。可以通过设置 GPyGMUXn.GPIOz 和 GPyMUXn.GPIOz 寄存器位来选择辅助功能。GPyGMUXn 寄存器应在 GPyMUXn 之前配置，以避免备用的多路复用器选择对 GPIO 产生瞬时脉冲。未显示的列和空白单元格是保留的 GPIO 多路复用器设置。

备注

GPIO20、GPIO21 和 GPIO41 至 GPIO55 在任何封装上都不可用。引导 ROM 在这些引脚上启用上拉电阻。详细描述请参阅第 4.5 节。

表 4-6 GPIO 多路复用引脚

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15
GPIO0	EPWM1_A				I2CA_SDA							
GPIO1	EPWM1_B				I2CA_SCL							
GPIO2	EPWM2_A			OUTPUTXB AR1	PMBUSA_S DA		SCIA_TX	FSIRXA_D1				
GPIO3	EPWM2_B	OUTPUTXB AR2		OUTPUTXB AR2	PMBUSA_S CL	SPIA_CLK	SCIA_RX	FSIRXA_D0				
GPIO4	EPWM3_A			OUTPUTXB AR3	CANA_TX			FSIRXA_CL K				
GPIO5	EPWM3_B		OUTPUTXB AR3		CANA_RX	SPIA_STE	FSITXA_D1					
GPIO6	EPWM4_A	OUTPUTXB AR4	SYNCOUT	EQEP1_A	CANB_TX	SPIB_SOMI	FSITXA_D0					
GPIO7	EPWM4_B		OUTPUTXB AR5	EQEP1_B	CANB_RX	SPIB_SIMO	FSITXA_CL K					
GPIO8	EPWM5_A	CANB_TX	ADCSOCA O	EQEP1_ST ROBE	SCIA_TX	SPIA_SIMO	I2CA_SCL	FSITXA_D1				
GPIO9	EPWM5_B	SCIB_TX	OUTPUTXB AR6	EQEP1_IND EX	SCIA_RX	SPIA_CLK		FSITXA_D0				
GPIO10	EPWM6_A	CANB_RX	ADCSOCB O	EQEP1_A	SCIB_TX	SPIA_SOMI	I2CA_SDA	FSITXA_CL K				
GPIO11	EPWM6_B	SCIB_RX	OUTPUTXB AR7	EQEP1_B	SCIB_RX	SPIA_STE	FSIRXA_D1					
GPIO12	EPWM7_A	CANB_TX		EQEP1_ST ROBE	SCIB_TX	PMBUSA_C TL	FSIRXA_D0					
GPIO13	EPWM7_B	CANB_RX		EQEP1_IND EX	SCIB_RX	PMBUSA_A LERT	FSIRXA_CL K					
GPIO14	EPWM8_A	SCIB_TX			OUTPUTXB AR3	PMBUSA_S DA	SPIB_CLK	EQEP2_A				
GPIO15	EPWM8_B	SCIB_RX			OUTPUTXB AR4	PMBUSA_S CL	SPIB_STE	EQEP2_B				
GPIO16	SPIA_SIMO	CANB_TX	OUTPUTXB AR7	EPWM5_A	SCIA_TX	SD1_D1	EQEP1_ST ROBE	PMBUSA_S CL	XCLKOUT			

表 4-6 GPIO 多路复用引脚 (续)

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15
GPIO17	SPIA_SOMI	CANB_RX	OUTPUTXB AR8	EPWM5_B	SCIA_RX	SD1_C1	EQEP1_IND EX	PMBUSA_S DA				
GPIO18_X2	SPIA_CLK	SCIB_TX	CANA_RX	EPWM6_A	I2CA_SCL	SD1_D2	EQEP2_A	PMBUSA_C TL	XCLKOUT			
GPIO20												
GPIO21												
GPIO22_VF BSW	EQEP1_ST ROBE		SCIB_TX		SPIB_CLK	SD1_D4	LINA_TX					
GPIO23_VS W												
GPIO24	OUTPUTXB AR1	EQEP2_A		EPWM8_A	SPIB_SIMO	SD1_D1		PMBUSA_S CL	SCIA_TX	ERRORSTS		
GPIO25	OUTPUTXB AR2	EQEP2_B			SPIB_SOMI	SD1_C1	FSITXA_D1	PMBUSA_S DA	SCIA_RX			
GPIO26	OUTPUTXB AR3	EQEP2_IND EX		OUTPUTXB AR3	SPIB_CLK	SD1_D2	FSITXA_D0	PMBUSA_C TL	I2CA_SDA			
GPIO27	OUTPUTXB AR4	EQEP2_ST ROBE		OUTPUTXB AR4	SPIB_STE	SD1_C2	FSITXA_CL K	PMBUSA_A LERT	I2CA_SCL			
GPIO28	SCIA_RX		EPWM7_A	OUTPUTXB AR5	EQEP1_A	SD1_D3	EQEP2_ST ROBE	LINA_TX	SPIB_CLK	ERRORSTS		
GPIO29	SCIA_TX		EPWM7_B	OUTPUTXB AR6	EQEP1_B	SD1_C3	EQEP2_IND EX	LINA_RX	SPIB_STE	ERRORSTS		
GPIO30	CANA_RX		SPIB_SIMO	OUTPUTXB AR7	EQEP1_ST ROBE	SD1_D4						
GPIO31	CANA_TX		SPIB_SOMI	OUTPUTXB AR8	EQEP1_IND EX	SD1_C4	FSIRXA_D1					
GPIO32	I2CA_SDA		SPIB_CLK	EPWM8_B	LINA_TX	SD1_D3	FSIRXA_D0	CANA_TX				
GPIO33	I2CA_SCL		SPIB_STE	OUTPUTXB AR4	LINA_RX	SD1_C3	FSIRXA_CL K	CANA_RX				
GPIO34	OUTPUTXB AR1				PMBUSA_S DA							
GPIO35	SCIA_RX		I2CA_SDA	CANA_RX	PMBUSA_S CL	LINA_RX	EQEP1_A	PMBUSA_C TL				TDI
GPIO37	OUTPUTXB AR2		I2CA_SCL	SCIA_TX	CANA_TX	LINA_TX	EQEP1_B	PMBUSA_A LERT				TDO
GPIO39					CANB_RX	FSIRXA_CL K						
GPIO40					PMBUSA_S DA	FSIRXA_D0	SCIB_TX	EQEP1_A				
GPIO41												
GPIO42												
GPIO43												

表 4-6 GPIO 多路复用引脚 (续)

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15
GPIO44												
GPIO45												
GPIO46												
GPIO47												
GPIO48												
GPIO49												
GPIO50												
GPIO51												
GPIO52												
GPIO53												
GPIO54												
GPIO55												
GPIO56	SPIA_CLK			EQEP2_ST ROBE	SCIB_TX	SD1_D3	SPIB_SIMO		EQEP1_A			
GPIO57	SPIA_STE			EQEP2_IND EX	SCIB_RX	SD1_C3	SPIB_SOMI		EQEP1_B			
GPIO58				OUTPUTXB AR1	SPIB_CLK	SD1_D4	LINA_TX	CANB_TX	EQEP1_ST ROBE			
GPIO59				OUTPUTXB AR2	SPIB_STE	SD1_C4	LINA_RX	CANB_RX	EQEP1_IND EX			

“数字信号及相应的 GPIO”表列出了每个封装内所有可用的多路复用信号以及相应的 GPIO。

表 4-7 数字信号及相应的 GPIO

信号名称	引脚类型	说明	100 QP	64 QP	56 QN
ADCSOCAO	O	外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 A 输出	GPIO8	GPIO8	GPIO8
ADCSOCBO	O	外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 B 输出	GPIO10	GPIO10	
CANA_RX	I	CAN-A 接收	GPIO5 GPIO18_X 2 GPIO30 GPIO33 GPIO35/T DI	GPIO5 GPIO18_X 2 GPIO33 GPIO35/T DI	GPIO5 GPIO18_X 2 GPIO33 GPIO35/T DI
CANA_TX	O	CAN-A 发送	GPIO4 GPIO31 GPIO32 GPIO37/T DO	GPIO4 GPIO32 GPIO37/T DO	GPIO4 GPIO32 GPIO37/T DO

表 4-7 数字信号及相应的 GPIO (续)

信号名称	引脚类型	说明	100 QP	64 QP	56 QN
CANB_RX	I	CAN-B 接收	GPIO7 GPIO10 GPIO13 GPIO17 GPIO39 GPIO59	GPIO7 GPIO10 GPIO13 GPIO17	GPIO7 GPIO13 GPIO17
CANB_TX	O	CAN-B 发送	GPIO6 GPIO8 GPIO12 GPIO16 GPIO58	GPIO6 GPIO8 GPIO12 GPIO16	GPIO6 GPIO8 GPIO12 GPIO16
EPWM1_A	O	ePWM-1 输出 A	GPIO0	GPIO0	GPIO0
EPWM1_B	O	ePWM-1 输出 B	GPIO1	GPIO1	GPIO1
EPWM2_A	O	ePWM-2 输出 A	GPIO2	GPIO2	GPIO2
EPWM2_B	O	ePWM-2 输出 B	GPIO3	GPIO3	GPIO3
EPWM3_A	O	ePWM-3 输出 A	GPIO4	GPIO4	GPIO4
EPWM3_B	O	ePWM-3 输出 B	GPIO5	GPIO5	GPIO5
EPWM4_A	O	ePWM-4 输出 A	GPIO6	GPIO6	GPIO6
EPWM4_B	O	ePWM-4 输出 B	GPIO7	GPIO7	GPIO7
EPWM5_A	O	ePWM-5 输出 A	GPIO8 GPIO16	GPIO8 GPIO16	GPIO8 GPIO16
EPWM5_B	O	ePWM-5 输出 B	GPIO9 GPIO17	GPIO9 GPIO17	GPIO9 GPIO17
EPWM6_A	O	ePWM-6 输出 A	GPIO10 GPIO18_X 2	GPIO10 GPIO18_X 2	GPIO18_X 2
EPWM6_B	O	ePWM-6 输出 B	GPIO11	GPIO11	GPIO11
EPWM7_A	O	ePWM-7 输出 A	GPIO12 GPIO28	GPIO12 GPIO28	GPIO12 GPIO28
EPWM7_B	O	ePWM-7 输出 B	GPIO13 GPIO29	GPIO13 GPIO29	GPIO13 GPIO29
EPWM8_A	O	ePWM-8 输出 A	GPIO14 GPIO24	GPIO24	GPIO24
EPWM8_B	O	ePWM-8 输出 B	GPIO15 GPIO32	GPIO32	GPIO32
EQEP1_A	I	eQEP-1 输入 A	GPIO6 GPIO10 GPIO28 GPIO35/T DI GPIO40 GPIO56	GPIO6 GPIO10 GPIO28 GPIO35/T DI	GPIO6 GPIO28 GPIO35/T DI

表 4-7 数字信号及相应的 GPIO (续)

信号名称	引脚类型	说明	100 QP	64 QP	56 QN
EQEP1_B	I	eQEP-1 输入 B	GPIO7 GPIO11 GPIO29 GPIO37/T DO GPIO57	GPIO7 GPIO11 GPIO29 GPIO37/T DO	GPIO7 GPIO11 GPIO29 GPIO37/T DO
EQEP1_INDEX	I/O	eQEP-1 索引	GPIO9 GPIO13 GPIO17 GPIO31 GPIO59	GPIO9 GPIO13 GPIO17	GPIO9 GPIO13 GPIO17
EQEP1_STROBE	I/O	eQEP-1 选通	GPIO8 GPIO12 GPIO16 GPIO22_V FBSW GPIO30 GPIO58	GPIO8 GPIO12 GPIO16 GPIO22_V FBSW	GPIO8 GPIO12 GPIO16 GPIO22_V FBSW
EQEP2_A	I	eQEP-2 输入 A	GPIO14 GPIO18_X 2 GPIO24	GPIO18_X 2 GPIO24	GPIO18_X 2 GPIO24
EQEP2_B	I	eQEP-2 输入 B	GPIO15 GPIO25		
EQEP2_INDEX	I/O	eQEP-2 索引	GPIO26 GPIO29 GPIO57	GPIO29	GPIO29
EQEP2_STROBE	I/O	eQEP-2 选通	GPIO27 GPIO28 GPIO56	GPIO28	GPIO28
ERRORSTS	O	低电平有效错误状态输出。如果用户希望在上电期间或在 ERRORSTS 信号本身发生故障期间将错误状态置为有效, 则可以使用外部下拉电阻。如果用户不希望在上述条件下将错误状态置为有效, 则可以使用上拉电阻。	GPIO24 GPIO28 GPIO29	GPIO24 GPIO28 GPIO29	GPIO24 GPIO28 GPIO29
FSIRXA_CLK	I	FSIRX-A 输入时钟	GPIO4 GPIO13 GPIO33 GPIO39	GPIO4 GPIO13 GPIO33	GPIO4 GPIO13 GPIO33
FSIRXA_D0	I	FSIRX-A 主数据输入	GPIO3 GPIO12 GPIO32 GPIO40	GPIO3 GPIO12 GPIO32	GPIO3 GPIO12 GPIO32
FSIRXA_D1	I	FSIRX-A 可选附加数据输入	GPIO2 GPIO11 GPIO31	GPIO2 GPIO11	GPIO2 GPIO11

表 4-7 数字信号及相应的 GPIO (续)

信号名称	引脚类型	说明	100 QP	64 QP	56 QN
FSITXA_CLK	O	FSITX-A 输出时钟	GPIO7 GPIO10 GPIO27	GPIO7 GPIO10	GPIO7
FSITXA_D0	O	FSITX-A 主数据输出	GPIO6 GPIO9 GPIO26	GPIO6 GPIO9	GPIO6 GPIO9
FSITXA_D1	O	FSITX-A 可选附加数据输出	GPIO5 GPIO8 GPIO25	GPIO5 GPIO8	GPIO5 GPIO8
I2CA_SCL	I/OD	I2C-A 开漏双向时钟	GPIO1 GPIO8 GPIO18_X 2 GPIO27 GPIO33 GPIO37/T DO	GPIO1 GPIO8 GPIO18_X 2 GPIO33 GPIO37/T DO	GPIO1 GPIO8 GPIO18_X 2 GPIO33 GPIO37/T DO
I2CA_SDA	I/OD	I2C-A 开漏双向数据	GPIO0 GPIO10 GPIO26 GPIO32 GPIO35/T DI	GPIO0 GPIO10 GPIO32 GPIO35/T DI	GPIO0 GPIO32 GPIO35/T DI
LINA_RX	I	LIN-A 接收	GPIO29 GPIO33 GPIO35/T DI GPIO59	GPIO29 GPIO33 GPIO35/T DI	GPIO29 GPIO33 GPIO35/T DI
LINA_TX	O	LIN-A 发送	GPIO22_V FBSW GPIO28 GPIO32 GPIO37/T DO GPIO58	GPIO22_V FBSW GPIO28 GPIO32 GPIO37/T DO	GPIO22_V FBSW GPIO28 GPIO32 GPIO37/T DO
OUTPUTXBAR1	O	输出 X-BAR 输出 1	GPIO2 GPIO24 GPIO34 GPIO58	GPIO2 GPIO24	GPIO2 GPIO24
OUTPUTXBAR2	O	输出 X-BAR 输出 2	GPIO3 GPIO25 GPIO37/T DO GPIO59	GPIO3 GPIO37/T DO	GPIO3 GPIO37/T DO
OUTPUTXBAR3	O	输出 X-BAR 输出 3	GPIO4 GPIO5 GPIO14 GPIO26	GPIO4 GPIO5	GPIO4 GPIO5

表 4-7 数字信号及相应的 GPIO (续)

信号名称	引脚类型	说明	100 QP	64 QP	56 QN
OUTPUTXBAR4	O	输出 X-BAR 输出 4	GPIO6 GPIO15 GPIO27 GPIO33	GPIO6 GPIO33	GPIO6 GPIO33
OUTPUTXBAR5	O	输出 X-BAR 输出 5	GPIO7 GPIO28	GPIO7 GPIO28	GPIO7 GPIO28
OUTPUTXBAR6	O	输出 X-BAR 输出 6	GPIO9 GPIO29	GPIO9 GPIO29	GPIO9 GPIO29
OUTPUTXBAR7	O	输出 X-BAR 输出 7	GPIO11 GPIO16 GPIO30	GPIO11 GPIO16	GPIO11 GPIO16
OUTPUTXBAR8	O	输出 X-BAR 输出 8	GPIO17 GPIO31	GPIO17	GPIO17
PMBUSA_ALERT	I/OD	PMBus-A 开漏双向警报信号	GPIO13 GPIO27 GPIO37/T DO	GPIO13 GPIO37/T DO	GPIO13 GPIO37/T DO
PMBUSA_CTL	I	PMBus-A 控制信号	GPIO12 GPIO18_X 2 GPIO26 GPIO35/T DI	GPIO12 GPIO18_X 2 GPIO35/T DI	GPIO12 GPIO18_X 2 GPIO35/T DI
PMBUSA_SCL	I/OD	PMBus-A 开漏双向时钟	GPIO3 GPIO15 GPIO16 GPIO24 GPIO35/T DI	GPIO3 GPIO16 GPIO24 GPIO35/T DI	GPIO3 GPIO16 GPIO24 GPIO35/T DI
PMBUSA_SDA	I/OD	PMBus-A 开漏双向数据	GPIO2 GPIO14 GPIO17 GPIO25 GPIO34 GPIO40	GPIO2 GPIO17	GPIO2 GPIO17
SCIA_RX	I	SCI-A 接收数据	GPIO3 GPIO9 GPIO17 GPIO25 GPIO28 GPIO35/T DI	GPIO3 GPIO9 GPIO17 GPIO28 GPIO35/T DI	GPIO3 GPIO9 GPIO17 GPIO28 GPIO35/T DI
SCIA_TX	O	SCI-A 发送数据	GPIO2 GPIO8 GPIO16 GPIO24 GPIO29 GPIO37/T DO	GPIO2 GPIO8 GPIO16 GPIO24 GPIO29 GPIO37/T DO	GPIO2 GPIO8 GPIO16 GPIO24 GPIO29 GPIO37/T DO

表 4-7 数字信号及相应的 GPIO (续)

信号名称	引脚类型	说明	100 QP	64 QP	56 QN
SCIB_RX	I	SCI-B 接收数据	GPIO11 GPIO13 GPIO15 GPIO57	GPIO11 GPIO13	GPIO11 GPIO13
SCIB_TX	O	SCI-B 发送数据	GPIO9 GPIO10 GPIO12 GPIO14 GPIO18_X 2 GPIO22_V FBSW GPIO40 GPIO56	GPIO9 GPIO10 GPIO12 GPIO18_X 2 GPIO22_V FBSW	GPIO9 GPIO12 GPIO18_X 2 GPIO22_V FBSW
SD1_C1	I	SDFM-1 通道 1 时钟输入	GPIO17 GPIO25	GPIO17	GPIO17
SD1_C2	I	SDFM-1 通道 2 时钟输入	GPIO27		
SD1_C3	I	SDFM-1 通道 3 时钟输入	GPIO29 GPIO33 GPIO57	GPIO29 GPIO33	GPIO29 GPIO33
SD1_C4	I	SDFM-1 通道 4 时钟输入	GPIO31 GPIO59		
SD1_D1	I	SDFM-1 通道 1 数据输入	GPIO16 GPIO24	GPIO16 GPIO24	GPIO16 GPIO24
SD1_D2	I	SDFM-1 通道 2 数据输入	GPIO18_X 2 GPIO26	GPIO18_X 2	GPIO18_X 2
SD1_D3	I	SDFM-1 通道 3 数据输入	GPIO28 GPIO32 GPIO56	GPIO28 GPIO32	GPIO28 GPIO32
SD1_D4	I	SDFM-1 通道 4 数据输入	GPIO22_V FBSW GPIO30 GPIO58	GPIO22_V FBSW	GPIO22_V FBSW
SPIA_CLK	I/O	SPI-A 时钟	GPIO3 GPIO9 GPIO18_X 2 GPIO56	GPIO3 GPIO9 GPIO18_X 2	GPIO3 GPIO9 GPIO18_X 2
SPIA_SIMO	I/O	SPI-A 从器件输入, 主器件输出 (SIMO)	GPIO8 GPIO16	GPIO8 GPIO16	GPIO8 GPIO16
SPIA_SOMI	I/O	SPI-A 从器件输出, 主器件输入 (SOMI)	GPIO10 GPIO17	GPIO10 GPIO17	GPIO17
SPIA_STE	I/O	SPI-A 从器件发送使能 (STE)	GPIO5 GPIO11 GPIO57	GPIO5 GPIO11	GPIO5 GPIO11

表 4-7 数字信号及相应的 GPIO (续)

信号名称	引脚类型	说明	100 QP	64 QP	56 QN
SPIB_CLK	I/O	SPI-B 时钟	GPIO14 GPIO22_V FBSW GPIO26 GPIO28 GPIO32 GPIO58	GPIO22_V FBSW GPIO28 GPIO32	GPIO22_V FBSW GPIO28 GPIO32
SPIB_SIMO	I/O	SPI-B 从器件输入，主器件输出 (SIMO)	GPIO7 GPIO24 GPIO30 GPIO56	GPIO7 GPIO24	GPIO7 GPIO24
SPIB_SOMI	I/O	SPI-B 从器件输出，主器件输入 (SOMI)	GPIO6 GPIO25 GPIO31 GPIO57	GPIO6	GPIO6
SPIB_STE	I/O	SPI-B 从器件发送使能 (STE)	GPIO15 GPIO27 GPIO29 GPIO33 GPIO59	GPIO29 GPIO33	GPIO29 GPIO33
SYNCOUT	O	外部 ePWM 同步脉冲	GPIO6	GPIO6	GPIO6
TDI	I	JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。如果将该引脚用作 JTAG TDI，则应启用内部上拉电阻或在电路板上添加外部上拉电阻，以避免输入悬空。	GPIO35/T DI	GPIO35/T DI	GPIO35/T DI
TDO	O	JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。当没有 JTAG 活动时，TDO 功能将处于高阻状态，使该引脚悬空；内部上拉电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输入悬空。	GPIO37/T DO	GPIO37/T DO	GPIO37/T DO
VFBSW	-	内部 DC-DC 稳压器反馈信号。如果使用内部 DC-DC 稳压器，请将此引脚连接到节点，其中 L(VSW) 连接到 VDD 电源轨（尽可能靠近器件）。	GPIO22_V FBSW	GPIO22_V FBSW	GPIO22_V FBSW
VSW	-	内部 DC-DC 稳压器的开关输出。	GPIO23_V SW	GPIO23_V SW	GPIO23_V SW
X2	I/O	晶振振荡器输出	GPIO18_X 2	GPIO18_X 2	GPIO18_X 2
XCLKOUT	O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频信号。	GPIO16 GPIO18_X 2	GPIO16 GPIO18_X 2	GPIO16 GPIO18_X 2

4.4.2 ADC 引脚上的数字输入 (AIO)

端口 H 上的 GPIO (GPIO224-GPIO255) 与模拟引脚复用，可称其为 AIO。这些引脚只能在输入模式下工作。默认情况下，这些引脚将用作模拟引脚，且 GPIO 处于高阻抗状态。GPHAMSEL 寄存器用于配置这些引脚的数字或模拟操作。

备注

如果将具有尖锐边沿（高 dv/dt ）的数字信号连接到 AIO，则相邻的模拟信号可能会发生串扰。因此，如果相邻通道用于模拟功能，用户应限制连接到 AIO 的信号边沿速率。

4.4.3 GPIO 输入 X-BAR

输入 X-BAR 用于将信号从 GPIO 路由到许多不同的 IP 块，例如 ADC、eCAP、ePWM 和外部中断（请参阅图 4-5）。表 4-8 列出了输入 X-BAR 目标。有关配置输入 X-BAR 的详细信息，请参阅《AVP32F0049 技术参考手册》中的“交叉矩阵(X-BAR)”一章。

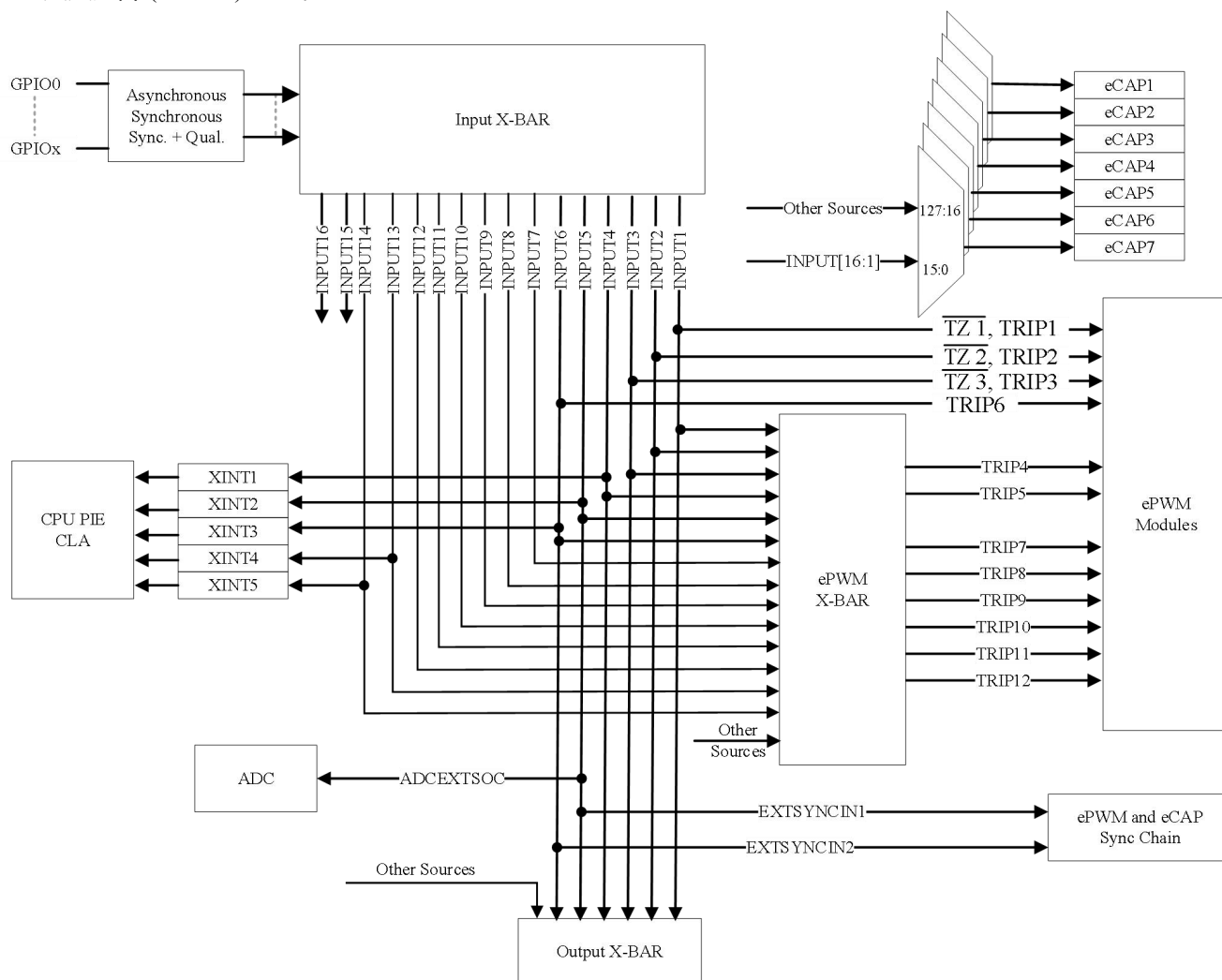


图 4-5 输入 X-BAR

表 4-8 输入 X-BAR 目标

输入	目标
INPUT 1	eCAPx、ePWM X-BAR、ePWM[TZ1,TRIP1]、输出 X-BAR
INPUT 2	eCAPx、ePWM X-BAR、ePWM[TZ2,TRIP2]、输出 X-BAR
INPUT 3	eCAPx、ePWM X-BAR、ePWM[TZ3,TRIP3]、输出 X-BAR
INPUT 4	eCAPx、ePWM X-BAR、XINT1、输出 X-BAR
INPUT 5	eCAPx、ePWM X-BAR、XINT2、ADCEXTSOC、EXTSYNCIN1、输出 X-BAR
INPUT 6	eCAPx、ePWM X-BAR、XINT3、ePWM[TRIP6]、EXTSYNCIN2、输出 X-BAR
INPUT 7	eCAPx、ePWM X-BAR
INPUT 8	eCAPx、ePWM X-BAR
INPUT 9	eCAPx、ePWM X-BAR
INPUT 10	eCAPx、ePWM X-BAR
INPUT 11	eCAPx、ePWM X-BAR
INPUT 12	eCAPx、ePWM X-BAR
INPUT 13	eCAPx、ePWM X-BAR、XINT4
INPUT 14	eCAPx、ePWM X-BAR、XINT5
INPUT15	eCAPx
INPUT16	eCAPx

4.4.4 GPIO 输出 X-BAR 和 ePWM X-BAR

输出 X-BAR 具有八条路径到 GPIO 模块的输出。ePWM X-BAR 具有八条路径到每个 ePWM 模块的输出。图 4-6 所示为输出 X-BAR 和 ePWM X-BAR 的源。有关输出 X-BAR 和 ePWM X-BAR 的详细信息，请参阅《AVP32F0049 技术参考手册》的“交叉矩阵(X-BAR)”一章。

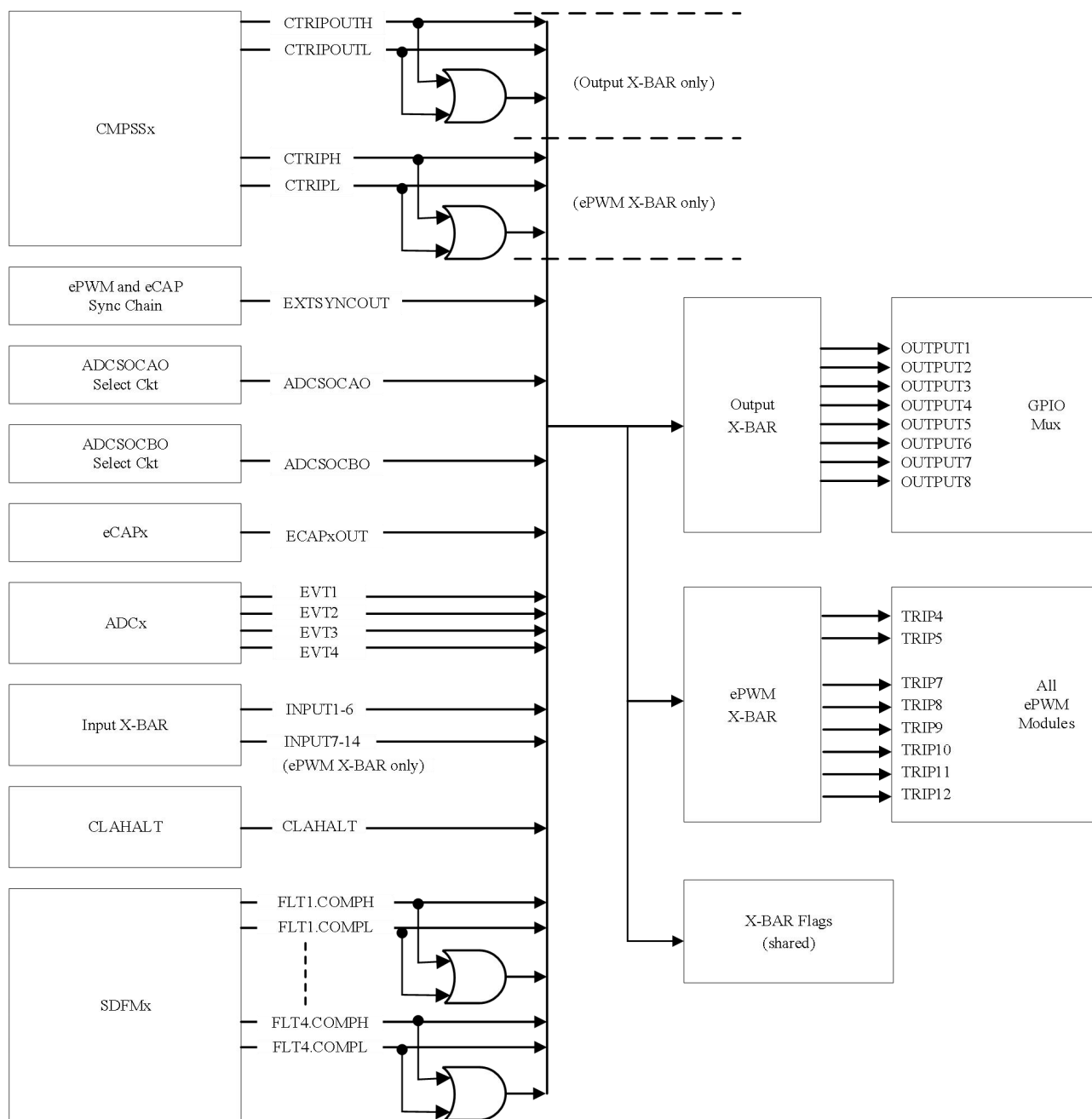


图 4-6 输出 X-BAR 和 ePWM X-BAR 源

4.5 带有内部上拉和下拉的引脚

器件上的某些引脚具有内部上拉或下拉。表 4-9 列出了拉动方向及其有效时间。默认情况下，GPIO 引脚的上拉被禁用，可以通过软件启用。为了避免任何悬空未绑定端口的输入，引导 ROM 将在特定封装中对未绑定的 GPIO 引脚启用内部上拉。表 4-9 中提到的带有上拉和下拉的其他引脚处于常开状态且无法禁用。

表 4-9 带有内部上拉和下拉的引脚

引脚	复位 (XRSn = 0)	器件引导	应用
GPIOx (包括 AIO)	禁用上拉	禁用上拉 ⁽¹⁾	应用定义
GPIO35/TDI	禁用上拉		应用定义
GPIO37/TDO	禁用上拉		应用定义
TCK	上拉有效		
TMS	上拉有效		
VREGENZ	下拉有效		
XRSn	上拉有效		
其他引脚	不存在上拉或下拉		

(1) 给定封装中未绑定的引脚将由引导 ROM 启用内部上拉。

4.6 未使用引脚的连接

对于无需使用器件所有功能的应用，表 4-10 列出了未使用引脚的可接受操作。当表 4-10 中列出了多个操作选项时，任何选项都可接受。表 4-10 中未列出的引脚必须按照第 4 章所述进行连接。

表 4-10 未使用引脚的连接

信号名称	可接受的操作
模拟	
带有 DACx_OUT 的模拟输入引脚	- 无连接 - 通过 4.7kΩ 或更大的电阻连接到 VSSA
带 PGAx_OUTF 的模拟输入引脚	- 无连接 - 通过 4.7kΩ 或更大的电阻连接到 VSSA
模拟输入引脚 (DACx_OUT 和 PGAx_OUTF 除外)	- 无连接 - 连接到 VSSA - 通过电阻器连接到 VSSA
PGAx_GND	连接至 VSSA
VREFHlx	连接至 VDDA (仅在应用中未使用 ADC 或 DAC 时适用)
VREFLOx	连接至 VSSA
数字	
FLT1 (测试引脚 1)	- 无连接 - 通过 4.7kΩ 或更大的电阻连接到 VSS
FLT2 (测试引脚 2)	- 无连接 - 通过 4.7kΩ 或更大的电阻连接到 VSS
GPIOx	- 无连接 (启用内部上拉的输入模式) - 无连接 (禁用内部上拉的输出模式) - 上拉或下拉电阻器 (任意值电阻器，输入模式，禁用内部上拉电阻)
GPIO35/TDI	选择 TDI 多路复用器选项 (默认) 时，GPIO 处于输入模式。 - 启用内部上拉电阻 - 外部上拉电阻
GPIO37/TDO	当选中 TDO 复用选项时 (默认)，GPIO 仅在 JTAG 活动期间处于输出模式；否则，GPIO 将处于高阻态。必须对该引脚进行偏置，以避免在输入缓冲器上产生额外电流。 - 启用内部上拉电阻 - 外部上拉电阻
TCK	- 无连接 - 上拉电阻器
TMS	上拉电阻器
VREGENZ	如果未使用内部稳压器，则连接到 VDDIO
X1	连接到 VSS
X2	无连接
电源和接地	
VDD	所有 VDD 引脚必须按照第 4.3 节所述进行连接。
VDDA	如果未使用专用模拟电源，则连接到 VDDIO。
VDDIO	所有 VDDIO 引脚必须按照第 4.3 节所述进行连接。
VDDIO_SW	始终连接到 VDDIO。

表 4-10 未使用引脚的连接 (续)

信号名称	可接受的操作
VSS	所有 VSS 引脚必须连接到电路板接地。
VSS_SW	始终连接到 VSS。
VSSA	如果未使用模拟地，则连接到 VSS。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内（除非另有说明）⁽¹⁾⁽²⁾

		最小值	最大值	单位
电源电压	VDDIO 以 VSS 为基准	-0.3	4.6	V
	VDDA 以 VSSA 为基准	-0.3	4.6	
	VDD 以 VSS 为基准	-0.3	1.35	
VDDIO 和 VDDIO_SW 引脚之间的电压差			±0.3	V
输入电压	V_{IN} (3.3V)	-0.3	4.6	V
输出电压	V_O	-0.3	4.6	V
输入钳位电流 ⁽⁴⁾	数字输入（每引脚）， I_{IK} ($V_{IN} < VSS$ 或 $V_{IN} > VDDIO$)	-20	20	mA
	模拟输入（每引脚）， $I_{IKANALOG}$ ($V_{IN} < VSSA$ 或 $V_{IN} > VDDA$)	-20	20	
	所有输入的总计， $I_{IKTOTAL}$ ($V_{IN} < VSS/VSSA$ 或 $V_{IN} > VDDIO/VDDA$)	-20	20	
输出电流	数字输出（每引脚）， I_{OUT}	-20	20	mA
环境温度	T_A	-40	125	°C
结温	T_J	-40	150	°C
贮存温度 ⁽³⁾	T_{stg}	-65	150	°C

- (1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些仅为应力额定值，并不表明器件在这些额定值下或者任何其他超过第 5.3 节所述条件下可正常工作。长时间处于最大绝对额定情况下会影响设备的可靠性。
- (2) 除非另有说明，否则所有电压值均以 VSS 为基准。
- (3) 长期高温贮存或在最高温度条件下超期使用可能会导致器件总体使用寿命缩短。
- (4) 每个引脚的连续钳位电流为±2mA。请勿在此条件下连续工作，因为 V_{DDIO}/V_{DDA} 电压可能会在内部上升并影响其他电气规格。

5.2 ESD 等级

			值	单位
100 引脚 QP 封装 (S 温度范围)				
V _(ESD) 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾		±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	所有引脚	±500	
		100 引脚 QP 上的转角引脚： 1、25、26、50、51、75、76、100	±750	
64 引脚 QP 封装 (S 温度范围)				
V _(ESD) 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾		±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	所有引脚	±500	
		64 引脚 QP 上的转角引脚： 1、16、17、32、33、48、49、64	±750	
56 引脚 QN 封装 (S 温度范围)				
V _(ESD) 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾		±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002 ⁽²⁾		±500	

- (1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

		最小值	典型值	最大值	单位
器件电源电压, VDDIO 和 VDDA	启用内部 BOR ⁽³⁾	$V_{BOR-VDDIO(MAX)} + V_{BOR-GB}^{(2)}$	3.3	3.63	V
	禁用内部 BOR	2.8	3.3	3.63	
器件电源电压, VDD		1.04	1.1	1.21	V
器件接地, VSS			0		V
模拟接地, VSSA			0		V
SR _{SUPPLY}	电源斜坡速率 ⁽⁴⁾				
t _{VDDIO-RAMP}	VDDIO 电源斜坡时间 (从 1V 到 V _{BOR-VDDIO(MAX)})			10	ms
V _{BOR-GB}	VDDIO BOR 保护频带 ⁽⁵⁾		0.1		V
环境温度, T _A	S 版本 ⁽¹⁾	-40		125	°C
	Q 版本 ⁽¹⁾	-40		125	°C

- (1) 在 T_J = 105°C 以上的温度下长时间运行将缩短器件的使用寿命。
- (2) VDDIO BOR 电压 (V_{BOR-VDDIO(MAX)}) (请参阅“电气特性”章节) 决定了运行器件的电压下限。建议系统设计人员在预算中设置额外的保护频带 (V_{BOR-GB}), 如图 5-1 所示。
- (3) 默认情况下会启用内部 BOR。
- (4) 请参阅电源管理模块运行条件表。
- (5) 建议使用 V_{BOR-GB}, 避免由于正常电源噪声或 3.3V VDDIO 系统稳压器上的负载瞬态事件而导致 BOR 复位。良好的系统稳压器设计和去耦电容 (符合系统稳压器规格) 对于防止在器件正常运行期间激活 BOR 非常重要。V_{BOR-GB} 的值是一个系统级设计注意事项; 此处列出的电压是许多应用的典型值。

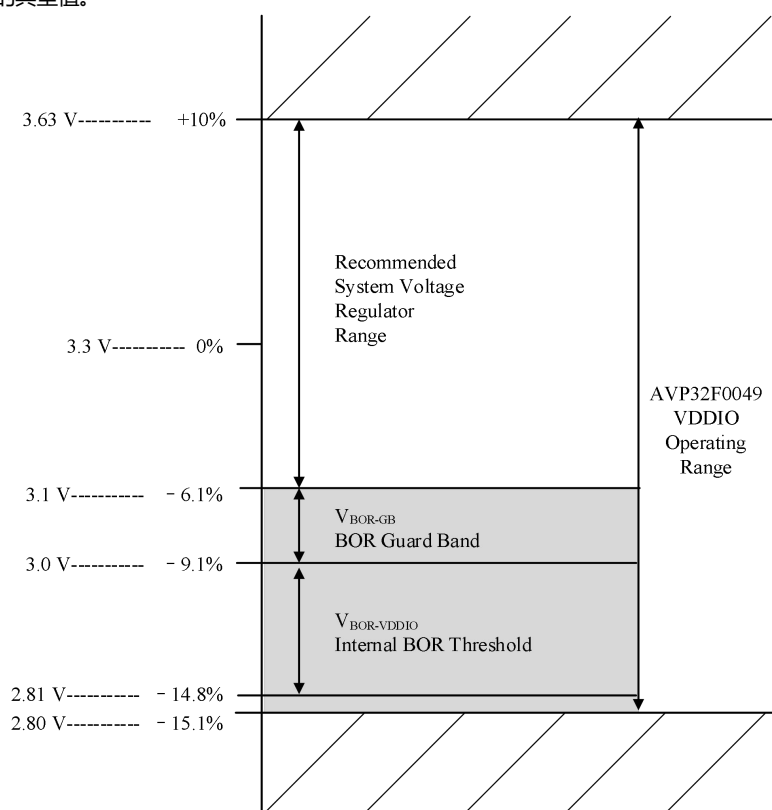


图 5-1 电源电压

5.4 流耗

本小节中列出的电流值仅代表给定的测试条件下的值，而不是可能的绝对最大值。应用中的实际器件电流将随应用代码和引脚配置的不同而变化。第 5.4.1 节列出了使用外部电源时的系统电流消耗值。第 5.4.2 节列出了使用内部 VREG 时的系统电流消耗值。第 5.4.3 节列出了使用 DC-DC 稳压器时的系统电流消耗值。请参阅第 5.4.4 节，了解在工作模式下测量电流消耗值时运行的测试用例的详细说明。

5.4.1 系统流耗（外部电源）

在自然通风条件下的工作温度范围内测得（除非另有说明）。

典型值：V_{nom}，30°C

参数		测试条件	最小值	典型值	最大值	单位
工作模式						
I _{DD}	运行期间的 VDD 流耗 ⁽¹⁾	请参阅第 5.4.4 节。		51	74	mA
I _{DDIO}	运行期间的 VDDIO 流耗			87	103	mA
I _{DDA}	运行期间的 VDDA 流耗			28	33	mA
IDLE 模式						
I _{DD}	器件处于 IDLE 模式时的 VDD 流耗 ⁽¹⁾	- CPU 处于 IDLE 模式。 - 闪存断电。 - XCLKOUT 关闭。		18.4	38	mA
I _{DDIO}	器件处于 IDLE 模式时的 VDDIO 流耗			3.6	11	mA
I _{DDA}	器件处于 IDLE 模式时的 VDDA 流耗			0.36	0.9	mA
HALT 模式						
I _{DD}	器件处于 HALT 模式时的 VDD 流耗 ⁽¹⁾	- CPU 处于 HALT 模式。 - 闪存断电。 - XCLKOUT 关闭。		0.61	17.5	mA
I _{DDIO}	器件处于 HALT 模式时的 VDDIO 流耗			1.9	10.3	mA
I _{DDA}	器件处于 HALT 模式时的 VDDA 流耗			0.42	0.82	mA
闪存擦除/编程						
I _{DD}	擦除/编程周期期间的 VDD 流耗 ⁽¹⁾⁽²⁾	- CPU 从闪存运行，对未使用的扇区执行擦除和编程。 - 禁用 VREG。 - SYSCLK 以 120MHz 运行。 - I/O 是启用了上拉电阻的输入。 - 外设时钟关闭。		25.4	32	mA
I _{DDIO}	擦除/编程周期期间的 VDDIO 流耗 ⁽²⁾			8	10	mA
I _{DDA}	擦除/编程周期期间的 VDDA 流耗			0.36	0.84	mA

- (1) IDD 最大值是在 VDD 处于最大建议工作条件下报告的值。对于内部 VREG 和 DC-DC 稳压器表，该 VDD 电源将处于稳定的 VDD 典型值电压。因此，与内部 VREG 和 DC-DC 稳压器表相比，此外部电源表中报告的电流值将更高。
- (2) 闪存编程期间的欠压事件可能会损坏闪存数据并永久锁定器件。使用备用电源（例如 USB 编程器）的编程环境必须能够为器件和其他系统组件提供额定电流，并留有足够的裕度以避免电源欠压情况。

5.4.2 系统流耗（内部 VREG）

在自然通风条件下的工作温度范围内测得（除非另有说明）。

典型值：V_{nom}，30°C

参数		测试条件	最小值	典型值	最大值	单位
工作模式						
I _{DDIO}	运行期间的 VDDIO 流耗	请参阅第 5.4.4 节。		140	170	mA
I _{DDA}	运行期间的 VDDA 流耗			28	32	mA
IDLE 模式						
I _{DDIO}	器件处于 IDLE 模式时的 VDDIO 流耗	• CPU 处于 IDLE 模式 • 闪存断电。 • XCLKOUT 关闭。		22.7	43.6	mA
I _{DDA}	器件处于 IDLE 模式时的 VDDA 流耗			0.4	0.9	mA
HALT 模式						
I _{DDIO}	器件处于 HALT 模式时的 VDDIO 流耗	• CPU 处于 HALT 模式 • 闪存断电。 • XCLKOUT 关闭。		2.8	23.2	mA
I _{DDA}	器件处于 HALT 模式时的 VDDA 流耗			0.42	0.78	mA
闪存擦除/编程						
I _{DDIO}	擦除/编程周期期间的 VDDIO 流耗 ⁽¹⁾	• CPU 从闪存运行，对未使用的扇区执行擦除和编程。 • 启用内部 VREG。 • SYSCCLK 以 120MHz 运行。 • I/O 是启用了上拉电阻的输入。 • 外设时钟关闭。		33	38	mA
I _{DDA}	擦除/编程周期期间的 VDDA 流耗			0.35	0.83	mA

(1) 闪存编程期间的欠压事件可能会损坏闪存数据并永久锁定器件。使用备用电源（例如 USB 编程器）的编程环境必须能够为器件和其他系统组件提供额定电流，并留有足够的裕度以避免电源欠压情况。

5.4.3 系统流耗 (DC-DC 稳压器)

在自然通风条件下的工作温度范围内测得（除非另有说明）。

典型值：V_{nom}，30°C

参数		测试条件	最小值	典型值	最大值	单位
工作模式						
I _{DDIO}	运行期间的 VDDIO 电流消耗	请参阅第 5.4.4 节。		111	134	mA
I _{DDA}	运行期间的 VDDA 电流消耗			28.4	31.9	mA
IDLE 模式						
I _{DDIO}	器件处于 IDLE 模式时的 VDDIO 流耗	• CPU 处于 IDLE 模式 • 闪存断电。 • XCLKOUT 关闭。		14.2	27.8	mA
I _{DDA}	器件处于 IDLE 模式时的 VDDA 流耗			0.41	0.76	mA
HALT 模式						
I _{DDIO}	器件处于 HALT 模式时的 VDDIO 流耗	• CPU 处于 HALT 模式 • 闪存断电。 • XCLKOUT 关闭。		5.5	19.2	mA
I _{DDA}	器件处于 HALT 模式时的 VDDA 流耗			0.36	0.71	mA
闪存擦除/编程						
I _{DDIO}	擦除/编程周期期间的 VDDIO 流耗 ⁽¹⁾	• CPU 从闪存运行，对未使用的扇区执行擦除和编程。 • 启用 DC-DC 稳压器。 • SYSCLK 以 120MHz 运行。 • I/O 是启用了上拉电阻的输入。 • 外设时钟关闭。		20.4	24.4	mA
I _{DDA}	擦除/编程周期期间的 VDDA 流耗			0.36	0.8	mA

(1) 闪存编程期间的欠压事件可能会损坏闪存数据并永久锁定器件。使用备用电源（例如 USB 编程器）的编程环境必须能够为器件和其他系统组件提供额定电流，并留有足够的裕度以避免电源欠压情况。

5.4.4 工作模式测试说明

第 5.4.1 节、第 5.4.2 节和第 5.4.3 节列出了器件工作模式下的流耗值。工作模式下将估算应用可能遇到的流耗。为实现所示值，运行的测试用例将在循环中执行以下操作。以下列表中未列出的外设已禁用其时钟。

- 从 RAM 执行代码。
- 闪存被读取，并保持激活状态。
- I/O 引脚不驱动任何外部元件。
- 使用以下所有通信外设：SPI-A 至 SPI-C；SCI-A 至 SCI-C；I2C-A；CAN-A 至 CAN-C；LIN-A；PMBus-A；以及 FSI-A。
- ePWM-1 至 ePWM-3 在 6 个引脚上生成 5MHz 输出。
- EPWM-4 至 EPWM-7 处于 HRPWM 模式，并在 6 个引脚上生成 25MHz 输出。
- CPU 定时器激活。
- CPU 进行 FIR16 计算。
- DMA 进行连续 32 位传输。
- CLA-1 在后台任务中执行一个 1024 点 DFT。
- 所有 ADC 执行连续转换。
- 所有 DAC 都以约为 11kHz 的环路频率改变电压。
- 启用所有 PGA。
- 所有 CMPSS 都会生成频率为 100kHz 的方波。
- 启用 SDFM 外设时钟。
- eCAP-1 至 eCAP-7 处于 APWM 模式，切换频率为 250kHz。
- 启用所有 eQEP 看门狗并执行计数。
- 启用系统看门狗并执行计数。

5.4.5 流耗图

图 5-2、图 5-3 和图 5-4 所示为器件频率与电流消耗之间的典型关系。第 5.4.1 节中的工作测试是在 V_{NOM} 和室温下的整个频率范围内运行的。实际结果将因系统实现情况和具体条件而异。

VDD 内核电源上的漏电流将以指数方式随工作温度的升高而增加，如图 5-5 所示。HALT 模式下的电流消耗主要是漏电流，因为内部振荡器已断电时，就不会有有源开关。

图 5-5 所示为温度范围内的典型漏电流。在典型电压条件下，该器件被置于 HALT 模式。

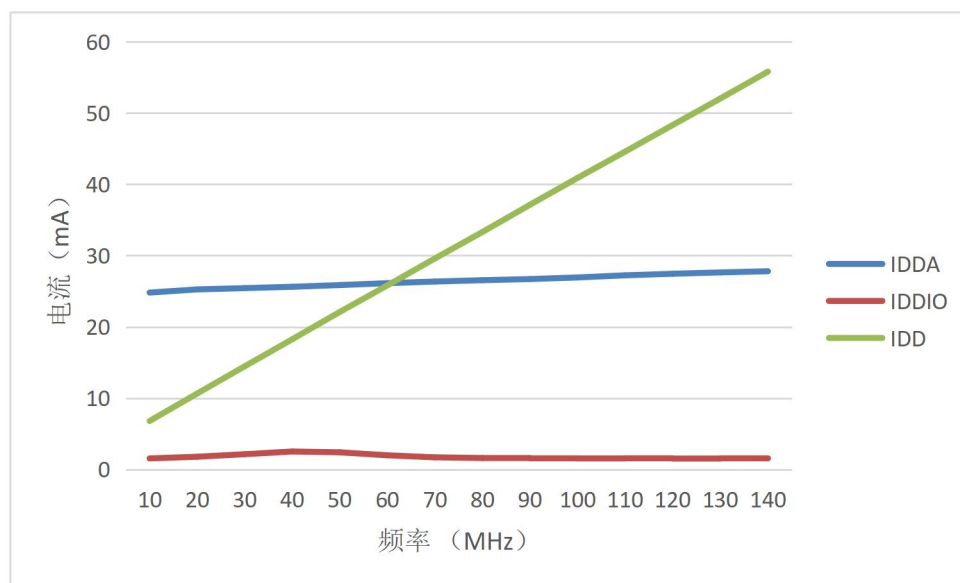


图 5-2 电流与频率间的关系-外部电源

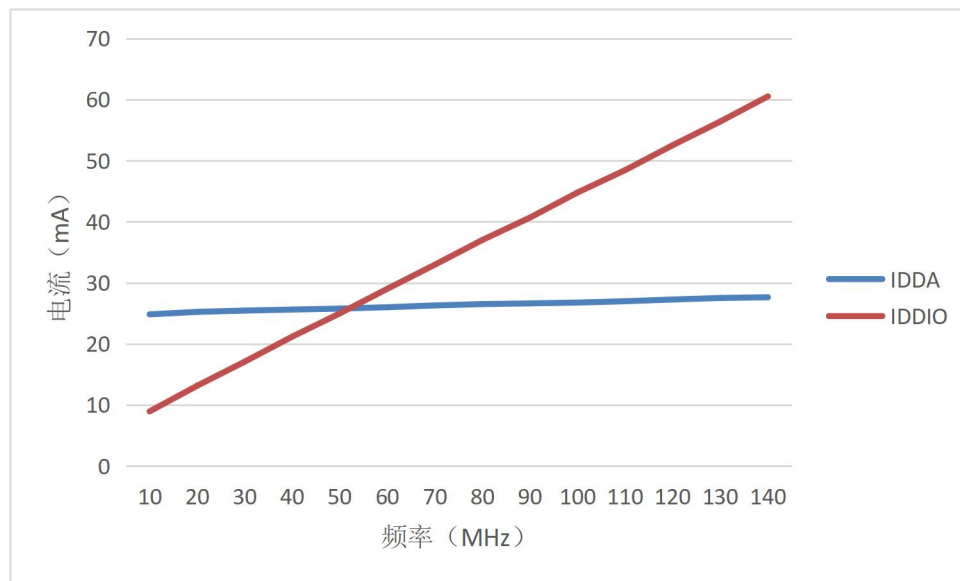


图 5-3 电流与频率间的关系-内部 VREG

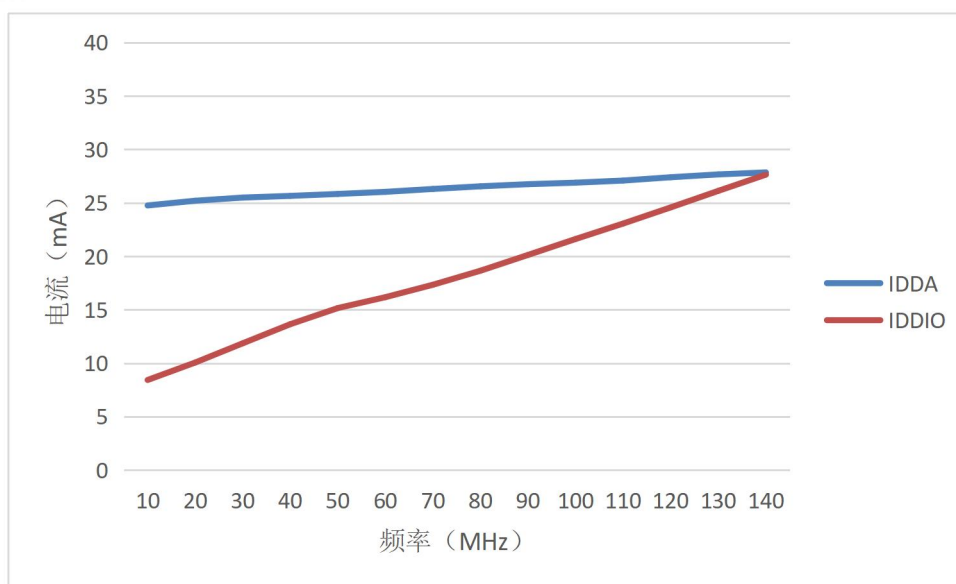


图 5-4 电流与频率间的关系-DCDC

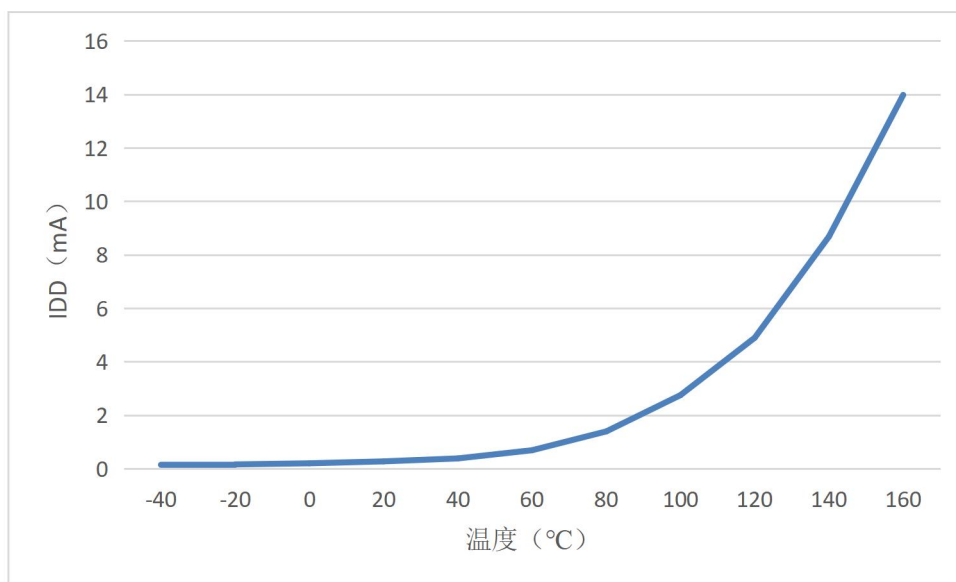


图 5-5 HALT 电流与温度间的关系 (°C)

5.4.6 降低流耗

AVP32F0049 提供了一些降低器件流耗的方法：

- 为进一步降低应用中空闲期间的电流消耗，可以进入 IDLE 和 HALT 这两种低功耗模式中的任何一种模式。
- 如果代码从 RAM 中运行，闪存模块可能会断电。
- 禁用假定具有输出功能的引脚上的上拉电阻。
- 每个外设都有一个单独的时钟使能位 (PCLKCRx)。通过关闭给定应用中未使用的任何外设的时钟，可以降低流耗。第 5.4.6.1 节列出了 120MHz SYSCLK 时每个外设的典型电流消耗值。
- 为了在 LPM 模式下实现更低的 VDDA 电流消耗，请参阅《AVP32F0049 技术参考手册》中相应的模拟章节，以确保每个模块都断电。

5.4.6.1 通过禁用单个外设所实现的 I_{DD} 流耗降低的典型值 (SYSCLK 为 120MHz 时)

外设 ⁽¹⁾	I _{DD} 流耗降低值 (mA)
ADC ⁽²⁾	0.8
CAN	1.4
CLA	2.7
CLB	1.2
CMPSS ⁽²⁾	0.4
CPU 定时器	0.1
DAC ⁽²⁾	0.3
DMA	0.9
eCAP1 至 eCAP5	0.1
eCAP6 至 eCAP7 ⁽³⁾	0.6
ePWM	0.8
eQEP	0.4
FSI	0.3
HRPWM	1
I2C	0.2
LIN	0.7
PGA ⁽²⁾	0.1
PMBUS	0.6
SCI	0.3
SDFM	1
SPI	0.2
DCC	0.1
120MHz 时的 PLL	18

- (1) 复位时，所有外设均禁用。使用 PCLKCRx 寄存器以单独启用外设。对于具有多个实例的外设，每个实例化模块的电流如上表所示。
- (2) 此电流代表了每个模块的数字部分吸收的电流。
- (3) eCAP6 和 eCAP7 也可以配置为 HRCAP。

5.5 电气特性

在建议运行条件下测得（除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
数字和模拟 IO							
V _{OH}	高电平输出电压		I _{OH} = I _{OH} 最小值	2.47			V
			I _{OH} = -100μA	2.79			
V _{OL}	低电平输出电压		I _{OL} = I _{OL} 最大值			0.28	V
			I _{OL} = 100μA			0.01	
I _{OH}	所有输出引脚的高电平输出拉电流			-12			mA
I _{OL}	所有输出引脚的低电平输出灌电流					6.65	mA
R _{OH}	所有输出引脚的高电平输出阻抗				70 ⁽³⁾		Ω
R _{OL}	所有输出引脚的低电平输出阻抗				70 ⁽³⁾		Ω
V _{IH}	高电平输入电压 (3.3V)			2 ⁽³⁾		VDDIO+0.3 ⁽³⁾	V
V _{IL}	低电平输入电压 (3.3V)			VSS-0.3 ⁽³⁾		0.8 ⁽³⁾	V
V _{HYSTERESIS}	输入迟滞				165		mV
I _{PULLDOWN}	输入电流	带下拉的输入 ⁽¹⁾	VDDIO = 3.3V V _{IN} = VDDIO		100 ⁽³⁾		μA
I _{PULLUP}	输入电流	启用上拉的数字输入 ⁽¹⁾	VDDIO = 3.3V V _{IN} = 0V		160		μA
		启用上拉的模拟输入 ⁽¹⁾	VDDA = 3.3V V _{IN} = 0V		160		
I _{LEAK}	引脚漏电流	除 GPIO23_VSW 外的所有 GPIO	禁用上拉和输出 0V ≤ V _{IN} ≤ VDDIO			48.65	μA
		GPIO23_VSW				6.27	
		模拟引脚 (ADCINB3/VDAC 和 PGAx_OF 除外)	禁用模拟驱动器 0V ≤ V _{IN} ≤ VDDA			65	
		ADCINB3/VDAC			0.13	1	
		PGAx_OF				34.55	
C _I	输入电容	除 GPIO23_VSW 外的所有数字 GPIO			2 ⁽³⁾		pF
		GPIO23_VSW			100 ⁽³⁾		
		模拟引脚 ⁽²⁾					
VREG、DC-DC 和 BOR							
V _{POR-VDDIO}	VDDIO 上电复位电压				2.3		V
V _{BOR-VDDIO}	VDDIO 欠压复位电压			2.8		3	V
V _{VREG}	内部稳压器输出		内部 VREG 打开		1.1		V
V _{DC-DC}	内部开关稳压器输出		内部 DC-DC 打开		1.1		V
效率	内部 DC-DC 开关稳压器的电源效率			80%			

(1) 有关具有上拉或下拉功能的引脚列表，请参阅表 4-9。

(2) 模拟引脚是单独指定的；请参阅表 5-17。

(3) 标注所示为设计指标。

5.6 热阻特征

5.6.1 散热模型 100 引脚 QP 结果

参数	0lfm	150lfm	250lfm	500lfm
θ_{JA} [°C/W] 高 k PCB	TBD ⁽¹⁾	TBD	TBD	TBD
Ψ_{JT} [°C/W]	TBD	TBD	TBD	TBD
Ψ_{JB}	TBD	TBD	TBD	TBD
θ_{JC}	TBD	TBD	TBD	TBD
θ_{JB}	TBD	TBD	TBD	TBD

(1) TBD = To be defined

5.6.2 散热模型 64 引脚 QP 结果

参数	0lfm	150lfm	250lfm	500lfm
θ_{JA} [°C/W] 高 k PCB	TBD	TBD	TBD	TBD
Ψ_{JT} [°C/W]	TBD	TBD	TBD	TBD
Ψ_{JB}	TBD	TBD	TBD	TBD
θ_{JC}	TBD	TBD	TBD	TBD
θ_{JB}	TBD	TBD	TBD	TBD

5.6.3 散热模型 56 引脚 QN 结果

参数	0lfm	150lfm	250lfm	500lfm
θ_{JA} [°C/W] 高 k PCB	TBD	TBD	TBD	TBD
Ψ_{JT} [°C/W]	TBD	TBD	TBD	TBD
Ψ_{JB}	TBD	TBD	TBD	TBD
θ_{JC}	TBD	TBD	TBD	TBD
θ_{JB}	TBD	TBD	TBD	TBD

5.7 散热设计注意事项

根据最终应用设计和运行情况， I_{DD} 和 I_{DDIO} 电流可能有所不同。最终产品中超过建议最大功率耗散的系统可能需要额外的散热增强措施。环境温度 (T_A) 随最终应用和产品设计的不同而异。影响可靠性和功能性的关键参数是结温 T_J ，而不是环境温度。因此，应该注意将 T_J 保持在指定限值内。应该测量 T_{case} 以评估工作结温 T_J 。通常在封装顶部表面的中心测量 T_{case} 。

5.8 系统

5.8.1 电源管理模块 (PMM)

5.8.1.1 引言

电源管理模块 (PMM) 负责处理器件运行所需的所有电源管理功能。

5.8.1.2 概述

如图 5-6 所示, PMM 包含多个子组件, 这些子组件将在后续章节中进行介绍。

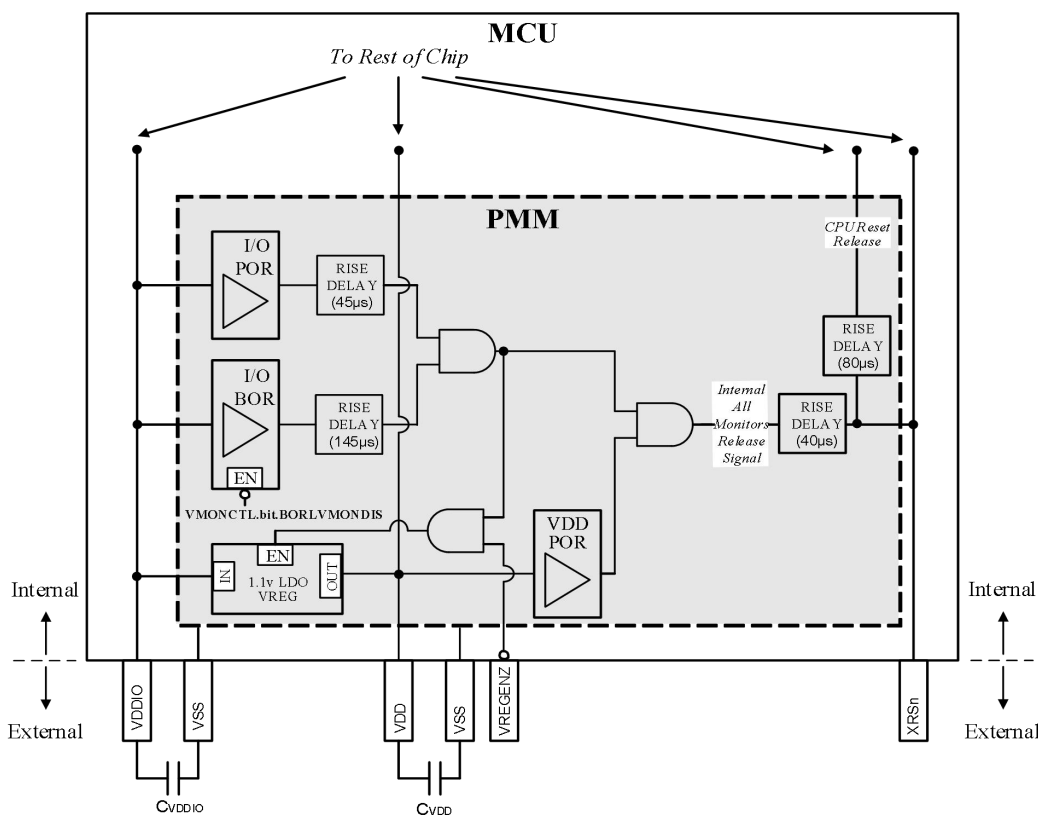


图 5-6 PMM 框图

5.8.1.2.1 电源轨监测器

PMM 在电源轨上有电压监测器, 一旦电压在上电期间超过设定的阈值, XRSn 信号便会释放为高电平。如果任一电压降至编程的电平以下, 这些电压监测器还可以使 XRSn 信号跳闸为低电平。后续各节将介绍各个电压监测器。

备注

启动后, 并非所有电压监测器都支持在应用中运行器件。在不支持电压监测器的情况下, 如果器件在应用运行过程中需要监测电源电压, 则建议使用外部监测器。

三个电压监测器 (I/O POR、I/O BOR、VDD POR) 都必须在器件开始运行 (即 XRSn 变为高电平) 之前释放各自的输出。但是, 如果任一电压监测器跳闸, XRSn 将被驱动为低电平, I/O 将保持高阻抗。

5.8.1.2.1.1 I/O POR (上电复位) 监测器

I/O POR 监测器会监控 VDDIO 电源轨。在上电期间，这是第一个在 VDDIO 上释放的监测器（即第一个要解除跳闸的监测器）。

5.8.1.2.1.2 I/O BOR (欠压复位) 监测器

I/O BOR 监测器还会监控 VDDIO 电源轨。在上电期间，这是第二个在 VDDIO 上释放的监测器（即第二个要解除跳闸的监测器）。与 I/O POR 相比，该监测器具有更严格的容差。

只要电压降至低于建议工作电压，都会导致 I/O BOR 跳闸并复位器件，但可以通过将 VMONCTL.bit.BORLVMONDIS 设置为 1 来禁用该功能。只有在器件完全启动后，才能禁用 I/O BOR。如果禁用 I/O BOR，I/O POR 将在电压下降时复位器件。

备注

I/O POR 跳闸的电平远低于 VDDIO 的最小建议电压，因此不应用于监控器件。

图 5-7 所示为 I/O BOR 的工作区域。

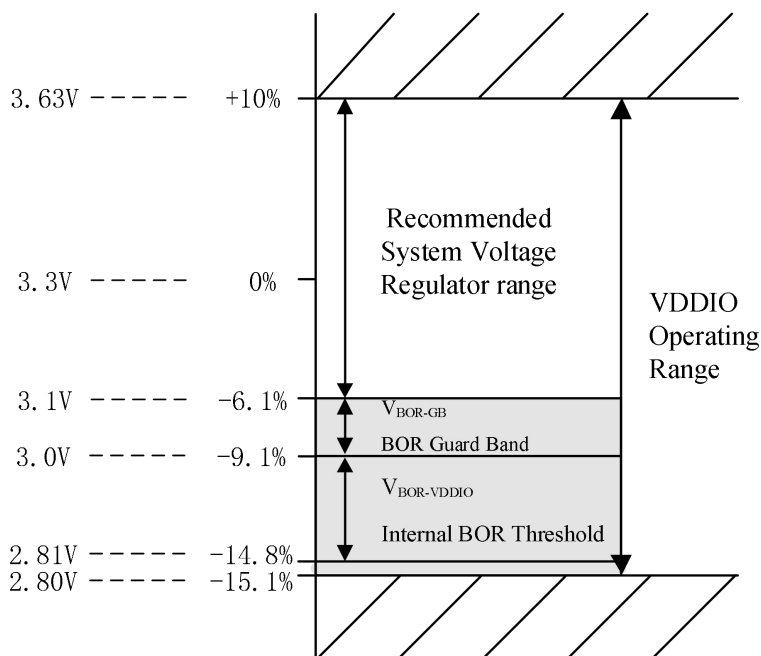


图 5-7 I/O BOR 工作区域

5.8.1.2.1.3 VDD POR (上电复位) 监测器

VDD POR 监测器可监控 VDD 电源轨。在上电期间，一旦电压超过 VDD 上编程的跳闸电平，该监测器就会释放（即解除跳闸）。

备注

VDD POR 被编程为低于 VDD 最小建议电压。因此，如果应用中需要 VDD 监控，不应该依赖 VDD POR 来进行此监控。

5.8.1.2.2 外部监测器使用情况

VDDIO 监控：I/O BOR 支持应用使用，因此无需外部监测器来监控 I/O 电源轨。

VDD 监控：VDD POR 不支持应用使用。如果应用需要 VDD 监控，则应使用外部监测器来监控 VDD 电源轨。

备注

不支持将外部监测器与内部 VREG 一起使用。如果应用需要 VDD 监控，则必须使用具有 VREGENZ 引脚的封装从外部为 VDD 供电。

5.8.1.2.3 延迟块

电压监测器路径中的延迟块协同工作，以延迟电压监测器和 XRSn 之间的释放时间。当 XRSn 在外部 VREG 模式下释放时，这些延迟可确保电压稳定。延迟块仅在上电期间（即，当 VDDIO 和 VDD 斜升时）有效。

延迟块有助于实现“电源管理模块电气数据和时序”章节中所指定的电源轨最小压摆率。

备注

框图中指定的延迟数字为典型值。

5.8.1.2.4 内部 1.1V LDO 稳压器 (VREG)

内部 VREG 由 VDDIO 电源轨供电，并可以生成为 VDD 引脚供电所需的 1.1V 电压。启用它的方法是将 VREGENZ 引脚连接至低电平。虽然有了内部 VREG 后便不再需要为 VDD 使用外部电源，但 VDD 引脚上仍需要去耦电容器以确保 VREG 稳定性和避免瞬变。详细信息，请参阅“VDD 去耦”一节。

5.8.1.2.5 VREGENZ

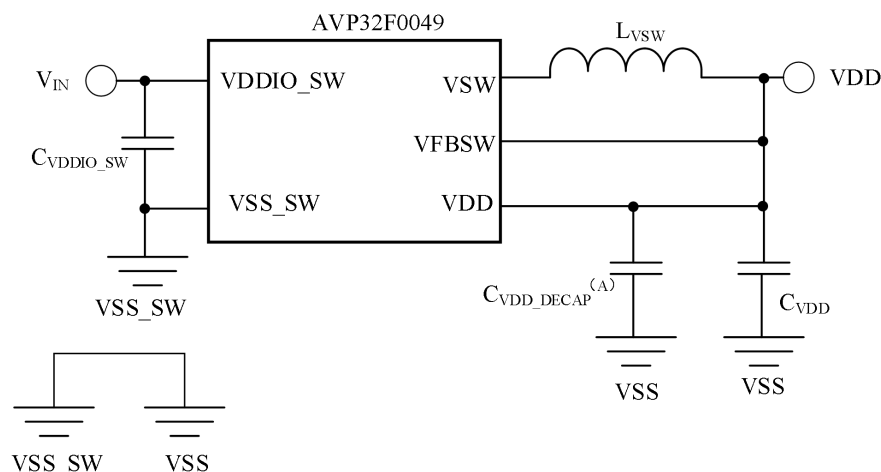
VREGENZ（VREG 禁用）引脚可控制内部 VREG 的状态。要启用内部 VREG，VREGENZ 引脚应连接至低电平。对于从外部为 VDD 供电（外部 VREG）的应用，应通过将 VREGENZ 引脚连接至高电平来禁用内部 VREG。

备注

并非所有器件封装都具有 VREGENZ 引脚输出。对于没有 VREGENZ 的封装，不支持外部 VREG 模式。

5.8.1.2.6 内部 1.1V 开关稳压器 (DC-DC)

内部 DC-DC 稳压器在将 3.3V 转换为 1.1V 时可提供比 LDO 更高的效率。内部 DC-DC 稳压器由 VDDIO_SW 引脚供电，并生成为 VDD 引脚供电所需的 1.1V 电压。要使用内部开关稳压器，内核域必须首先使用内部 LDO VREG 电源上电（将 VREGENZ 引脚绑定为低电平并连接至 VSS），然后通过应用软件设置 DCDCCTL 寄存器中的 DCDCEN 位以转换到 DC-DC 稳压器。由于 VREGENZ 控制 DC-DC 和 LDO，因此在转换后必须保持低电平。将 VREGENZ 绑定为高电平将禁用 DC-DC 和 LDO。DC-DC 稳压器还需要外部元件（电感器、输入电容和输出电容）。内部 DC-DC 稳压器的输出不会在内部馈送到 VDD 电源轨，需要外部连接。图 5-8 所示为原理图实现情况。



A. 四个 VDD 引脚各自都有一个去耦电容器

图 5-8 DC-DC 电路原理图

VDDIO_SW 电源引脚 (V_{IN}) 需要 3.3V 电平电压。VDDIO_SW 上需要总共 $20\mu\text{F}$ 的输入电容 (C_{VDDIO_SW})。由于表 5-2 中详细说明的电容器规格要求，建议在配置中使用两个并联的 $10\mu\text{F}$ 电容器。另外，还应在每个 VDD 引脚上放置 100nF 的去耦电容器，使其尽可能靠近器件。

表 5-1 DC-DC 电感器 (L_{VSW}) 规格要求

值和变化范围	饱和时的值	DCR	额定电流	饱和电流	温度
$2.2\mu\text{H} \pm 20\%$	$1.54\mu\text{H} \pm 20\%$	$80\text{m}\Omega \pm 25\%$	$>1000\text{mA}$	$>600\text{mA}$	-40°C 至 125°C

表 5-2 DC-DC 电容器 (C_{VDDIO_SW} 和 C_{VDD}) 规格要求

0V 时的值和变化范围	1.1V 时的值	125°C 时的值	ESR	额定电压	温度
$10\mu\text{F} \pm 20\%$	$10\mu\text{F} \pm 20\%$	$8\mu\text{F} \pm 20\%$	$<10\text{m}\Omega$	4 V 或 6.3 V	-40°C 至 125°C

表 5-3 DC-DC 电路元件值

元件	最小值	典型值	最大值	单位	注意事项
电感器	1.76	2.2	2.64	μH	20% 差异
输入电容	8	10	12	μF	20% 差异，并联两个此类电容器
输出电容器	8	10	12	μF	20% 差异，并联两个此类电容器

5.8.1.2.6.1 PCB 布局和元件指南

为了获得最佳性能，应用电路板布局布线和元件选择至关重要。下面列出了关于 DC-DC 电路布局的简要指南：

- 建议将 VDDIO_SW 和 VDDIO 星型连接至相同的 3.3V 电源。
- 所有外部元件应尽可能靠近引脚放置。
- 由 VDDIO_SW、输入电容器 (C_{VDDIO_SW}) 和 VSS_SW 形成的环路必须尽可能短。
- 反馈引线必须尽可能短，并且远离开关输出 (VSW) 等任何噪声源。
- 对于输入电容器 (C_{VDDIO_SW}) 和 VSS_SW，需要在接地平面中实施隔离岛或切口。
- 建议使用 VDD 平面将 VDD 节点连接到 L_{VSW} - C_{VDD} 点，以最大程度地减小寄生电阻和电感。

5.8.1.3 外部元件

5.8.1.3.1 去耦电容器

VDDIO 和 VDD 需要去耦电容器才能正常运行，后续章节将概述这些要求。

5.8.1.3.1.1 VDDIO 去耦

应在 VDDIO 上放置最小的去耦电容值。请参阅 C_{VDDIO} 参数（位于“电源管理模块电气数据和时序”一节）。实际使用的去耦电容值取决于驱动 VDDIO 的电源。可接受以下任一配置：

- **配置 1**：根据 C_{VDDIO} 参数在每个 VDDIO 引脚上放置一个去耦电容器。
- **配置 2**：安装等效于 $C_{VDDIO} * VDDIO$ 引脚的单个去耦电容器。

备注

将去耦电容器（一个或多个）靠近器件引脚放置至关重要。

5.8.1.3.1.2 VDD 去耦

应在 VDD 上放置最小的去耦电容值。请参阅 C_{VDD} TOTAL 参数（位于“电源管理模块电气数据和时序”一节）。可接受以下任一配置：

- **配置 1**：对 VDD 引脚上的 C_{VDD} TOTAL 值执行除法运算。
- **配置 2**：安装一个容值为 C_{VDD} TOTAL 的去耦电容器。

备注

将去耦电容器（一个或多个）靠近器件引脚放置至关重要。

5.8.1.4 电源时序

5.8.1.4.1 电源引脚联动

强烈建议将所有 3.3V 电源轨连接在一起并由单个电源供电。该列表包括：

- VDDIO
- VDDA

此外，任何电源引脚都不应悬空。

在内部 VREG 模式下，将 VDD 引脚连接在一起是可选操作，只要每个 VDD 引脚上都有一个电容器即可。请参阅“VDD 去耦”章节，了解 VDD 去耦配置。

器件上的模拟模块具有相当高的 PSRR；因此，在大多数情况下，VDDA 上的噪声必须超过电源轨的建议工作条件之后，模拟模块才会出现性能下降。因此，单独为 VDDA 供电带来的好处通常微乎其微。然而，为了改善噪声，一种可接受的做法是在 VDDIO 和 VDDA 之间放置一个 π 型滤波器。

备注

每个电源轨的所有电源引脚在内部连接在一起。例如，所有 VDDIO 引脚在内部连接在一起，所有 VDD 引脚在内部连接在一起，以此类推。

5.8.1.4.2 信号引脚电源时序

在为器件供电之前，不得对任何数字引脚施加比 VDDIO 高 0.3V 以上的电压或比 VSS 低 0.3V 以上的电压，也不得对任何模拟引脚（包括 VREFHI）施加比 VDDA 高 0.3V 以上的电压或比 VSSA 低 0.3V 以上的电压。简而言之，只应在 XRSn 变为高电平后驱动信号引脚，且前提是所有 3.3V 电源轨连接在一起。即使 VDDIO 和 VDDA 未连接在一起，仍需要进行此时序控制。

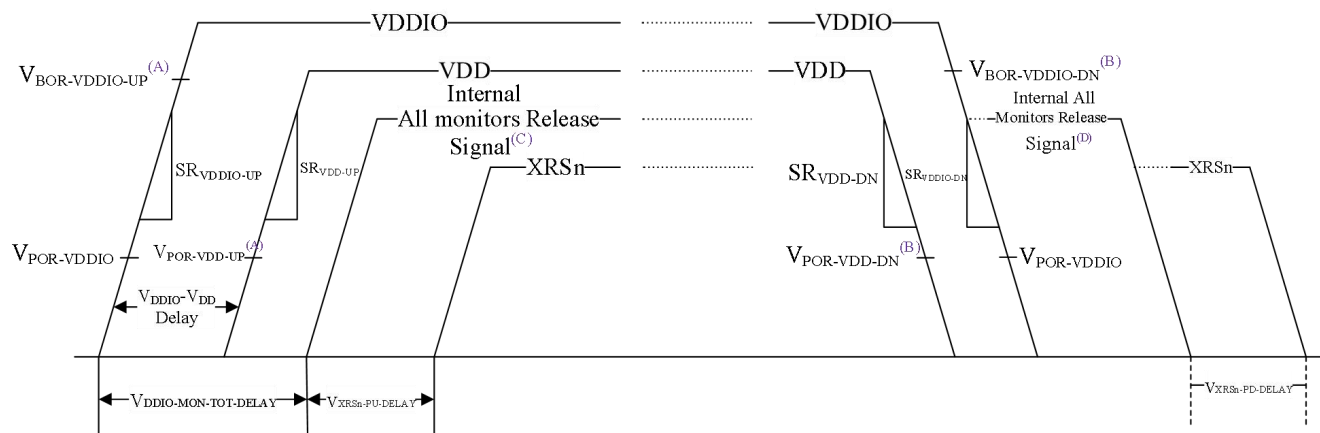
CAUTION

如果违反上述时序，则可能会发生器件故障，甚至可能造成器件损坏，因为电流将流经器件中的意外寄生路径。

5.8.1.4.3 电源引脚电源时序

5.8.1.4.3.1 外部 VREG/VDD 模式时序

图 5-9 所示为外部 VREG 模式的电源时序控制要求。所有参数的值可在“电源管理模块电气数据和时序”章节中找到。



- A. 该跳闸点是 XRSn 释放之前的跳闸点。请参阅“电源管理模块特性”表。
- B. 该跳闸点是 XRSn 释放之后的跳闸点。请参阅“电源管理模块特性”表。
- C. 上电期间，所有监测器释放信号在所有 POR 和 BOR 监测器释放后变为高电平。请参阅“PMM 框图”。
- D. 在断电期间，如果任何 POR 或 BOR 监测器跳闸，所有监测器释放信号都会变为低电平。请参阅“PMM 框图”。

图 5-9 外部 VREG 上电时序

• 在上电期间：

1. VDDIO (即 3.3V 电源轨) 应首先以指定的最小压摆率出现。
2. VDD (即 1.1V 电源轨) 应随后以指定的最小压摆率出现。
3. 还指定了 VDDIO 电源轨和 VDD 电源轨出现时间之间的时间差。
4. 在 $V_{DDIO-MON-TOT-DELAY}$ 和 $V_{XRSn-PD-DELAY}$ 指定的时间之后，将释放 XRSn，并且器件会开始启动序列。
在 XRSn 释放 (即变为高电平) 和启动序列之间还有额外的延迟。请参阅图 5-6。
5. I/O BOR 监测器在上电和断电期间具有不同的释放点。
6. 在上电期间，VDDIO 和 VDD 电源轨都必须在 XRSn 释放之前启动。

• 在掉电期间：

1. 对 VDDIO 和 VDD 中哪个应先断电没有要求；但是，有最小压摆率规格要求。
2. I/O BOR 监测器在上电和断电期间具有不同的释放点。
3. 在断电期间跳闸的任何 POR 或 BOR 监测器都会导致 XRSn 在 $V_{XRSn-PD-DELAY}$ 之后变为低电平。

备注

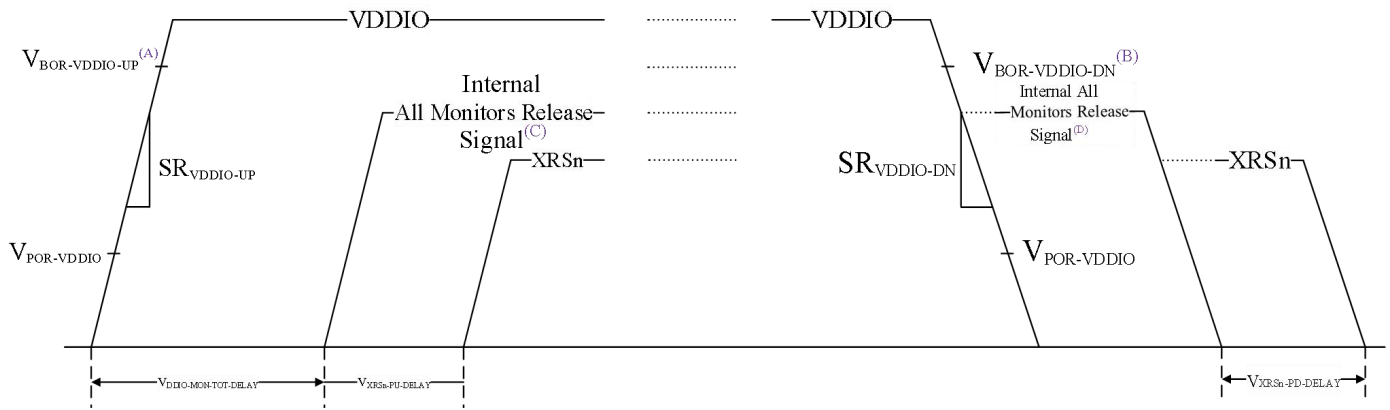
所有监测器释放信号都是一个内部信号。

备注

如果有一个驱动 XRSn 的外部电路 (例如，监测器)，在所有内部和外部源释放 XRSn 引脚之前，启动序列不会开始。

5.8.1.4.3.2 内部 VREG/VDD 模式时序

图 5-10 所示为内部 VREG 模式的电源时序控制要求。所有所示参数的值均可在“电源管理模块电气数据和时序”章节中找到。



- A. 该跳闸点是 XRSn 释放之前的跳闸点。请参阅“电源管理模块特性”表。
- B. 该跳闸点是 XRSn 释放之后的跳闸点。请参阅“电源管理模块特性”表。
- C. 上电期间，所有监测器释放信号在所有 POR 和 BOR 监测器释放后变为高电平。请参阅“PMM 框图”。
- D. 在断电期间，如果任何 POR 或 BOR 监测器跳闸，所有监测器释放信号都会变为低电平。请参阅“PMM 框图”。

图 5-10 内部 VREG 上电时序

• 在上电期间：

1. VDDIO (即 3.3V 电源轨) 应提供指定的最小压摆率。
2. 在释放 I/O 监测器 (I/O POR 和 I/O BOR) 后，内部 VREG 将上电。
3. 在 $V_{DDIO-MON-TOT-DELAY}$ 和 $V_{XRSn-PU-DELAY}$ 指定的时间过后，将释放 XRSn，并且器件的启动序列将开始。
在 XRSn 释放 (即变为高电平) 和启动序列开始之间有额外的延迟。请参阅图 5-6。
4. I/O BOR 监测器在上电和断电期间具有不同的释放点。

• 在断电期间：

1. 在断电期间对 VDDIO 的唯一要求是压摆率。
2. I/O BOR 监测器在上电和断电期间具有不同的释放点。
3. I/O BOR 跳闸将导致 XRSn 在 $V_{XRSn-PD-DELAY}$ 之后变为低电平，并使内部 VREG 断电。

备注

所有监测器释放信号是一个内部信号。

备注

如果有一个驱动 XRSn 的外部电路 (例如，监测器)，在所有内部和外部源释放 XRSn 引脚之前，启动序列不会开始。

5.8.1.4.3.3 电源时序摘要和违规影响

电源轨的可接受上电时序汇总如下。此处的“上电”表示相关电源轨已达到建议的最低工作电压。

CAUTION	
不可接受的电源时序会导致可靠性问题并可能造成器件损坏。	

为简单起见，建议将所有 3.3V 电源轨连接在一起，并按照“电源引脚电源时序”中的说明进行操作。

表 5-4 外部 VREG 时序汇总

CASE	电源轨上电顺序			可接受
	VDDIO	VDDA	VDD	
A	1	2	3	是
B	1	3	2	是
C	2	1	3	-
D	2	3	1	-
E	3	2	1	-
F	3	1	2	-
G	1	1	2	是
H	2	2	1	-

表 5-5 内部 VREG 时序汇总

CASE	电源轨上电顺序		可接受
	VDDIO	VDDA	
A	1	2	是
B	2	1	-
C	1	1	是

备注

应当仅在 VDDA 达到建议的最低工作电压后才为器件上的模拟模块供电。

5.8.1.4.3.4 电源压摆率

VDDIO 有最低压摆率要求。如果不满足最低压摆率要求，XRSn 可能会切换几次，直到 VDDIO 越过 I/O BOR 区域。

备注

XRSn 上的切换操作对器件没有不利影响，因为只有当 XRSn 稳定为高电平时才会开始引导。但是，如果使用器件的 XRSn 来选通其他 IC 的复位信号，则应满足压摆率要求以防止这种切换。

VDD 在外部 VREG 模式下具有最低压摆率要求。如果不满足最低压摆率要求，器件可能会在 VDD 达到最低工作电压之前解除复位并开始引导，这可能导致器件无法正常工作。

备注

如果无法满足最低压摆率要求，必须在 VDD 上使用监测器来保持 XRSn 为低电平，直到 VDD 超过最低工作电压，以此确保器件正常工作。

5.8.1.5 电源管理模块电气数据和时序

5.8.1.5.1 电源管理模块运行条件

参数		测试条件	最小值	典型值	最大值	单位
通用						
C_{VDDIO}	VDDIO 上的大容量电容	基于外部电源 IC 要求 ⁽¹⁾		0.1		μF
C_{VDDIO_DECAP}	每个 VDDIO 引脚上的去耦电容器			0.1		μF
C_{VDDA}	VDDA 引脚上的电容器			2.2		μF
C_{VDDIO_SW}	VDDIO_SW 引脚上的电容器	适用于 DC-DC 工作模式 ⁽²⁾		20		μF
		适用于仅 LDO 工作模式		0.1		
C_{VDD}	VDD 上的大容量电容	适用于 DC-DC 工作模式 ⁽²⁾		20		μF
		适用于仅 LDO 工作模式 ⁽³⁾	12	20	27	
C_{VDD_DECAP}	每个 VDD 引脚上的去耦电容器	适用于 DC-DC 工作模式 ⁽²⁾		0.1		μF
		适用于仅 LDO 工作模式 ⁽³⁾	0.1		6.75	
L_{VSW}	DC-DC 稳压器的 VSW 引脚和 VDD 节点之间的电感器			2.2		μH
$R_{LVS\text{W-DCR}}$	L_{VSW} 允许的 DCR			80		$\text{m}\Omega$
$I_{\text{SAT-LVSW}}$	L_{VSW} 饱和电流		600			mA
$\text{SR}_{VDDIO-UP}^{(5)}$	3.3V 电源轨 (VDDIO) 的电源斜升速率		8		100	$\text{mV}/\mu\text{s}$
$\text{SR}_{VDDIO-DN}^{(5)}$	3.3V 电源轨 (VDDIO) 的电源斜降速率		20		100	$\text{mV}/\mu\text{s}$
外部 VREG						
$C_{VDD\text{ TOTAL}}^{(4)(6)}$	总 VDD 电容 ⁽⁸⁾		10			μF
$\text{SR}_{VDD-UP}^{(5)}$	1.1V 电源轨 (VDD) 的电源斜升速率		3.5		100	$\text{mV}/\mu\text{s}$
$\text{SR}_{VDD-DN}^{(5)}$	1.1V 电源轨 (VDD) 的电源斜降速率		10		100	$\text{mV}/\mu\text{s}$
$V_{DDIO} - V_{DD}$	延迟 ⁽⁷⁾ VDDIO 和 VDD 之间的斜坡延迟		0			μs

(1) 该电源上的大容量电容应基于电源 IC 要求。

(2) 详细信息，请参阅第 5.8.1.2.6 节。

(3) 详细信息，请参阅第 5.8.1.2.4 节。

(4) 去耦电容的确切值取决于为这些引脚供电的系统电压调节解决方案。

(5) 请参阅“电源压摆率”一节。电源斜坡速率高于最大值会触发片载 ESD 保护。

(6) 请参阅“电源管理模块 (PMM)”一节，了解总去耦电容的可能配置。

(7) 3.3V 电源轨斜升时和 1.1V 电源轨斜升时之间的延迟。请参阅“VREG 时序摘要”表，了解允许的电源斜坡序列。

(8) 最大电容器容差应为 20%。

5.8.1.5.2 电源管理模块特征

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V _{VREG}	内部稳压器输出		1.04	1.1	1.21	V
V _{VREG-PU}	内部稳压器上电时间				350	μs
V _{VREG-INRUSH} ⁽⁵⁾	内部稳压器浪涌电流			650		mA
V _{POR-VDDIO}	VDDIO 上电复位电压	XRSn 释放之前和之后		2.3		V
V _{BOR-VDDIO-UP} ⁽¹⁾	斜升时的 VDDIO 欠压复位电压	XRSn 释放之前		2.7		V
V _{BOR-VDDIO-DN} ⁽¹⁾	斜降时的 VDDIO 欠压复位电压	XRSn 释放之后	2.81		3.0	V
V _{POR-VDD-UP} ⁽²⁾	斜升时的 VDD 上电复位电压	XRSn 释放之前		0.95		V
V _{POR-VDD-DN} ⁽²⁾	斜降时的 VDD 上电复位电压	XRSn 释放之后		0.95		V
V _{XRSn-PU-DELAY} ⁽³⁾	上电期间电源斜升后的 XRSn 释放延迟	这是最后的延迟		40		μs
V _{XRSn-PD-DELAY} ⁽⁴⁾	断电期间电源斜降后的 XRSn 跳闸延迟			2		μs
V _{VDDIO-MON-TOT-DELAY}	VDDIO 监测器 (POR、BOR) 路径中的总延迟			145		μs
V _{XRSn-MON-RELEASE-DELAY}	VDD POR 事件之后的 XRSn 释放延迟	电源处于工作范围内		40		μs
	VDDIO BOR 之后的 XRSn 释放延迟			140		μs
	VDDIO POR 事件之后的 XRSn 释放延迟			185		μs

(1) 请参阅“电源电压”图。

(2) 不支持 V_{POR-VDD}，它被设置为在低于建议运行条件的电平时跳闸。如果需要监控 VDD，则需要外部监测器。

(3) 电源在越过相应电源轨的最低建议运行条件后被视为完全斜升。在该延迟生效之前，需要释放所有 POR 和 BOR 监测器。RC 网络延迟将与该延迟相加。

(4) 断电时，任一跳闸的 POR 或 BOR 监测器都会立即使 XRSn 跳闸。该延迟是任一 POR、BOR 监测器跳闸和 XRSn 变为低电平之间的时间。该延迟是变量，取决于电源的斜降速率。RC 网络延迟将与该延迟相加。

(5) 这是内部 VREG 导通时在 VDDIO 电源轨上吸取的瞬态电流。因此，当 VREG 导通时，VDDIO 电源轨上可能会出现一些压降，这可能导致 VREG 逐步斜升。这不会对器件产生不利影响，但如果需要，可以通过在 VDDIO 上使用足够的去耦电容器或选择能够提供此瞬态电流的 LDO 或 DC-DC 稳压器来减少影响。

电源电压

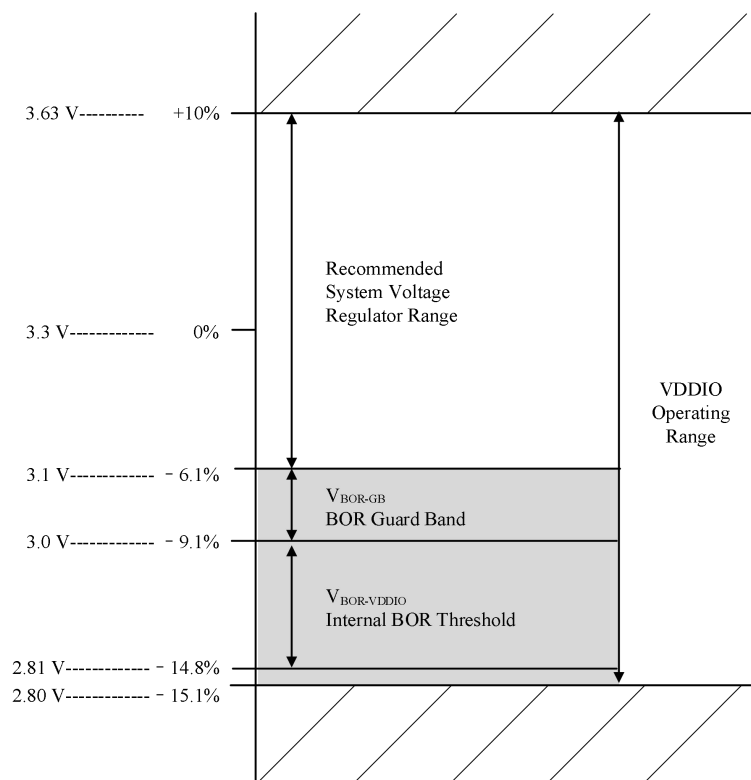


图 5-11 电源电压

5.8.2 复位时序

XRSn 是器件复位引脚，用作输入和漏极开路输出。该器件具有内置上电复位 (POR)。在上电期间，POR 电路会驱动 XRSn 引脚至低电平。看门狗或 NMI 看门狗复位也会驱动引脚至低电平。外部电路可能会驱动引脚使器件复位生效。

应在 XRSn 和 VDDIO 之间放置一个阻值为 2.2kΩ 至 10kΩ 的电阻。应在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除；电容应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地驱动 XRSn 引脚至 V_{OL} 。图 5-12 所示为建议复位电路。

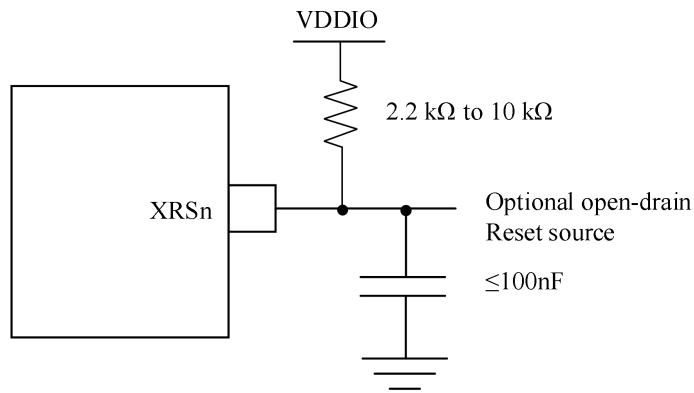


图 5-12 复位电路

5.8.2.1 复位源

表 5-6 总结了不同的复位信号及其对器件的影响。

表 5-6 复位信号

复位源	CPU 内核复位 (A2000、FPU、 VCU)	外设复位	JTAG/ 调试逻辑复位	I/O	XRSn 输出
POR	是	是	是	高阻态	是
XRSn 引脚	是	是	否	高阻态	-
WDRS	是	是	否	高阻态	是
NMIWDRS	是	是	否	高阻态	是
SYSRS (调试器复位)	是	是	否	高阻态	否
SCCRESET	是	是	否	高阻态	否

参数 $t_{h(\text{boot-mode})}$ 必须考虑从这些源启动的复位。

请参阅《AVP32F0049 技术参考手册》中“系统控制”一章的“复位”一节。

注意事项

有些复位源由器件内部驱动。其中一些源会将 XRSn 驱动为低电平，用于禁用驱动引导引脚的任何其他器件。SCCRESET 和调试器复位源不会驱动 XRSn；因此，用于引导模式的引脚不应由系统中的其他器件主动驱动。引导配置允许更改 OTP 中的引导引脚；更多详细信息，请参阅《AVP32F0049 技术参考手册》。

5.8.2.2 复位电气数据和时序

第 5.8.2.2.1 节列出了复位 (XRSn) 时序要求, 第 5.8.2.2.2 节列出了复位 (XRSn) 开关特性。图 5-13 所示为上电复位, 图 5-14 所示为热复位。

5.8.2.2.1 复位 (XRSn) 时序要求

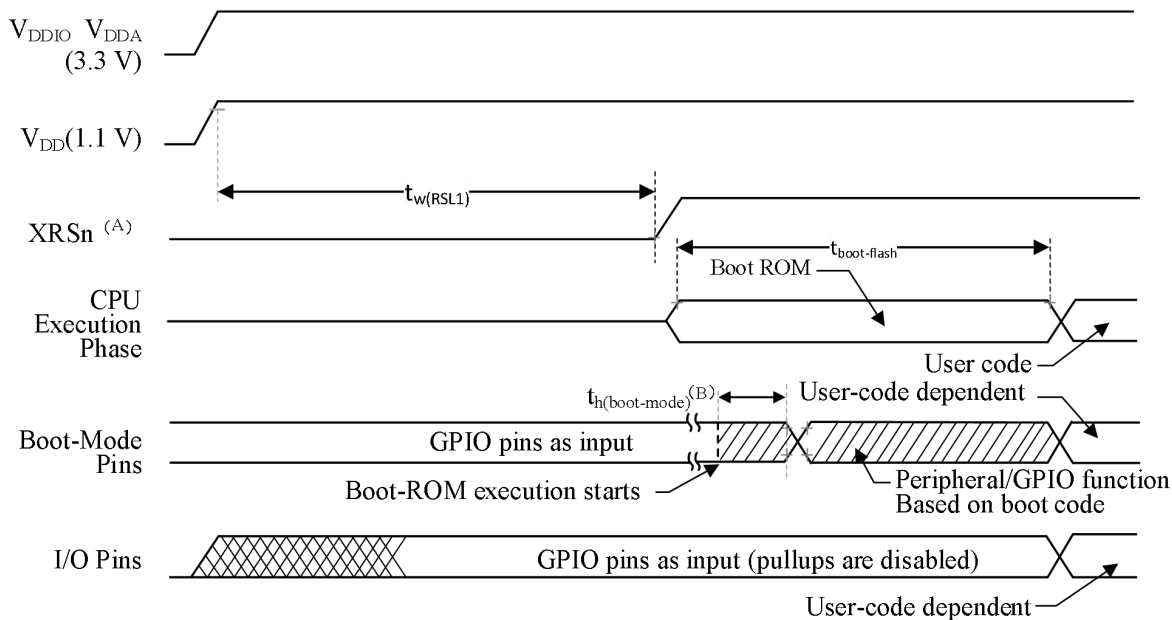
		最小值	最大值	单位
$T_{h(\text{boot-mode})}$	引导模式引脚的保持时间	1.5		ms
$t_{w(\text{RSL2})}$	脉冲持续时间, 热复位时	所有情况	3.2	μs
	XRSn 处于低电平	应用中使用的低功耗模式, 且 $\text{SYSCLKDIV} > 16$	$3.2 * (\text{SYSCLKDIV}/16)$	

5.8.2.2.2 复位 (XRSn) 开关特性

在建议运行条件下测得 (除非另有说明)

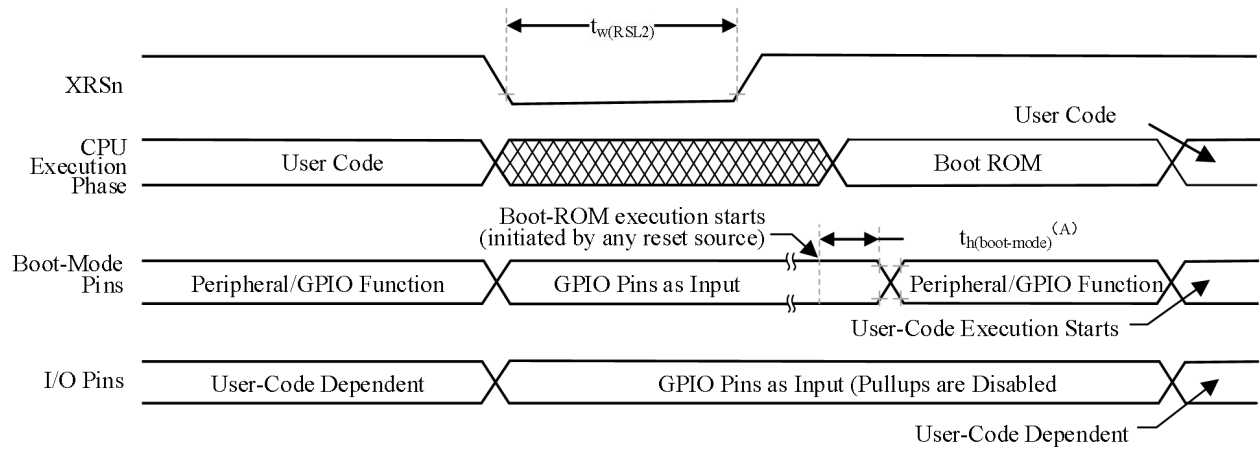
参数	最小值	典型值	最大值	单位
$t_{w(\text{RSL1})}$	脉冲持续时间, XRSn 在电源稳定后由器件驱动为低电平	100		μs
$t_{w(\text{WDRS})}$	脉冲持续时间, 由看门狗生成的复位脉冲	$512t_{c(\text{OSCCLK})}$		周期
$t_{\text{boot-flash}}$	在闪存中第一次取指令之前的引导 ROM 执行时间		900	μs

5.8.2.2.3 复位时序图



- A. XRSn 引脚可以由监测器或外部上拉电阻从外部驱动, 请参阅“引脚属性”。片载 POR 逻辑将保持该引脚为低电平直到电源处于有效范围内。
- B. 从任何源复位后(参阅“复位源”), 引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态, 引导代码分支到目的内存或者引导代码功能。如果引导 ROM 代码在上电条件后 (在调试程序环境中) 执行, 则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境, 可以启用或不启用 PLL。

图 5-13 上电复位



- A. 从任何源复位后（参阅“复位源”），引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态，引导代码分支到目的内存或者引导代码功能。如果引导 ROM 代码在上电条件后（在调试程序环境中）执行，则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可以启用或不启用 PLL。

图 5-14 热复位

5.8.3 时钟规格

5.8.3.1 时钟源

表 5-7 列出了三种可能的时钟源，图 5-15 所示为时钟系统，图 5-16 所示为系统 PLL。

表 5-7 可能的基准时钟源

时钟源	所计时的模块	注释
INTOSC1	可用于为以下模块提供时钟： - 看门狗模块 - 主 PLL - CPU 定时器 2	内部振荡器 1。 零引脚开销 10MHz 内部振荡器。
INTOSC2 ⁽¹⁾	可用于为以下模块提供时钟： - 主 PLL - CPU 定时器 2	内部振荡器 2。 零引脚开销 10MHz 内部振荡器。
X1 (XTAL)	可用于为以下模块提供时钟： - 主 PLL - CPU 定时器 2	X1 和 X2 引脚之间连接的外部晶体或谐振器，或连接到 X1 引脚的单端时钟。

(1) 复位时，内部振荡器 2 (INTOSC2) 为系统 PLL (OSCCLK) 的默认时钟源。

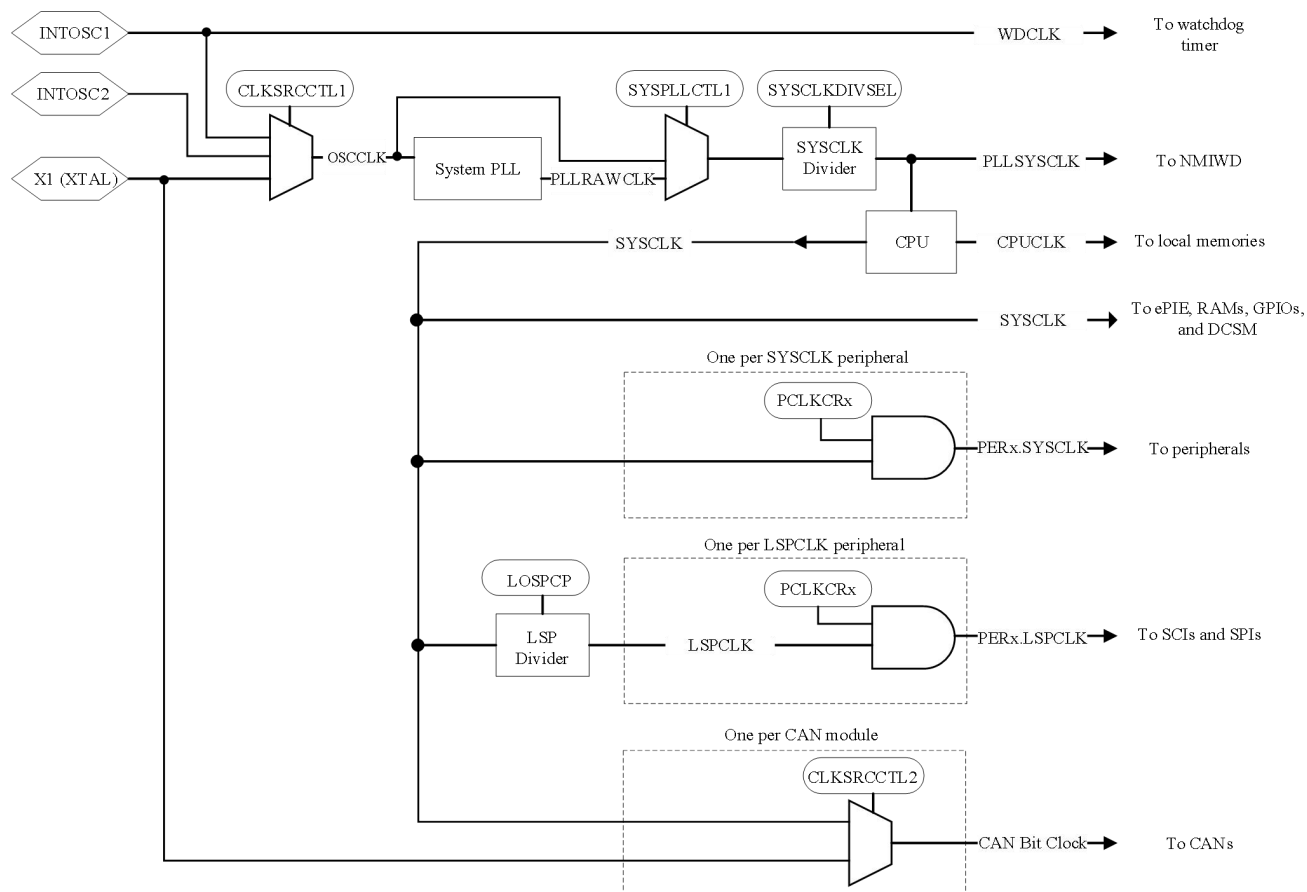


图 5-15 时钟系统

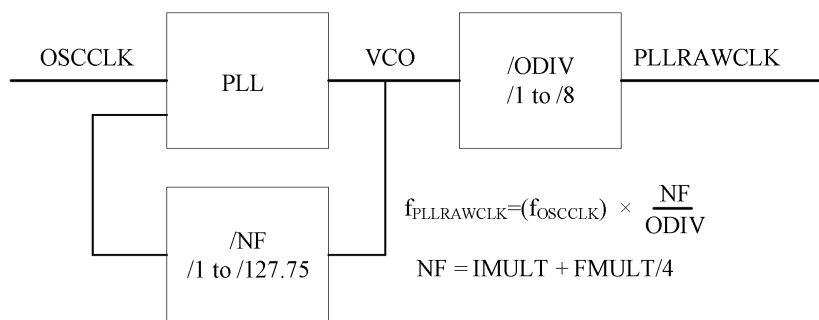


图 5-16 系统 PLL

5.8.3.2 时钟频率、要求和特性

本节提供了输入时钟的频率和时序要求、PLL 锁定时间、内部时钟的频率以及输出时钟的频率和开关特性。

5.8.3.2.1 输入时钟频率和时序要求，PLL 锁定时间

第 5.8.3.2.1.1 节列出了输入时钟的频率要求，第 5.8.3.2.1.2 节列出了 XTAL 振荡器特性，第 5.8.3.2.1.3 节列出了 X1 时序要求，第 5.8.3.2.1.4 节列出了 PLL 的锁定时间。

5.8.3.2.1.1 输入时钟频率

		最小值	最大值	单位
$f_{(XTAL)}$	频率，X1/X2，来自外部晶体或谐振器	10	20	MHz
$f_{(X1)}$	频率，X1，来自外部振荡器	2	20	MHz

5.8.3.2.1.2 XTAL 振荡器特征

在建议运行条件下测得（除非另有说明）

参数	最小值	典型值	最大值	单位
X1 V_{IL}	有效低电平输入电压	1.01	1.38	V
X1 V_{IH}	有效高电平输入电压	1.4	1.81	V

5.8.3.2.1.3 X1 时序要求

		最小值	最大值	单位
$t_{f(X1)}$	下降时间，X1		6	ns
$t_{r(X1)}$	上升时间，X1		6	ns
$t_{w(X1L)}$	脉冲持续时间，X1 低电平占 $t_{c(X1)}$ 的百分比	45%	55%	
$t_{w(X1H)}$	脉冲持续时间，X1 高电平占 $t_{c(X1)}$ 的百分比	45%	55%	

5.8.3.2.1.4 PLL 锁定时间

	最小值	典型值	最大值	单位
$t_{(PLL)}$	锁定时间，主 PLL	$25.5\mu s + 1024 * t_{c(OSCCLK)}$		μs

5.8.3.2.2 内部时钟频率

第 5.8.3.2.2.1 节提供了内部时钟的时钟频率。

5.8.3.2.2.1 内部时钟频率

		最小值	典型值	最大值	单位
f_{SYSCLK}	频率, 器件 (系统) 时钟	2		120	MHz
$t_{\text{c(SYSCLK)}}$	周期, 器件 (系统) 时钟	10		500	ns
f_{VCO}	频率, PLL VCO (在输出分频器之前)	120		400	MHz
$f_{\text{PLLRAWCLK}}$	频率, 系统 PLL 输出 (在 SYSCLK 分频器之前)	15		200	MHz
f_{PLL}	频率, PLLSYSCLK	2		120	MHz
f_{LSP}	频率, LSPCLK	2		120	MHz
$t_{\text{c(LSPCLK)}}$	周期, LSPCLK	10		500	ns
f_{OSCCLK}	频率, OSCCLK (INTOSC1、INTOSC2、XTAL 或 X1)	参阅各自的时钟			MHz
f_{HRPWM}	频率, HRPWMCLK	60		120	MHz

5.8.3.2.3 输出时钟频率和开关特性

第 5.8.3.2.3.1 节列出了输出时钟 XCLKOUT 的开关特性。

5.8.3.2.3.1 XCLKOUT 开关特性

在建议运行条件下测得 (除非另有说明)

	参数 ⁽¹⁾	最小值	最大值	单位
$t_{\text{f(XCO)}}$	下降时间, XCLKOUT		5.6	ns
$t_{\text{r(XCO)}}$	上升时间, XCLKOUT		5	ns
$t_{\text{w(XCOL)}}$	脉冲持续时间, XCLKOUT 低电平	H-1.67 ⁽²⁾	H+1.67 ⁽²⁾	ns
$t_{\text{w(XCOH)}}$	脉冲持续时间, XCLKOUT 高电平	H-1.67 ⁽²⁾	H+1.67 ⁽²⁾	ns
$f_{\text{(XCO)}}$	频率, XCLKOUT		60	MHz

(1) 假定这些参数有 40pF 的负载。

(2) $H = 0.5t_{\text{c(XCO)}}$

5.8.3.3 输入时钟和 PLL

备注

GPIO18* 及其多路复用器选项只能在系统由 INTOSC 计时且 X1 具有外部下拉电阻时使用。

除了内部 0 引脚振荡器外，还支持三种类型的外部时钟源：

- 一个单端 3.3V 外部时钟。时钟信号应连接到 X1（如图 5-17 所示），且 XTALCR.SE 位设置为 1。

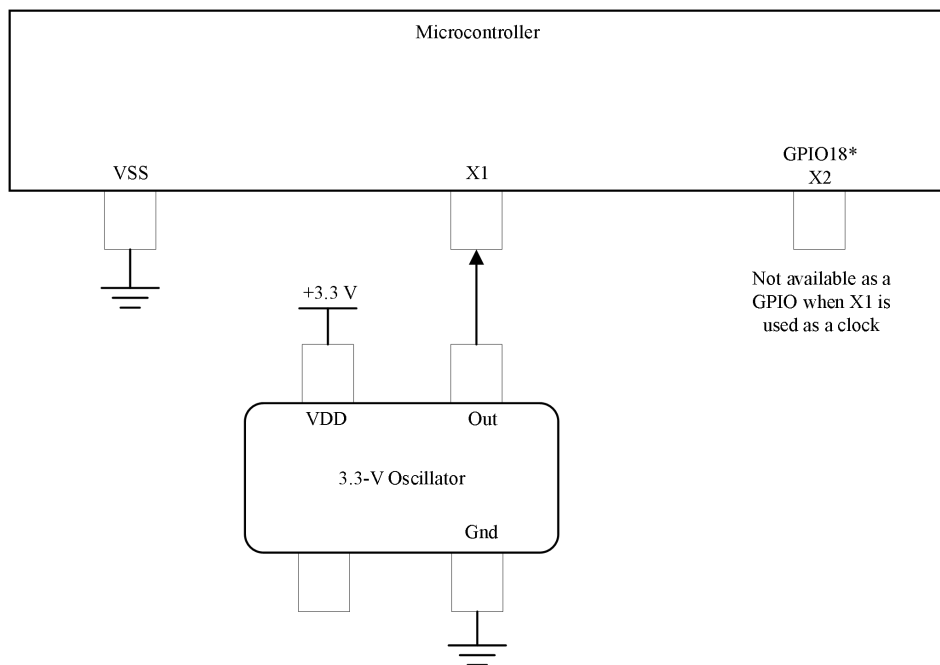


图 5-17 单端 3.3V 外部时钟

- 一个外部晶体。如图 5-18 所示，晶体应连接在 X1 和 X2 之间，其负载电容器连接至 VSS。

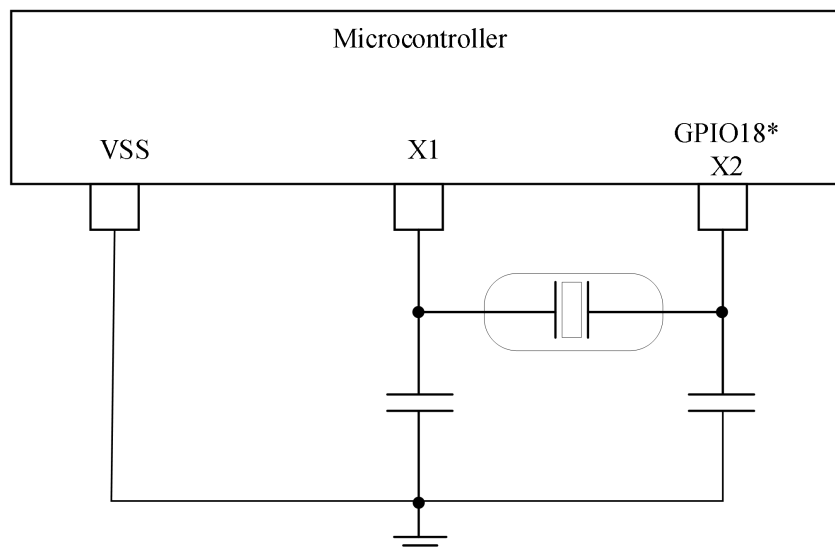


图 5-18 外部晶体

- 一个外部谐振器。如图 5-19 所示，谐振器应连接在 X1 和 X2 之间，且其接地端连接至 VSS。

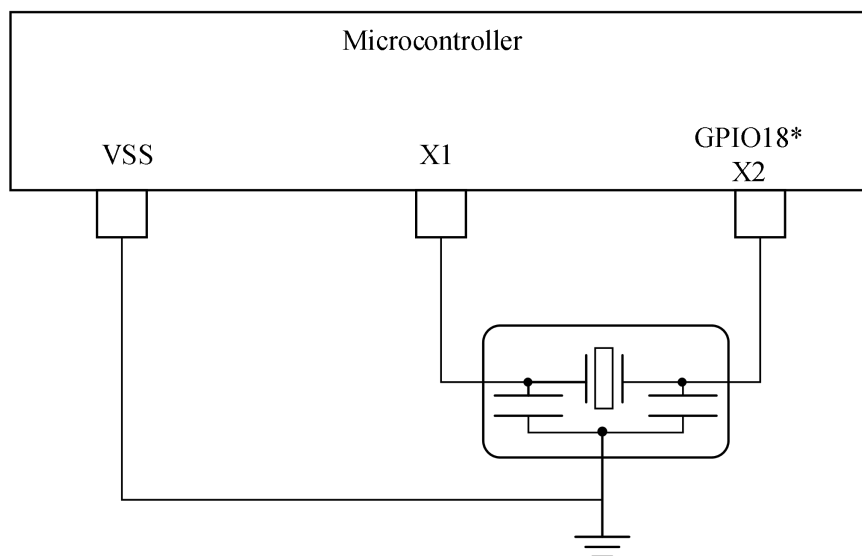


图 5-19 外部谐振器

5.8.3.4 晶体 (XTAL) 振荡器

5.8.3.4.1 引言

该器件中的晶体振荡器是一种嵌入式电振荡器，当与兼容的石英晶体（或陶瓷谐振器）配对使用时，可生成器件所需的系统时钟。

5.8.3.4.2 概述

以下几节将分别介绍电子振荡器和石英晶体元件。

5.8.3.4.2.1 电子振荡器

该器件中的电子振荡器是皮尔斯振荡器。它的起振原理为正反馈，需要一个延时反馈电路才能振荡。因此，该电子振荡器需与一个兼容的石英晶体或是谐振器配对，才可形成振荡电路。该振荡电路在晶体的基频处振荡。在该器件上，由于分流电容器 (C0) 和所需的负载电容器 (CL)，振荡器被设计成在并联谐振模式下运行。图 5-20 所示为电子振荡器及其外围电路元件框图。

5.8.3.4.2.1.2 XCLKOUT 上的 XTAL 输出

通过配置 CLKSRCCTL3.XCLKOUTSEL 和 XCLKOUTDIVSEL.XCLKOUTDIV 寄存器，可以将馈入芯片其余部分的电振荡器输出引出到 XCLKOUT 上以供观察。如需查看输出 XCLKOUT 的 GPIO 的列表，请参阅“GPIO 多路复用引脚”表。

5.8.3.4.2.2 石英晶体

石英晶体可以由 LCR（电感-电容-电阻）电路进行电气表示。然而，与 LCR 电路不同，晶体由于低动态电阻而具有非常高的 Q 值，并且阻尼也非常低。晶体元件如图 5-21 所示，并在下文中有相应说明。

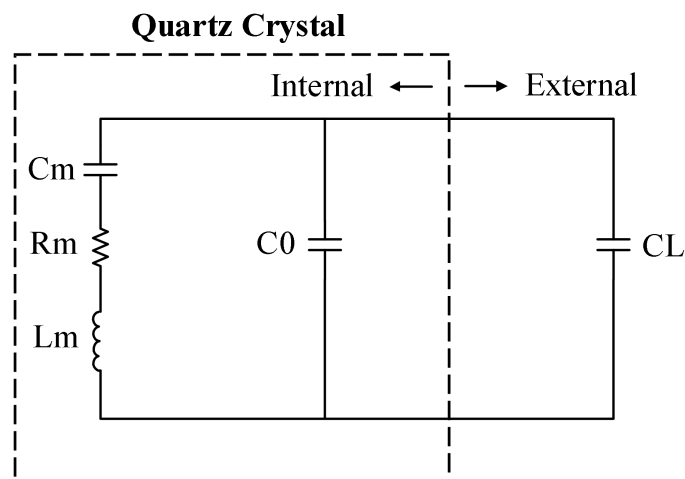


图 5-21 晶体电气表示

Cm（动态电容）：表示晶体的弹性。

Rm（动态电阻）：表示晶体内的电阻损耗。这不是晶体的 ESR，但可根据其他晶体元件的值进行近似计算。

Lm（动态电感）：表示晶体的振动质量。

C0（并联电容）：由两个晶体电极和杂散封装电容形成的电容。

CL（负载电容）：这是晶体在其电极处所示的有效电容，位于晶体外部。晶体数据表中指明的频率 ppm 通常与 CL 参数相关联。

请注意，大多数晶体制造商将 CL 指定为晶体引脚上的有效电容，而一些晶体制造商将 CL 指定为仅其中一个晶体引脚上的电容。请与晶体制造商核实 CL 的指定值，以便在计算中使用正确的值。

根据图 5-20，CL1 和 CL2 是串联的；因此，要找到晶体看到的等效总电容，必须应用电容串联公式：如果 $CL1 = CL2$ ，只需计算 $[CL1]/2$ 即可。

建议将杂散 PCB 电容与该值相加。合理的估算值为 3pF 至 5pF，但实际值将取决于相关的 PCB。

请注意，电振荡器和晶体都需要负载电容。所选的值必须同时满足电振荡器和晶振的要求。

CL 对晶体的影响是频率牵引。如果有效负载电容低于目标值，晶体频率将增加，反之亦然。然而，频率牵引的影响通常非常小，通常会导致与典型频率相差不到 10ppm。

5.8.3.4.2.3 GPIO 工作模式

在此器件上，X2 可用作 GPIO18，具体取决于 XTAL 的工作模式。请参阅《AVP32F0049 技术参考手册》“外部振荡器 (XTAL)”一节。

5.8.3.4.3 运行特性

5.8.3.4.3.1 ESR – 有效串联电阻

有效串联电阻是晶体在谐振时提供给电子振荡器的电阻负载。ESR 越高，Q 越低，晶体启动或保持振荡的可能性就越小。ESR 和晶体元件之间的关系如下所示。

$$ESR = R_m * \left(1 + \frac{C_0}{C_L}\right)^2$$

请注意，ESR 与晶体的动态电阻不同，但如果有效负载电容远高于分流电容，则可以按此近似计算。

5.8.3.4.3.2 Rneg - 负电阻

负电阻是电子振荡器向晶体呈现的阻抗。这是电子振荡器为了克服振荡期间产生的损耗而必须为晶体提供的能量。Rneg 描述了一个提供而非消耗能量的电路，也可以看作是电路的总体增益。

为确保晶体在所有条件下都能启动，普遍接受的做法是让 Rneg > 3 倍 ESR 至 5 倍 ESR。请注意，启动晶体所需的能量略大于维持振荡所需的能量；因此，如果能够确保在启动时满足负电阻要求，则维持振荡将不是问题。

5.8.3.4.3.3 启动时间

在选择晶体电路的元件时，启动时间是一个重要的考虑因素。如“Rneg - 负电阻”一节所述，为了在所有条件下实现可靠启动，建议晶体的 Rneg > 3 倍 ESR 至 5 倍 ESR。

晶体 ESR 和阻尼电阻 (Rd) 会极大地影响启动时间。这两个值越高，晶体启动所需的时间就越长。较长的启动时间通常表明晶体和元件未正确匹配。

如需了解典型的启动时间，请参阅“晶体振荡器规格”。请注意，此处指定的数字是仅供参考的典型数字。实际启动时间在很大程度上取决于所涉及的晶体和外部元件。

5.8.3.4.3.4 DL – 驱动电平

驱动电平是指电子振荡器提供以及晶体耗散的功率。晶体制造商数据表中指定的最大驱动电平通常是晶体在不损坏或显著缩短使用寿命的情况下可以耗散的最大驱动电平。另一方面，电子振荡器指定的驱动电平是它可以提供的最大功率。电子振荡器提供的实际功率不一定是最大功率，具体取决于晶体和电路板元件。

如果电子振荡器的实际驱动电平超过晶体的最大驱动电平规格，则应安装阻尼电阻器 (Rd) 以限制电流并降低晶体的功率耗散。请注意，Rd 会降低电路增益；因此，应评估要使用的实际值，以确保满足启动和持续振荡的所有其他条件。

5.8.3.4.4 如何选择晶体

请参考“晶体振荡器规格”：

1. 选择一个晶体频率（例如，20MHz）。
2. 确认晶体的 ESR ≤ 50Ω，符合 20MHz 的规格。

3. 确认晶体制造商的负载电容要求位于 6pF 和 12pF 之间，符合 20MHz 的规格。
 - 如前所述，CL1 和 CL2 是串联的；因此，如果 $CL1 = CL2$ ，则有效负载电容 $CL = [CL1]/2$ 。
 - 在此基础上加上电路板寄生效应会得到 $CL = [CL1]/2 + C_{stray}$
4. 确认晶体的最大驱动电平 $\geq 1mW$ 。如果不满足此要求，则可以使用阻尼电阻 R_d 。请参阅“DL - 驱动电平”一节，了解使用 R_d 时要考虑的其他要点。

5.8.3.4.5 测试

建议用户让晶体制造商使用其电路板对晶体进行完整表征，以确保晶体始终启动并保持振荡。

下面简要概述了可执行的一些测量：

由于晶体电路对电容非常敏感，建议不要将示波器探针连接到 X1 和 X2。如果必须使用示波器探针来监测 X1/X2，则应使用电容小于 1pF 的有源探针。

频率

1. 在 XCLKOUT 上引出 XTAL。
2. 测量该频率作为晶体频率。

负电阻

1. 在 XCLKOUT 上引出 XTAL。
2. 在负载电容器之间放置一个与晶体串联的电位器。
3. 增加电位器的电阻，直到 XCLKOUT 上的时钟停止。
4. 该电阻加上晶体的实际 ESR 就是电振荡器的负电阻。

启动时间

1. 关闭 XTAL。
2. 在 XCLKOUT 上引出 XTAL。
3. 开启 XTAL 并测量 XCLKOUT 上的时钟保持在 45% 和 55% 占空比范围内所需的时间。

5.8.3.4.6 常见问题和调试提示

晶体无法启动

- 浏览“如何选择晶体”一节，确保没有违规。

晶体需要很长时间才能启动

- 如果安装了阻尼电阻 R_d ，则其过高。
- 如果未安装阻尼电阻，则晶体 ESR 过高或由于高负载电容而导致总电路增益过低。

5.8.3.4.7 晶体振荡器规格

5.8.3.4.7.1 晶体振荡器参数

		最小值	最大值	单位
CL1、CL2	负载电容	12	24	pF
C0	晶振并联电容		7	pF

5.8.3.4.7.2 晶振等效串联电阻 (ESR) 要求

对于“晶振等效串联电阻 (ESR) 要求”表：

1. 晶振并联电容 (C0) 应小于或等于 7pF。
2. ESR = 负电阻/3

表 5-8 晶振等效串联电阻 (ESR) 要求

晶体频率 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

5.8.3.4.7.3 晶体振荡器电气特性

在推荐的工作条件下（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
启动时间 ⁽¹⁾	f = 10MHz ESR 最大值 = 110 Ω CL1 = CL2 = 24pF C0 = 7pF		10.7		ms
	f = 20 MHz ESR 最大值 = 50 Ω CL1 = CL2 = 24pF C0 = 7pF		10.7		ms
晶振驱动电平 (DL)				1	mW

(1) 启动时间取决于晶体和振荡电路元件。建议晶体供应商使用所选晶体来表征应用。

5.8.3.5 内部振荡器

为减少电路板生产成本并缩短应用开发时间，AVP32F0049 器件包含两个独立的内部振荡器，称为 INTOSC1 和 INTOSC2。默认情况下，两个振荡器都在上电时启用。INTOSC2 设置为系统参考时钟 (OSCCLK) 源，INTOSC1 设置为备用时钟源。INTOSC1 也可以手动配置为系统参考时钟 (OSCCLK)。第 5.8.3.5.1 节提供了内部振荡器的电气特征以确定该模块是否符合应用的计时要求。

5.8.3.5.1 INTOSC 特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
f _{INTOSC}	频率，INTOSC1 和 INTOSC2	SC	9.7	10	10.3	MHz
f _{INTOSC-STABILITY}	室温下的频率稳定性	30°C，电源电压典型值		±0.1%		
	考虑电源电压影响的频率稳定性	30°C		±0.4%		
	频率稳定性		-3%		3%	
t _{INTOSC-ST}	启动和稳定时间				20 ⁽¹⁾	μs

(1) 设计指标。

5.8.4 闪存参数

表 5-9 列出了不同时钟源和频率下所需的最低闪存等待状态。

表 5-9 不同 CPUCLK 频率下所需的最低闪存等待状态 (FRDCNTL[RWAIT])

CPUCLK (MHz)	闪存读取、执行、编程或擦除	闪存存储体/泵处于 LPM，或进入/退出 LPM 活动 → 睡眠 → 活动，或 活动 → 待机 → 活动
$100 < \text{CPUCLK} \leq 120$	5	6
$80 < \text{CPUCLK} \leq 100$	4	5
$60 < \text{CPUCLK} \leq 80$	3	4
$40 < \text{CPUCLK} \leq 60$	2	3
$20 < \text{CPUCLK} \leq 40$	1	2
$10 < \text{CPUCLK} \leq 20$	0	1
$\text{CPUCLK} \leq 10$	0	0

AVP32F0049 器件具有经改进的 128 位预取缓冲器，可在不同等待状态下提供更高的闪存代码执行效率。图 5-22 和图 5-23 为 128 位预取缓冲器的典型效率。使用预取缓冲器时的等待状态执行效率将取决于应用软件中存在的分支数量。此处提供了线性代码和 if-then-else 代码的两个示例。

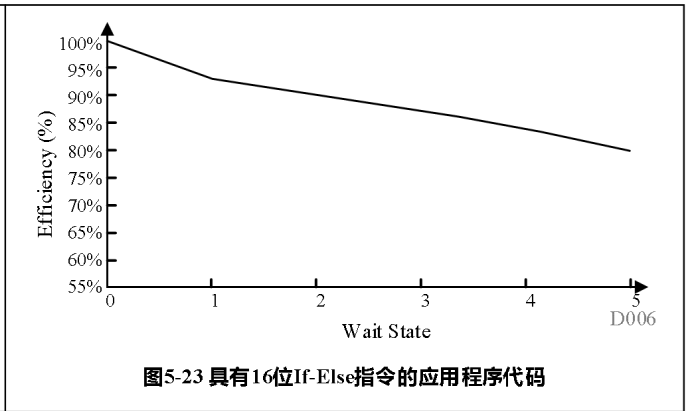
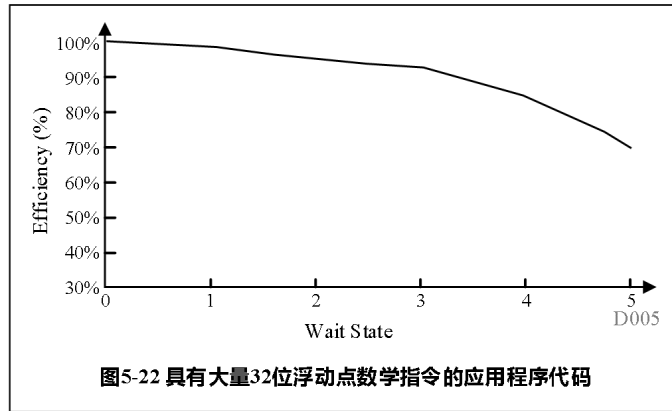


表 5-10 列出了闪存参数。

表 5-10 闪存参数

参数		最小值	典型值	最大值	单位
编程时间 ⁽¹⁾	128 数据位 + 16 ECC 位		121		μs
	8KB 扇区		62		ms
小于 25 个 W/E 周期时，擦除时间 ⁽²⁾	8KB 扇区		34		ms
N_{wec} 每个扇区的写入/擦除周期		100000			周期
N_{wec} 整个闪存（整合所有扇区）的写入/擦除周期 ⁽³⁾		100000			周期
$t_{\text{retention}}$ 数据保持持续时间 ($T_J = 85^\circ\text{C}$)		10			年

(1) 编程时间是最大器件频率下的值。编程时间包括闪存状态机的开销，但不包括将以下内容传输到 RAM 的时间：

- 使用闪存 API 对闪存进行编程的代码
- 闪存 API 本身
- 要编程的闪存数据

换言之，此表中显示的时间是指器件 RAM 中的所有必需代码/数据都变为可用状态并准备好进行编程之后的相应时间。所用 JTAG 调试探头的速度对传输时间有显著影响。

编程时间的计算以在指定的工作频率下一次编程 144 位为基础。编程时间包含 CPU 对编程的验证。写入/擦除周期不会缩短擦除编程时间。

擦除时间包括由 CPU 对编程的验证，不涉及任何数据传输。

- (2) 擦除时间包含 CPU 对擦除的验证。
- (3) 每个扇区本身能被擦除/编程大于 100,000 次。

备注

主阵列闪存编程必须与 64 位地址边界对齐，并且每个 64 位字在每个写/擦除周期只能编程一次。

DCSM OTP 编程必须与 128 位地址边界对齐，并且每个 128 位字只能编程一次。例外包括：

- 1. DCSM OTP 中的 DCSM Zx-LINKPOINTER1 和 Zx-LINKPOINTER2 值应一起编程，并且可以按照 DCSM 操作的要求一次编程 1 位。
 - 2. DCSM OTP 中的 DCSM Zx-LINKPOINTER3 值可以在 64 位边界上一次编程 1 位，以便与 Zx-PSWDLOCK 区别开，后者只能编程一次。
-

5.8.5 仿真/JTAG

JTAG (IEEE 标准 1149.1-1990 标准测试访问端口和边界扫描架构) 端口有四个专用引脚 : TMS、TDI、TDO 和 TCK。cJTAG (针对简化引脚和增强功能测试访问端口以及边界扫描架构的 IEEE 标准 1149.7-2009) 端口, 是一个只需要两个引脚 (TMS 和 TCK) 的紧凑型 JTAG 接口, 该接口可实现其他器件功能多路复用为传统的 GPIO35 (TDI) 和 GPIO37 (TDO) 引脚。

通常情况下, 当 MCU 目标和 JTAG 接头之间的距离小于 6 英寸 (15.24cm), 并且 JTAG 链上没有其他器件时, JTAG 信号上不需要缓冲器。否则, 每个信号都应被缓冲。此外, 对于大多数 10MHz 下的 JTAG 调试探针操作, JTAG 信号上不需要串联电阻器。但是, 如果需要高仿真速度 (35MHz 左右), 则应在每个 JTAG 信号上串联 22Ω电阻。

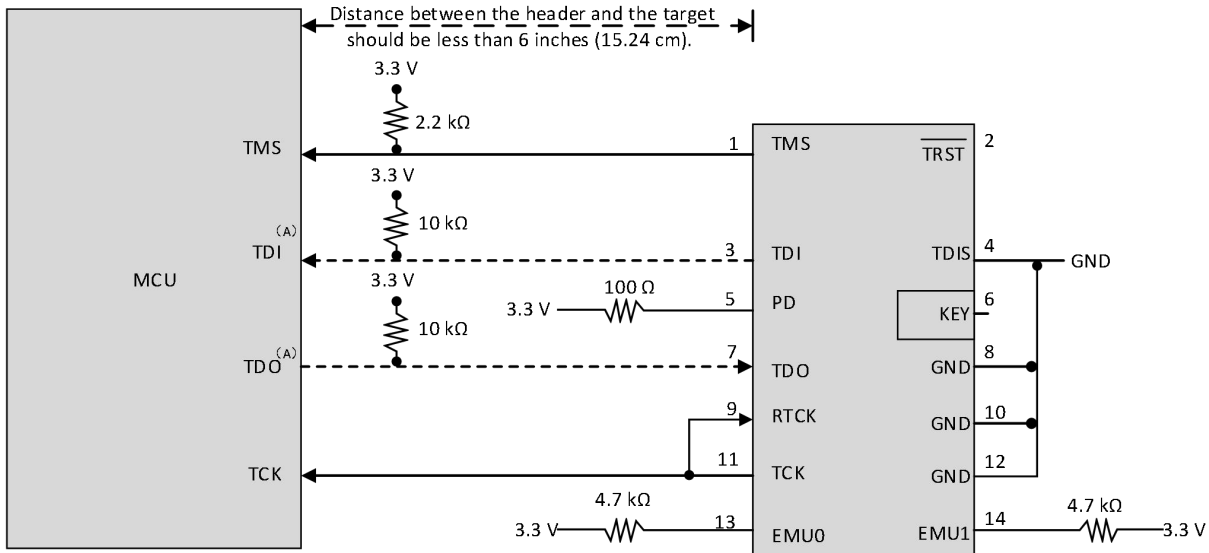
JTAG 调试探针头的 PD (电源检测) 终端应连接到电路板 3.3V 电源。接头 GND 终端应连接至电路板接地。TDIS (电缆断开感应) 也应连接至电路板接地。JTAG 时钟应从接头 TCK 输出终端环回到接头的 RTCK 输入终端 (以通过 JTAG 调试探针检测时钟连续性)。此 MCU 不支持 14 引脚和 20 引脚仿真接头上的 EMU0 和 EMU1 信号。这些信号应始终通过一对 2.2kΩ 至 4.7kΩ (取决于调试器端口的驱动强度) 的板载上拉电阻在仿真接头处上拉。通常使用 2.2kΩ 的阻值。

接头终端RESET是 JTAG 调试探针接头的开漏输出, 通过 JTAG 调试探针命令使电路板元件复位 (仅通过 20 引脚接头可用)。图 5-24 说明了如何将 14 引脚 JTAG 接头连接到 MCU 的 JTAG 端口信号, 图 5-25 说明了如何连接到 20 引脚 JTAG 接头。20 引脚 JTAG 接头终端 EMU2、EMU3 和 EMU4 未使用, 应接地。

备注

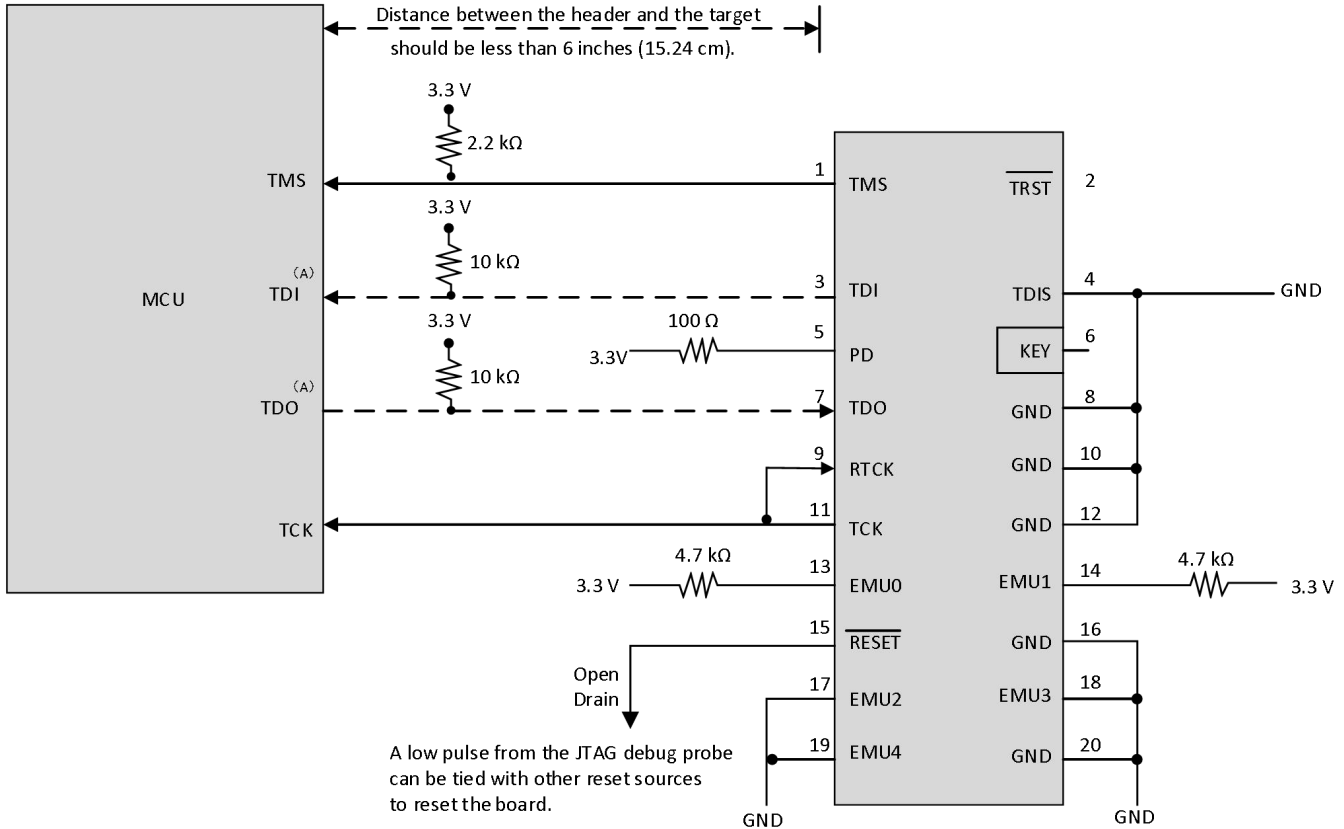
JTAG 测试数据输入 (TDI) 是引脚的默认多路复用器选择。默认情况下, 内部上拉处于禁用状态。如果此引脚被用作 JTAG TDI, 应该启用内部上拉电阻器或在电路板上增加一个外部上拉电阻器来避免悬空输入。在 cJTAG 选项中, 此引脚可用作 GPIO。

JTAG 测试数据输出 (TDO) 是引脚的默认多路复用器选择。默认情况下, 内部上拉处于禁用状态。当没有 JTAG 活动时, TDO 函数将处于高阻状态, 使此引脚悬空。应启用内部上拉或在电路板上添加外部上拉, 以避免 GPIO 输入悬空。在 cJTAG 选项中, 此引脚可用作 GPIO。



A. cJTAG 选项不需要 TDI 和 TDO 连接，这些引脚可用作 GPIO。

图 5-24 连接到 14 引脚 JTAG 接头



A. cJTAG 选项不需要 TDI 和 TDO 连接，这些引脚可用作 GPIO。

图 5-25 连接到 20 引脚 JTAG 接头

5.8.5.1 JTAG 电气数据和时序

第 5.8.5.1.1 节列出了 JTAG 时序要求，第 5.8.5.1.2 节列出了 JTAG 开关特征，图 5-26 所示为 JTAG 时序。

5.8.5.1.1 JTAG 时序要求

编号		最小值	最大值	单位
1	$t_c(\text{TCK})$ 周期时间, TCK	66.66		ns
1a	$t_w(\text{TCKH})$ 脉冲持续时间, TCK 高电平 (t_c 的 40%)	26.66		ns
1b	$t_w(\text{TCKL})$ 脉冲持续时间, TCK 低电平 (t_c 的 40%)	26.66		ns
3	$t_{su}(\text{TDI-TCKH})$ TDI 有效至 TCK 高电平的输入建立时间	13		ns
	$t_{su}(\text{TMS-TCKH})$ TMS 有效至 TCK 高电平的输入建立时间	13		
4	$t_h(\text{TCKH-TDI})$ 从 TCK 高电平至 TDI 有效的输入保持时间	7		ns
	$t_h(\text{TCKH-TMS})$ 从 TCK 高电平至 TMS 有效的输入保持时间	7		

5.8.5.1.2 JTAG 开关特征

在推荐的工作条件下 (除非另有说明)

编号	参数	最小值	最大值	单位
2	$t_d(\text{TCKL-TDO})$ TCK 低电平到 TDO 有效的延迟时间	6	25	ns

5.8.5.1.3 JTAG 时序图

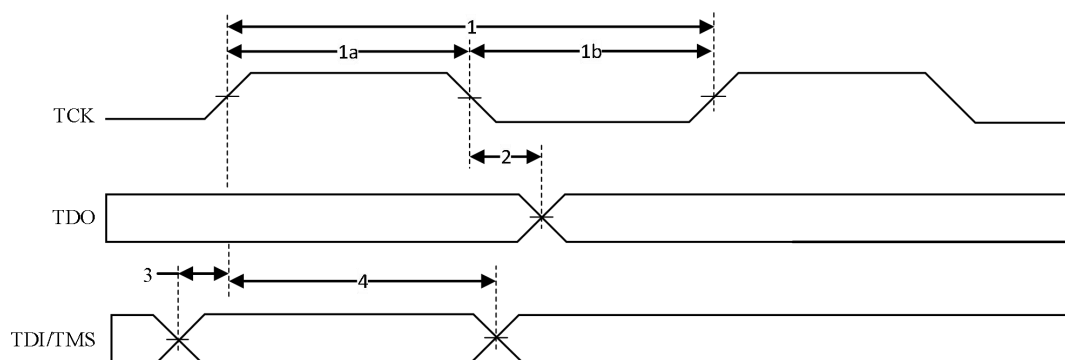


图 5-26 JTAG 时序

5.8.5.2 cJTAG 电气数据和时序

第 5.8.5.2.1 节列出了 cJTAG 时序要求，第 5.8.5.2.2 节列出了 cJTAG 开关特性，图 5-27 所示为 cJTAG 时序。

5.8.5.2.1 cJTAG 时序要求

编号			最小值	最大值	单位
1	$t_c(\text{TCK})$	周期时间，TCK	100		ns
1a	$t_w(\text{TCKH})$	脉冲持续时间，TCK 高电平 (t_c 的 40%)	40		ns
1b	$t_w(\text{TCKL})$	脉冲持续时间，TCK 低电平 (t_c 的 40%)	40		ns
3	$t_{su}(\text{TMS-TCKH})$	TMS 有效至 TCK 高电平的输入建立时间	15		ns
	$t_{su}(\text{TMS-TCKL})$	TMS 有效至 TCK 低电平的输入建立时间	15		ns
4	$t_h(\text{TCKH-TMS})$	从 TCK 高电平至 TMS 有效的输入保持时间	2		ns
	$t_h(\text{TCKL-TMS})$	从 TCK 低电平至 TMS 有效的输入保持时间	2		ns

5.8.5.2.2 cJTAG 开关特性

在建议运行条件下测得（除非另有说明）

编号	参数	最小值	最大值	单位
2	$t_d(\text{TCKL-TMS})$	延迟时间，TCK 低电平到 TMS 有效的时间	20	ns
5	$t_{dis}(\text{TCKH-TMS})$	延迟时间，TCK 高电平到 TMS 禁用的时间	20	ns

5.8.5.2.3 cJTAG 时序图

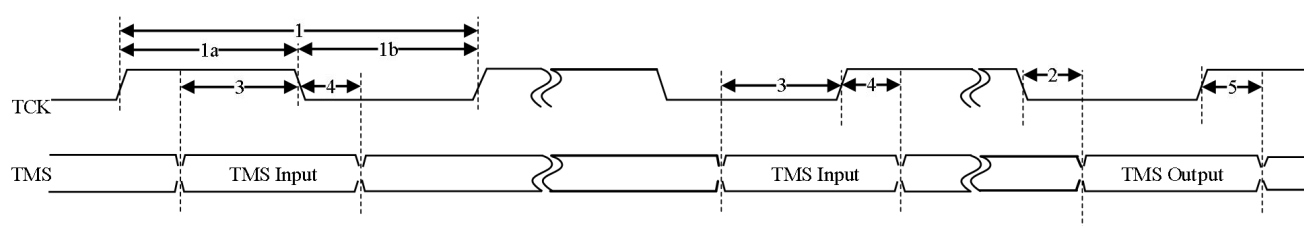


图 5-27 cJTAG 时序

5.8.6 GPIO 电气数据和时序

外设信号与通用输入/输出 (GPIO) 信号多路复用。复位时，GPIO 引脚配置为输入。对于特定的输入，用户还能选择输入限定周期的数量来滤除不必要的噪声干扰。

GPIO 模块包含输出 X-BAR，其允许将各种内部信号路由到 GPIO 多路复用器位置中的 GPIO 上，并表示为 OUTPUTXBARx。GPIO 模块还包含输入 X-BAR，用于将来自任何 GPIO 输入的信号路由到不同的 IP 块，例如 ADC、eCAP、ePWM 和外部中断。更多详细信息，请参阅《AVP32F0049 技术参考手册》中的“X-BAR”章节。

5.8.6.1 GPIO - 输出时序

第 5.8.6.1.1 节列出了通用输出开关特性，图 5-28 所示为通用输出时序。

5.8.6.1.1 通用输出开关特征

在推荐的工作条件下（除非另有说明）

参数			最小值	最大值	单位
$t_{r(GPIO)}$	上升时间，GPIO 从低电平切换至高电平	除 GPIO23_VSW 外的所有 GPIO		8 ⁽¹⁾	ns
$t_{f(GPIO)}$	下降时间，GPIO 从高电平切换至低电平	除 GPIO23_VSW 外的所有 GPIO		8 ⁽¹⁾	ns
f_{GPIO}	切换频率，除 GPIO23_VSW 外的所有 GPIO			25	MHz

(1) 设计指标，上升时间和下降时间随负载而变化，这些值假定负载为 40pF。

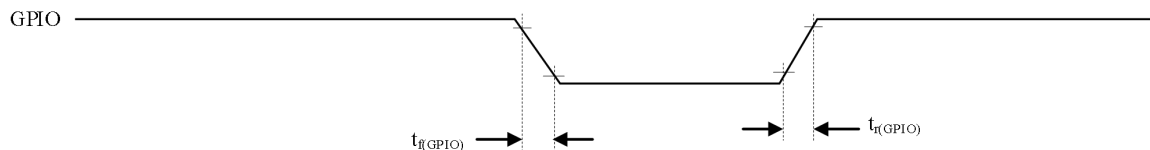


图 5-28 通用输出时序

5.8.6.2 GPIO - 输入时序

第 5.8.6.2.1 节列出了通用输入时序要求，图 5-29 所示为采样模式。

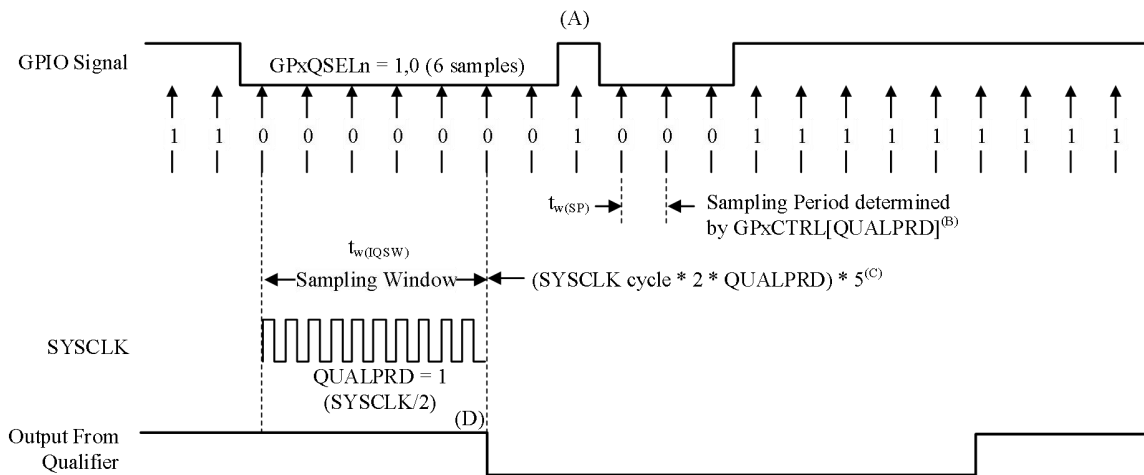
5.8.6.2.1 通用输入时序要求

表 5-11 通用输入时序要求

			最小值	最大值	单位
t _w (SP)	采样周期	QUALPRD=0	1t _c (SYSCLK)		周期
		QUALPRD≠0	2t _c (SYSCLK)*QUALPRD		
t _w (IQSW)	输入限定器采样窗口		t _w (SP)* ⁽¹⁾ (n-1)		周期
t _w (GPI) ⁽²⁾	脉冲持续时间，GPIO 低电平/高电平	同步模式	2t _c (SYSCLK)		周期
		带输入限定器	t _w (IQSW) + t _w (SP) + 1t _c (SYSCLK)		

(1) “n”代表由 GPxQSELn 寄存器定义的限定采样的次数。

(2) 对于 $t_{w(GPI)}$ ，对低电平有效信号在 V_{IL} 至 V_{IL} 之间测量脉宽，而高电平有效信号，在 V_{IH} 至 V_{IH} 之间测量脉宽。



- 输入限定器将忽略此毛刺。QUALPRD 位字段指定了限定采样周期，该位字段可以在 00 至 0xFF 之间变化。如果 QUALPRD=00，则采样周期为 1 个 SYSCCLK 周期。对于任何其他“n”值，限定采样周期为 2n SYSCCLK 周期（即，在每 2n 个 SYSCCLK 周期上，GPIO 引脚将被采样）。
- 通过 GPxCTRL 寄存器选择的限定周期会应用于由 8 个 GPIO 引脚组成的组。
- 此限定块可取 3 次或者 6 次采样。GPxQSELn 寄存器选择使用哪种采样模式。
- 在所示的示例中，为了使限定器检测到变化，输入应该在 10 个 SYSCCLK 周期或者更长周期内保持稳定。换句话说，输入应该在 $(5 * QUALPRD * 2)$ 个 SYSCCLK 周期内保持稳定。这将确保有 5 个采样周期用于检测。由于外部信号是异步驱动的，因此 13 个 SYSCCLK 宽的脉冲确保了识别的可靠性。

图 5-29 采样模式

5.8.6.3 输入信号的采样窗口宽度

下述小节总结了各种输入限定器配置下的输入信号的采样窗口宽度。采样频率表明相对于 SYSCLK 对信号进行采样的频率。

如果 $QUALPRD \neq 0$ ，则采样频率 = $SYSCLK / (2 \times QUALPRD)$

如果 $QUALPRD=0$ ，则采样频率 = $SYSCLK$

如果 $QUALPRD \neq 0$ ，则采样周期 = $SYSCLK$ 周期 $\times 2 \times QUALPRD$

在上面的等式中， $SYSCLK$ 周期表示 $SYSCLK$ 的时间周期。

如果 $QUALPRD=0$ ，则采样周期 = $SYSCLK$ 周期

在给定的采样窗口中，采取输入信号的 3 次或者 6 次采样来确定信号的有效性。这是由写入到 $GPxQSELn$ 寄存器的值确定的。

例 1:

使用 3 次采样进行限定

如果 $QUALPRD \neq 0$ ，则采样窗口宽度 = $(SYSCLK \text{ 周期} \times 2 \times QUALPRD) \times 2$

如果 $QUALPRD=0$ ，则采样窗口宽度 = $(SYSCLK \text{ 周期}) \times 2$

例 2:

使用 6 次采样进行限定

如果 $QUALPRD \neq 0$ ，则采样窗口宽度 = $(SYSCLK \text{ 周期} \times 2 \times QUALPRD) \times 5$

如果 $QUALPRD=0$ ，则采样窗口宽度 = $(SYSCLK \text{ 周期}) \times 5$

图 5-30 所示为通用输入时序。

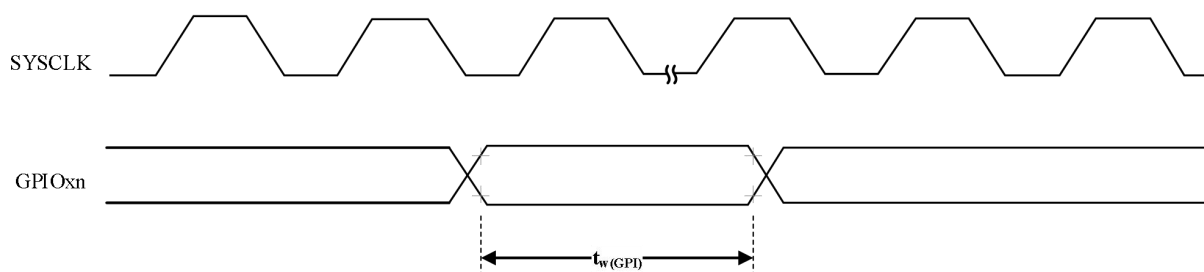


图 5-30 通用输入时序

5.8.7 中断

A2000 CPU 有 14 条外设中断线路，其中两条（INT13 和 INT14）分别直接连接到 CPU 定时器 1 和 2。其余 12 条通过增强型外设中断扩展（ePIE）模块连接到外设中断信号。ePIE 将多达 16 个外设中断多路复用到每条 CPU 中断线路中。它还会扩展向量表以允许每个中断都有自己的 ISR，这使得 CPU 能够支持大量外设。

中断路径分为三级：外设级、ePIE 级和 CPU 级。每一级都有自己的使能和标志寄存器。在其他中断挂起时，该系统允许 CPU 处理一个中断，在软件中实现中断嵌套并处理其优先级，以及在某些关键任务中禁用中断。

图 5-31 所示为该器件的中断架构。

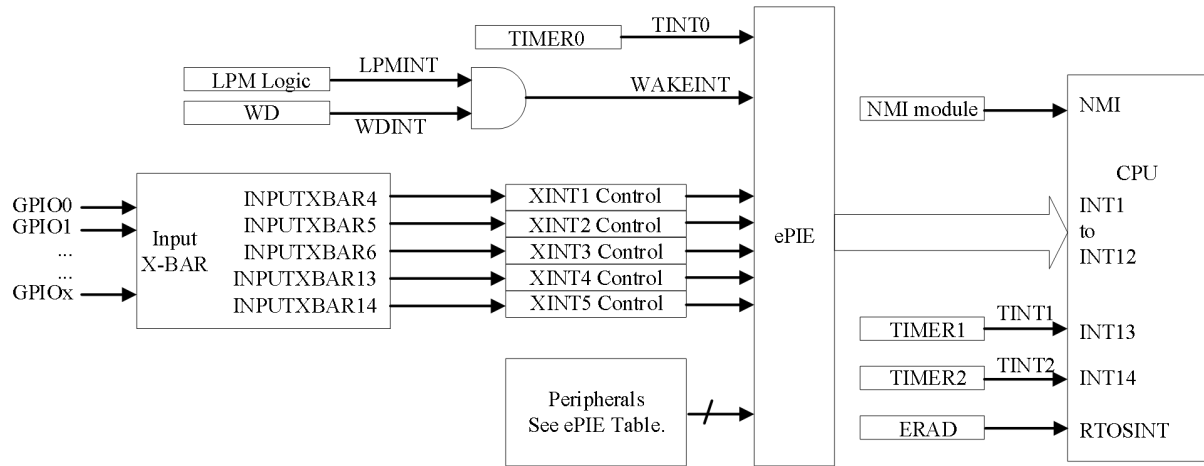


图 5-31 器件中断架构

5.8.7.1 外部中断 (XINT) 电气数据和时序

第 5.8.7.1.1 节列出了外部中断时序要求，第 5.8.7.1.2 节列出了外部中断开关特性，第 5.8.7.1.3 节为外部中断时序。

5.8.7.1.1 外部中断时序要求

			最小值	最大值	单位
$t_{w(INT)}$	脉冲持续时间，INT 输入低电平/高电平	同步	$2t_{c(SYSCCLK)}$		周期
		带限定器 ⁽¹⁾	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCCLK)}$		

(1) 有关输入限定器参数的说明，请参阅第 5.8.6.2.1 节。

5.8.7.1.2 外部中断开关特性

在建议运行条件下测得（除非另有说明）

参数 ⁽¹⁾	最小值	最大值	单位
$t_{d(INT)}$ 延时时间，INT 低电平/高电平到中断向量提取的时间 ⁽²⁾	$t_{w(IQSW)} + 14t_{c(SYSCCLK)}$	$t_{w(IQSW)} + t_{w(SP)} + 14t_{c(SYSCCLK)}$	周期

(1) 有关输入限定器参数的说明，请参阅第 5.8.6.2.1 节。

(2) 这是假设 ISR 是在单周期存储器中。

5.8.7.1.3 中断时序图

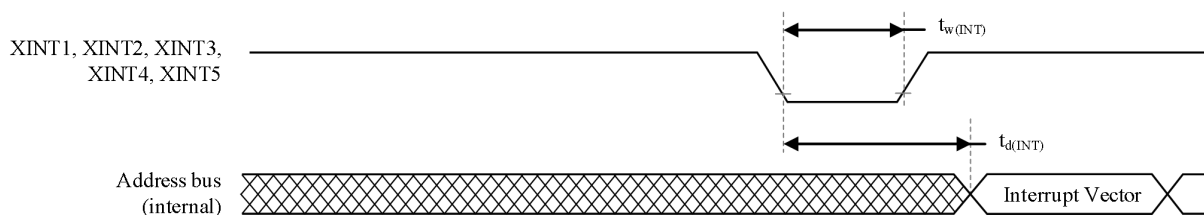


图 5-32 外部中断时序

5.8.8 低功耗模式

该器件具有停机（HALT）和空闲（IDLE）两种时钟门控低功耗模式。此器件不支持待机（STANDBY）模式。更多信息，请参阅《AVP32F0049 器件勘误表》。

更多有关所有低功耗模式的详细信息以及进入和退出过程，请参阅《AVP32F0049 技术参考手册》中的“低功耗模式”一节。

5.8.8.1 时钟门控低功耗模式

表 5-12 描述了进入任何一种时钟门控低功耗模式时对系统的影响。

表 5-12 时钟门控低功耗模式对器件的影响

模块/ 时钟域	IDLE	HALT
SYSCLK	运行	门控
CPUCLK	门控	门控
连接到 PERx.SYSCLK 的模块的时钟	运行	门控
WDCLK	运行	如果 CLKSRCCTL1.WDHALTI = 0，则进行门控
PLL	正常工作	软件必须在进入 HALT 之前关闭 PLL。
INTOSC1	正常工作	如果 CLKSRCCTL1.WDHALTI = 0，则切断 INTOSC1 时钟
INTOSC2	正常工作	如果 CLKSRCCTL1.WDHALTI = 0，则切断 INTOSC2 时钟
闪存 ⁽¹⁾	正常工作	正常工作
XTAL ⁽²⁾	正常工作	正常工作

- (1) 在任何 LPM 下，闪存模块不会由硬件断电。如果应用需要，可使用软件将其断电。有关更多信息，请参阅《AVP32F0049 技术参考手册》中“系统控制”一章的“闪存和 OTP 存储器”一节。
- (2) 在任何 LPM 下，XTAL 不会由硬件切断时钟源。它可以通过软件将 XTALCR.OSCOFF 位设置为 1 来切断。如果不需要 XTAL，可以在应用程序中的任何时间完成此操作。

5.8.8.2 低功耗模式唤醒时序

第 5.8.8.2.1 节列出了 IDLE 模式时序要求，第 5.8.8.2.2 节列出了开关特性，图 5-33 所示为 IDLE 模式的时序图。

5.8.8.2.1 IDLE 模式时序要求

		最小值 最大值	单位
$t_{w(WAKE)}$ 脉冲持续时间，外部唤醒信号	无输入限定器 ⁽¹⁾	$2t_{c(SYSCLK)}$	周期
	带输入限定器 ⁽¹⁾	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	

- (1) 有关输入限定器参数的说明，请参阅第 5.8.6.2.1 节。

5.8.8.2.2 IDLE 模式开关特性

在推荐的运行条件下测得（除非另有说明）

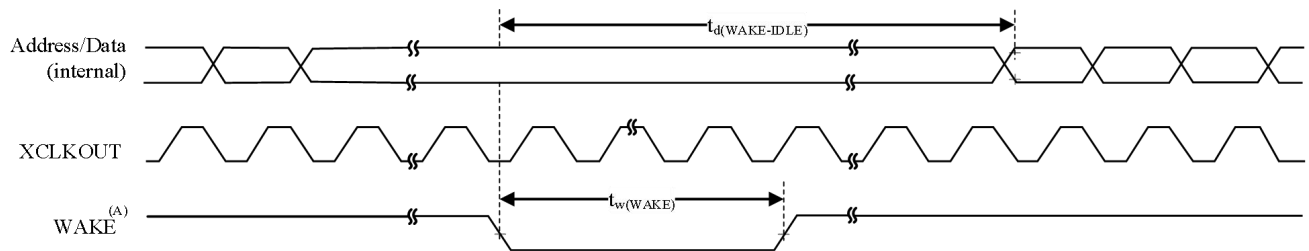
参数	测试条件	最小值	最大值	单位
$t_{d(WAKE-IDLE)}$	外部唤醒信号到程序恢复执行的延迟时间 ⁽²⁾			周期
	• 从闪存唤醒 — 处于有效活动状态的闪存模块	无输入限定器 ⁽¹⁾	$40t_{c(SYSCCLK)}$	
		带输入限定器 ⁽¹⁾	$40t_{c(SYSCCLK)} + t_{w(WAKE)}$	
	• 从闪存唤醒 — 处于睡眠状态的闪存模块	无输入限定器 ⁽¹⁾	$6700t_{c(SYSCCLK)}^{(3)}$	
		带输入限定器 ⁽¹⁾	$6700t_{c(SYSCCLK)}^{(3)} + t_{w(WAKE)}$	
	• 从 RAM 唤醒	无输入限定器 ⁽¹⁾	$25t_{c(SYSCCLK)}$	
		带输入限定器 ⁽¹⁾	$25t_{c(SYSCCLK)} + t_{w(WAKE)}$	

(1) 有关输入限定器参数的说明，请参阅第 5.8.6.2.1 节。

(2) 这个时间是在 IDLE 指令之后立即开始指令执行的时间，ISR（由唤醒信号触发）的执行涉及额外延迟。

(3) 该值基于闪存上电时间，其是 SYSCCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP] 的函数。更多信息，请参阅《AVP32F0049 技术参考手册》的“闪存/OTP 和泵功率模式及唤醒”一节。

5.8.8.2.3 IDLE 模式时序图



A. WAKE 可以是任何启用的中断、 $\overline{WDINT}$ 或 $XRSn$ 。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最少）的延迟。

图 5-33 进入和退出 IDLE 模式时序图

第 5.8.8.2.4 节列出了 HALT 模式时序要求，第 5.8.8.2.5 节列出了开关特性，图 5-34 所示为 HALT 模式时序图。

5.8.8.2.4 HALT 模式时序要求

		最小值	最大值	单位
$t_{w(WAKE-GPIO)}$	脉冲持续时间，GPIO 唤醒信号 ⁽¹⁾	$t_{oscst} + 2t_{c(OSCCLK)}$		周期
$t_{w(WAKE-XRS)}$	脉冲持续时间， $XRSn$ 唤醒信号 ⁽¹⁾	$t_{oscst} + 8t_{c(OSCCLK)}$		周期

(1) 对于将 X1/X2 用于 OSCCLK 的应用，用户必须表征其特定的振荡器启动时间，因为它取决于器件外部的电路/布局。更多信息，请参阅“晶体振荡器电气特性”。对于使用 INTOSC1 或 INTOSC2 作为 OSCCLK 的应用，请参阅“内部振荡器”一节关于 t_{oscst} 的信息。振荡器启动时间不适用于在 X1 引脚上使用单端晶振的应用，因为它由器件外部供电。

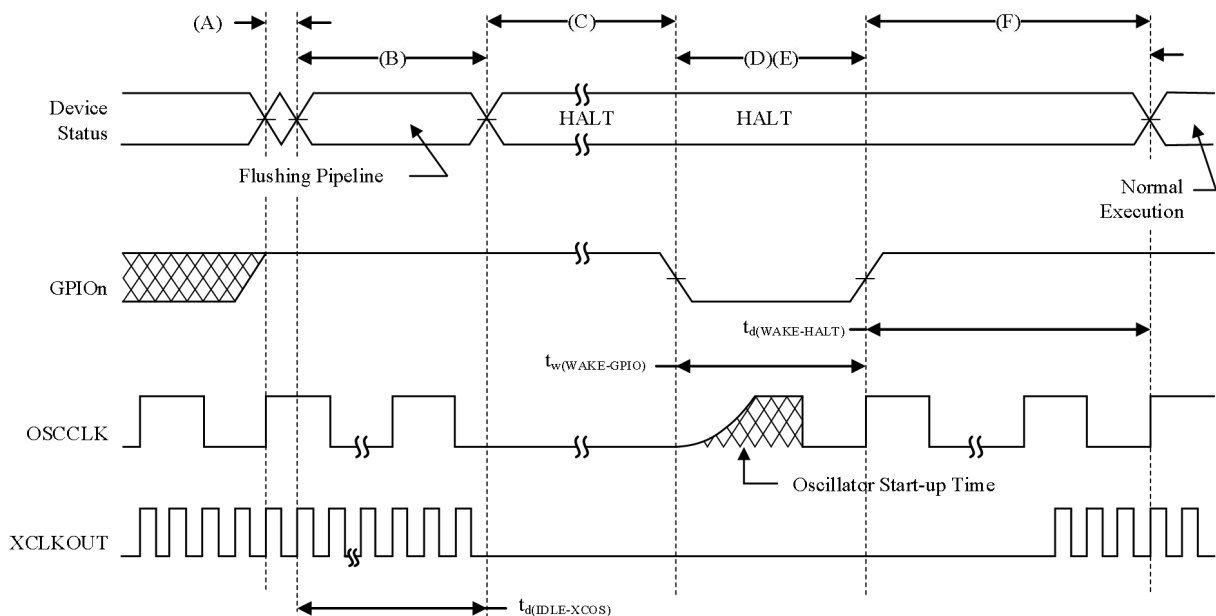
5.8.8.2.5 HALT 模式开关特征

在推荐的工作条件下（除非另有说明）

参数	最小值	最大值	单位
$t_{d(IDLE-XCOS)}$ IDLE 指令被执行到 XCLKOUT 停止的延迟时间		$16t_{c(INTOSC1)}$	周期
$t_{d(WAKE-HALT)}$	外部唤醒信号结束到 CPU 程序执行重新开始的延迟时间		周期
	- 从闪存唤醒 — 激活状态中的闪存模块	$75t_{c(OSCCLK)}$	
	- 从闪存唤醒 — 睡眠状态中的闪存模块	$17500t_{c(OSCCLK)}^{(1)}$	
	从 RAM 唤醒	$75t_{c(OSCCLK)}$	

(1) 该值基于闪存上电时间，其是 SYSCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP] 的函数。更多信息，请参阅《AVP32F0049 技术参考手册》的“闪存/OTP 和泵功率模式及唤醒”一节。

5.8.8.2.6 HALT 模式时序图



- 执行 IDLE 指令以将器件置于 HALT 模式。
- LPM 块响应 HALT 信号，SYSCLK 在关闭之前最多保持 16 个 INTOSC1 时钟周期。此延迟使 CPU 流水线和其他待处理的操作能够正确刷新。
- 到外设的时钟被关闭并且 PLL 被关断。如果一个石英晶振或者陶瓷谐振器被用作时钟源，内部振荡器也被关断。器件现在处于 HALT 模式，并且功耗非常低。可以在 HALT 模式中保持零引脚内部振荡器 (INTOSC1 和 INTOSC2) 以及看门狗处于活动中。为实现这一点，需要向 CLKSRCCTL1.WDHALTI 写入 1。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最少）的延迟。
- 当 GPIOn 引脚（用于使器件脱离 HALT 模式）被驱动为低电平时，振荡器被打开并且振荡器唤醒序列被启动。只有当振荡器稳定时，GPIO 才应被驱动为高电平。这使得在 PLL 锁序期间提供洁净的时钟信号。由于 GPIO 引脚的下降沿会以异步方式开始唤醒过程，因此在进入 HALT 模式之前和在此模式期间，应该注意保持低噪声环境。
- 馈送到 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将是不确定的并且在随后的唤醒脉冲中器件可能不会退出低功耗模式。
- 当内核的 CLKIN 已启用时，器件将在一些延迟后响应中断（如果已启用）。现在退出 HALT 模式。
- 恢复正常运行。
- 用户必须在 HALT 唤醒时重新锁定 PLL，以确保稳定的 PLL 锁定。

图 5-34 进入和退出 HALT 模式时序图

5.9 模拟外设

本节介绍了模拟子系统模块。

该器件上的模拟模块包括 ADC、PGA、温度传感器、缓冲 DAC 和 CMPSS。模拟子系统具有以下特性：

- 灵活的电压基准
 - ADC 以 VREFHI_x 和 VREFLO_x 引脚为基准。
 - VREFHI_x 引脚电压可由外部驱动或由内部带隙电压基准生成。
 - 内部电压基准范围可选为 0V 至 3.3V 或 0V 至 2.5V。
- 缓冲 DAC 以 VREFHI_x 和 VREFLO_x 为基准。
 - 或者，这些 DAC 可以以 VDAC 引脚和 VSSA 为基准。
- 比较器 DAC 以 VDDA 和 VSSA 为基准。
 - 或者，这些 DAC 可以以 VDAC 引脚和 VSSA 为基准。
- 灵活的引脚用法
 - 缓冲 DAC 输出、比较器子系统输入、PGA 功能和数字输入与 ADC 输入进行多路复用
 - 内部连接到所有 ADC 上的 VREFLO，用于偏移量自校准

图 5-35 所示为 100 引脚 QP LQFP 的模拟子系统框图。

图 5-36 所示为 64 引脚 QP LQFP 的模拟子系统框图。

图 5-37 所示为 56 引脚 QN VQFN 的模拟子系统框图。

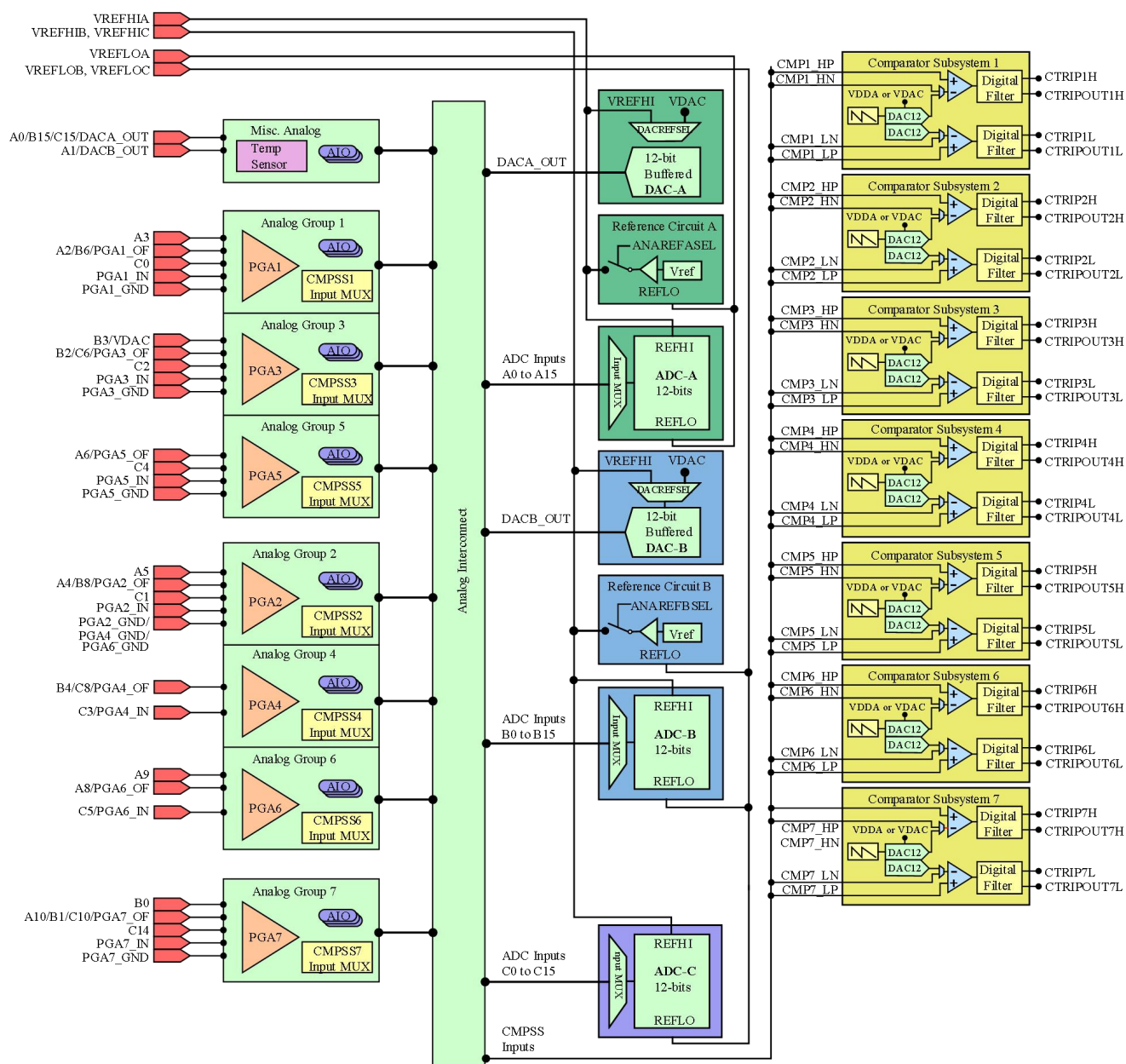
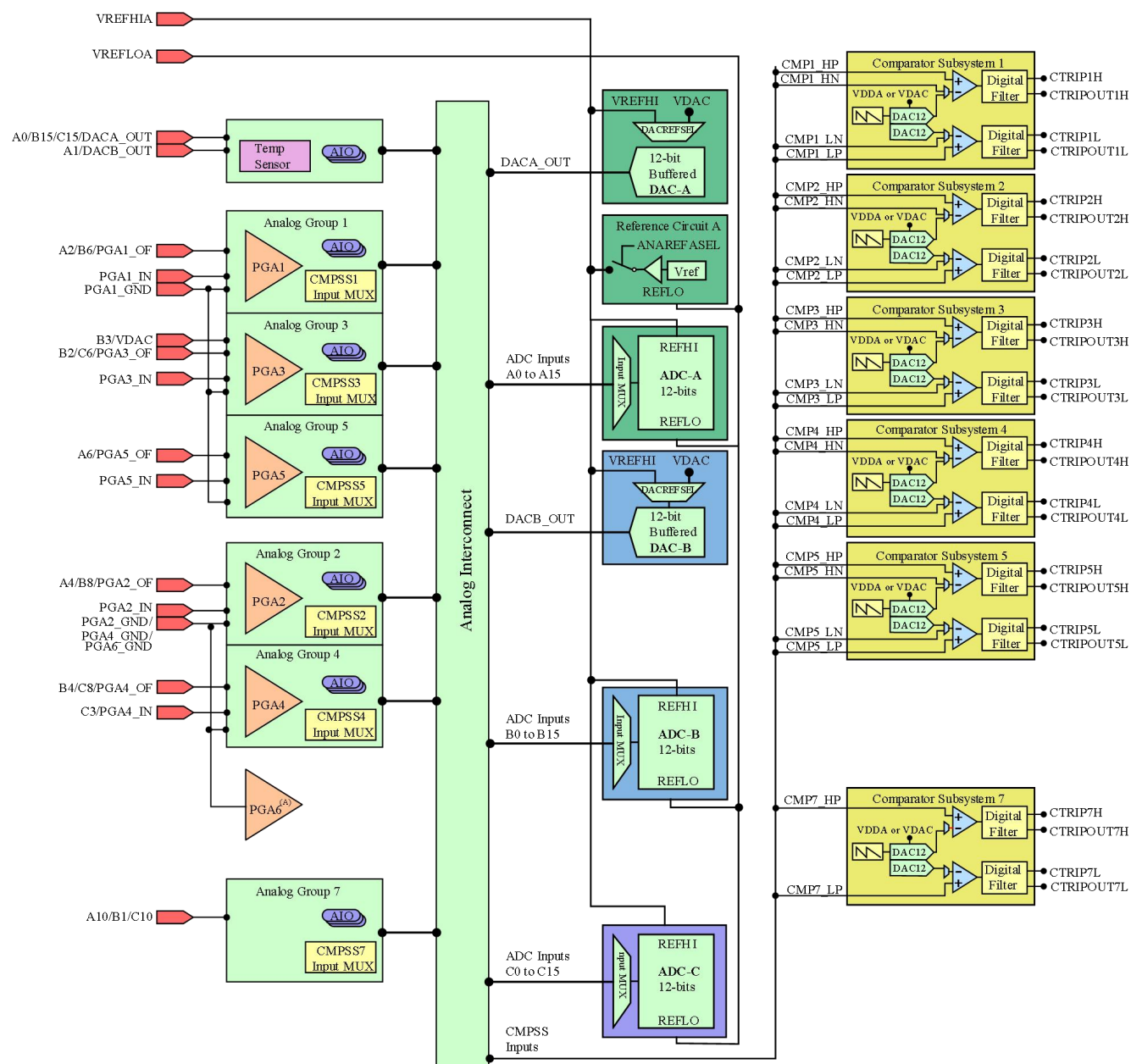


图 5-35 模拟子系统框图 (100 引脚 QP LQFP)



A. 此 PGA 在该封装上没有输入/输出连接，但应与具有共享 PGA 地的其他 PGA 同时启用和禁用。

图 5-36 模拟子系统框图 (64 引脚 QP LQFP)

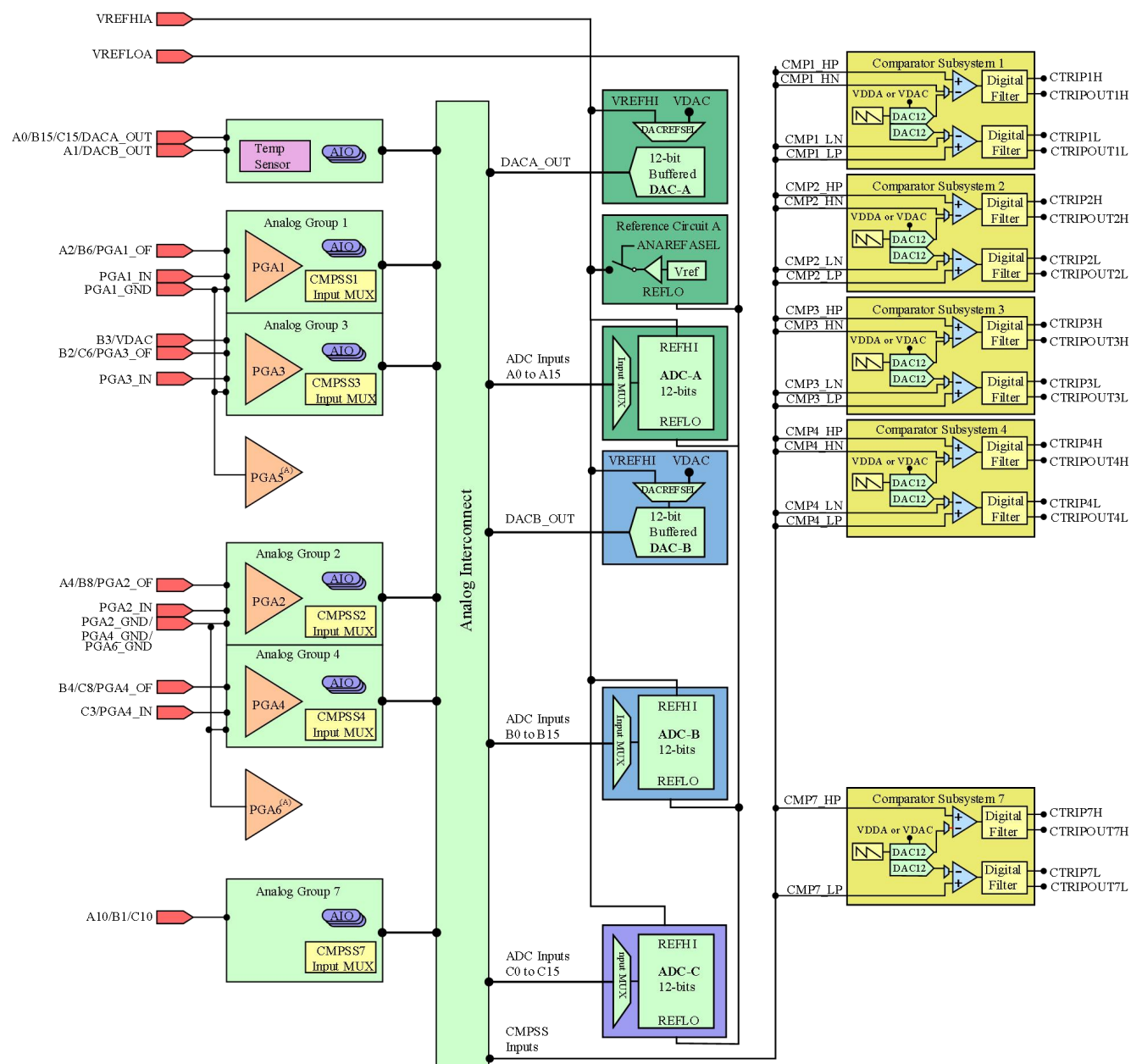
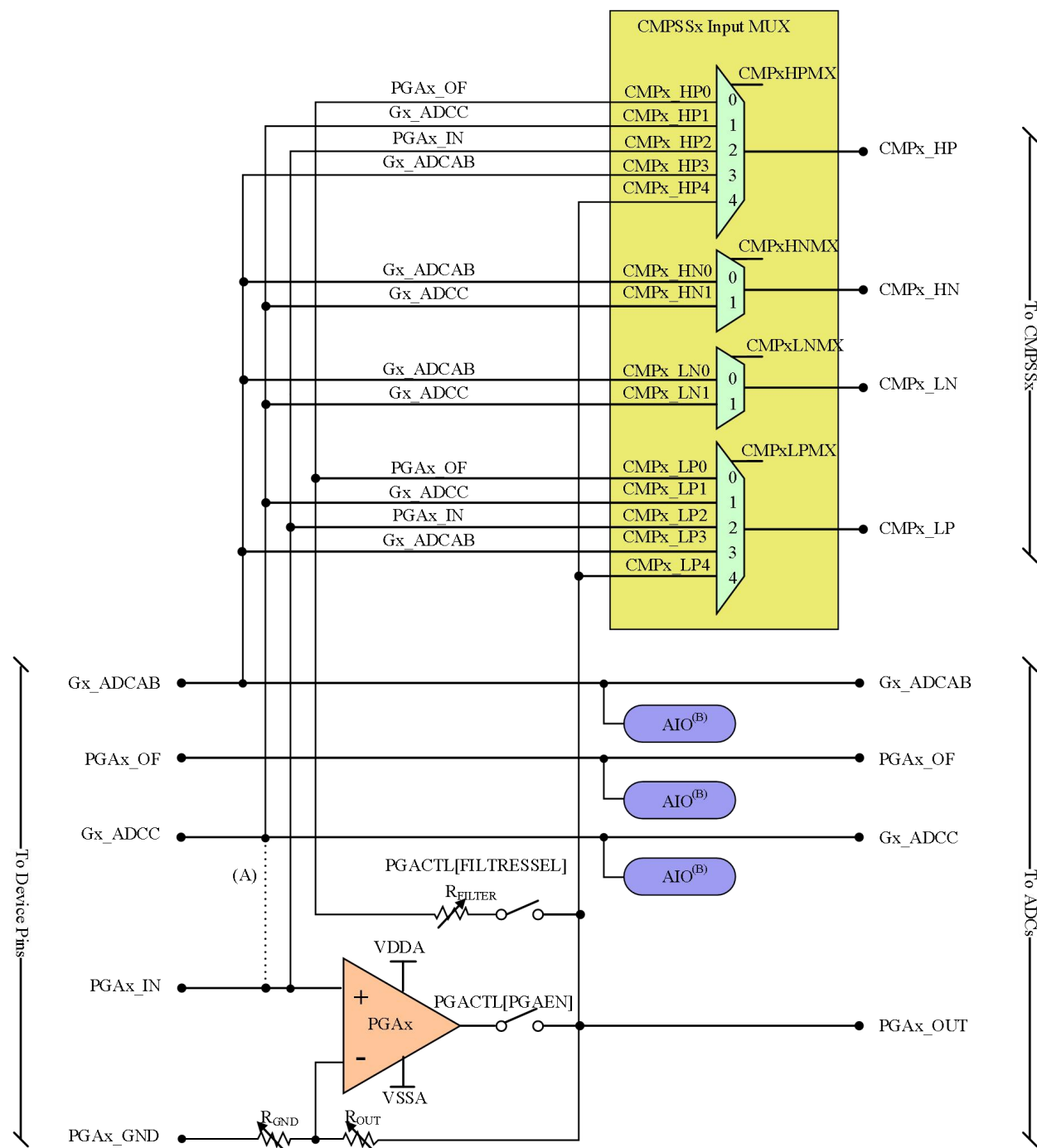


图 5-37 模拟子系统框图 (56 引脚 QN VQFN)

图 5-38 所示为模拟组连接。请参阅“模拟引脚和内部连接”表，了解每个封装中各个组的特定连接。“模拟信号说明”表提供了模拟信号的说明。



- A. 在较低引脚数的封装中，Gx_ADCC 的输入将与 PGA 输入共用一个引脚。如果未使用 PGA 输入，则 ADCC 输入可允许将该引脚用作 ADC 输入、负比较器输入或数字输入。
- B. AIO 仅支持数字输入模式。

图 5-38 模拟组连接

表 5-13 模拟引脚和内部连接

引脚名称	组名称	封装			始终连接 (无多路复用器)					比较器子系统 (多路复用器)				AIO 输入	
		100 QP	64 QP	56 QN	ADCA	ADCB	ADCC	PGA	DAC	高正	高负	低正	低负		
VREFHIA	-	25	16	14											
VREFHIB	-	24													
VREFHIC	-														
VREFLOA	-	27	17	15	A13										
VREFLOB	-	26				B13									
VREFLOC	-						C13								
模拟组 1										CMP1					
A3	G1_ADCAB	10			A3					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO233	
A2/B6/PGA1_OF	PGA1_OF	9	9	8	A2	B6		PGA1_OF		HPMXSEL = 0		LPMXSEL = 0		AIO224	
C0	G1_ADCC	19	12	10			C0			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO237	
PGA1_IN	PGA1_IN	18						PGA1_IN		HPMXSEL = 2		LPMXSEL = 2			
PGA1_GND	PGA1_GND	14	10	9				PGA1_GND							
-	PGA1_OUT ⁽¹⁾				A11	B7		PGA1_OUT		HPMXSEL = 4		LPMXSEL = 4			
模拟组 2										CMP2					
A5	G2_ADCAB	35			A5					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO234	
A4/B8/PGA2_OF	PGA2_OF	36	23	21	A4	B8		PGA2_OF		HPMXSEL = 0		LPMXSEL = 0		AIO225	
C1	G2_ADCC	29	18	16			C1			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO238	
PGA2_IN	PGA2_IN	30						PGA2_IN		HPMXSEL = 2		LPMXSEL = 2			
PGA2_GND	PGA2_GND	32	20	18				PGA2_GND							
-	PGA2_OUT ⁽¹⁾				A12	B9		PGA2_OUT		HPMXSEL = 4		LPMXSEL = 4			
模拟组 3										CMP3					
B3/VDAC	G3_ADCAB	8	8	7		B3			VDAC	HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO242	
B2/C6/PGA3_OF	PGA3_OF	7	7	6		B2	C6	PGA3_OF		HPMXSEL = 0		LPMXSEL = 0		AIO226	
C2	G3_ADCC	21	13	11			C2			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO244	
PGA3_IN	PGA3_IN	20						PGA3_IN		HPMXSEL = 2		LPMXSEL = 2			

表 5-13 模拟引脚和内部连接 (续)

引脚名称	组名称	封装			始终连接 (无多路复用器)					比较器子系统 (多路复用器)				AIO 输入
		100 QP	64 QP	56 QN	ADCA	ADCB	ADCC	PGA	DAC	高正	高负	低正	低负	
PGA3_GND	PGA3_GND	15	10	9				PGA3_GN D						
-	PGA3_OUT ⁽¹⁾					B10	C7	PGA3_OU T		HPMXSEL = 4		LPMXSEL = 4		
模拟组 4										CMP4				
B5	G4_ADCAB					B5				HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO243
B4/C8/PGA4_OF	PGA4_OF	39	24	22		B4	C8	PGA4_OF		HPMXSEL = 0		LPMXSEL = 0		AIO227
C3	G4_ADCC	31	19	17			C3			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO245
PGA4_IN	PGA4_IN							PGA4_IN		HPMXSEL = 2		LPMXSEL = 2		
PGA4_GND	PGA4_GND	32	20	18				PGA4_GN D						
-	PGA4_OUT ⁽¹⁾					B11	C9	PGA4_OU T		HPMXSEL = 4		LPMXSEL = 4		
模拟组 5										CMP5				
A7	G5_ADCAB				A7					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO235
A6/PGA5_OF	PGA5_OF	6	6		A6			PGA5_OF		HPMXSEL = 0		LPMXSEL = 0		AIO228
C4	G5_ADCC	17	11				C4			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO239
PGA5_IN	PGA5_IN	16						PGA5_IN		HPMXSEL = 2		LPMXSEL = 2		
PGA5_GND	PGA5_GND	13	10	9				PGA5_GN D						
-	PGA5_OUT ⁽¹⁾				A14			PGA5_OU T		HPMXSEL = 4		LPMXSEL = 4		
模拟组 6										CMP6				
A9	G6_ADCAB	38			A9					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO236
A8/PGA6_OF	PGA6_OF	37			A8			PGA6_OF		HPMXSEL = 0		LPMXSEL = 0		AIO229
C5	G6_ADCC	28					C5			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO240
PGA6_IN	PGA6_IN							PGA6_IN		HPMXSEL = 2		LPMXSEL = 2		
PGA6_GND	PGA6_GND	32	20	18				PGA6_GN D						

表 5-13 模拟引脚和内部连接 (续)

引脚名称	组名称	封装			始终连接 (无多路复用器)					比较器子系统 (多路复用器)				AIO 输入
		100 QP	64 QP	56 QN	ADCA	ADCB	ADCC	PGA	DAC	高正	高负	低正	低负	
-	PGA6_OUT ⁽¹⁾				A15			PGA6_OUT		HPMXSEL = 4		LPMXSEL = 4		
模拟组 7										CMP7				
B0	G7_ADCAB	41				B0				HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO241
A10/B1/C10/PGA7_OF	PGA7_OF ⁽²⁾	40	25	23	A10	B1	C10	PGA7_OF		HPMXSEL = 0		LPMXSEL = 0		AIO230
C14	G7_ADCC	44					C14			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO246
PGA7_IN	PGA7_IN	43						PGA7_IN		HPMXSEL = 2		LPMXSEL = 2		
PGA7_GND	PGA7_GND	42						PGA7_GND						
-	PGA7_OUT ⁽¹⁾					B12	C11	PGA7_OUT		HPMXSEL = 4		LPMXSEL = 4		
其他模拟														
A0/B15/C15/DACA_OUT		23	15	13	A0	B15	C15		DACA_OUT					AIO231
A1/DACB_OUT		22	14	12	A1				DACB_OUT					AIO232
C12							C12							AIO247
-	温度传感器 ⁽¹⁾					B14								

(1) 仅限内部连接; 不连接到器件引脚。

(2) 64 引脚和 56 引脚封装不提供 PGA 功能。

表 5-14 模拟信号说明

信号名称	说明
AIOx	ADC 引脚上的数字输入
Ax	ADC A 输入
Bx	ADC B 输入
Cx	ADC C 输入
CMPx_DACH	比较器子系统高电平 DAC 输出
CMPx_DACL	比较器子系统低电平 DAC 输出
CMPx_HNy	比较器子系统高比较器输入负端
CMPx_HPy	比较器子系统高比较器输入正端
CMPx_LNy	比较器子系统低比较器输入负端
CMPx_LPy	比较器子系统低比较器输入正端
DACx_OUT	缓冲 DAC 输出
PGAx_GND	PGA 接地
PGAx_IN	PGA 输入

表 5-14 模拟信号说明 (续)

信号名称	说明
PGAx_OF	滤波器的 PGA 输出
PGAx_OUT	到内部 ADC 的 PGA 输出
温度传感器	内部温度传感器
VDAC	片载 DAC 的可选外部基准电压。无论是用于 ADC 输入还是 DAC 基准，此引脚上都有一个连接至 VSSA 且无法禁用的 100pF 电容器。如果将此引脚用作片载 DAC 的基准，请在此引脚上放置一个不小于 1μF 的电容器。

5.9.1 模数转换器 (ADC)

此部分描述的 ADC 模块是分辨率为 12 位的逐次逼近 (SAR) 型 ADC。本节将转换器的模拟电路称为“内核” (Core)，包括通道选择 MUX、采样保持 (S/H) 电路、逐次逼近电路、电压基准电路和其他模拟支持电路。转换器的数字电路被称为“包装器” (Wrapper)，包含用于可编程转换的逻辑、结果寄存器、模拟电路接口、外设总线接口、后处理电路以及其他片载模块接口。

每个 ADC 模块都包含一个采样保持 (S/H) 电路。一个芯片上使用多个相同且相互独立的 ADC 模块，多个 ADC 可以设置成同步采样或独立运行。ADC 包装器基于转换启动 (SOC) (请参阅《AVP32F0049 技术参考手册》中“模数转换器 (ADC)”一章的“SOC 工作原理”部分)。

每个 ADC 具有以下特性：

- 分辨率：12 位
- 由 VREFHI/VREFLO 设定的比例式外部基准
- 2.5V 或 3.3V 的可选内部基准
- 单端信号模式
- 多达 16 通道输入多路复用
- 16 个可配置 SOC
- 16 个可单独寻址的结果寄存器
- 多个触发源
 - S/W：软件立即启动
 - 所有 ePWM：ADCSOC A 或 B
 - GPIO XINT2
 - CPU 定时器 0/1/2
 - ADCINT1/2
- 四个灵活的 PIE 中断
- 突发模式触发选项
- 四个后处理块，每块具有：
 - 饱和偏移量校准
 - 设定点偏移计算
 - 具有中断和 ePWM 跳变功能的高电平、低电平和过零比较
 - 触发至采样延迟捕获

备注

并非每个通道都可以从所有 ADC 输出引脚。请参阅第 4 章以确定可用的通道。

ADC 内核和 ADC 包装器的框图如图 5-39 所示。

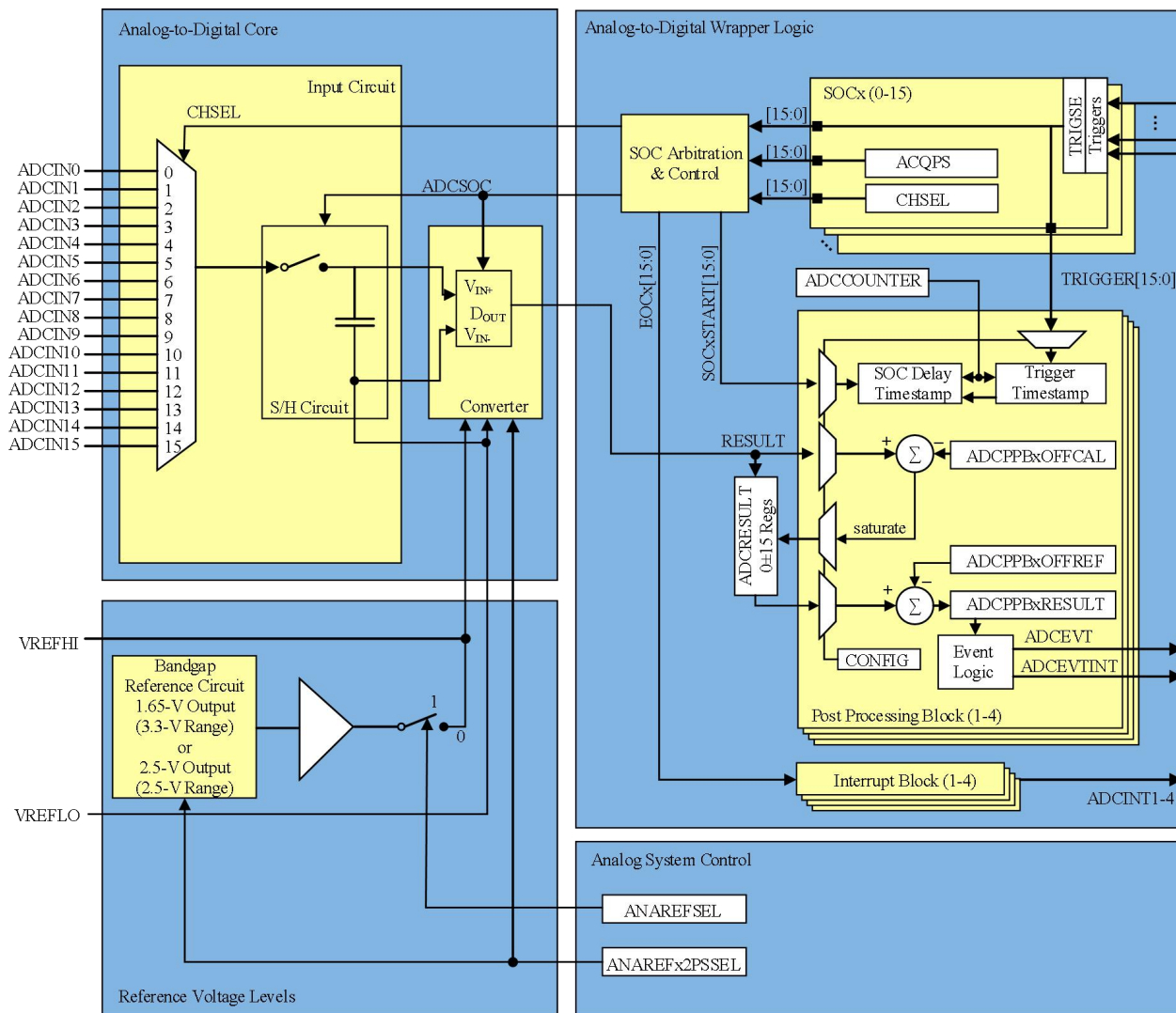


图 5-39 ADC 模块框图

5.9.1.1 结果寄存器映射

ADC 结果寄存器和 ADC PPB 结果寄存器会映射到系统内每个存储器总线控制器中。总线控制器包括特定器件系列和器件型号上的 CPU、CLA 和 DMA。对于每个总线控制器，无需进行访问配置即可读取结果寄存器，并且在多个总线控制器尝试同时读取 ADC 结果时不会发生竞争。

5.9.1.2 ADC 可配置性

一些 ADC 配置由 SOC 单独控制，而其他配置则由每个 ADC 模块全局控制。表 5-15 汇总了基本的 ADC 选项及其可配置性级别。

表 5-15 ADC 选项和配置级别

选项	可配置性
时钟	每模块 ⁽¹⁾
分辨率	不可配置（仅限 12 位分辨率）
信号模式	不可配置（仅限单端信号模式）
基准电压源	每模块
触发源	每 SOC ⁽¹⁾
转换后的通道	每 SOC
采样窗口持续时间	每 SOC ⁽¹⁾
EOC 位置	每模块
突发模式	每模块 ⁽¹⁾

- (1) 将这些值以不同方式写入不同的 ADC 模块可能会导致 ADC 异步工作。有关 ADC 何时同步或异步工作的指导，请参阅《AVP32F0049 技术参考手册》中“模数转换器 (ADC)”一章的“确保同步工作”部分。

5.9.1.2.1 信号模式

ADC 支持单端信号模式。在单端模式中，以 VREFLO 为参考信号“地”，输入信号通过单个引脚 (ADCIN_x) 接入转换器进行采样。图 5-40 所示为单端信号模式。

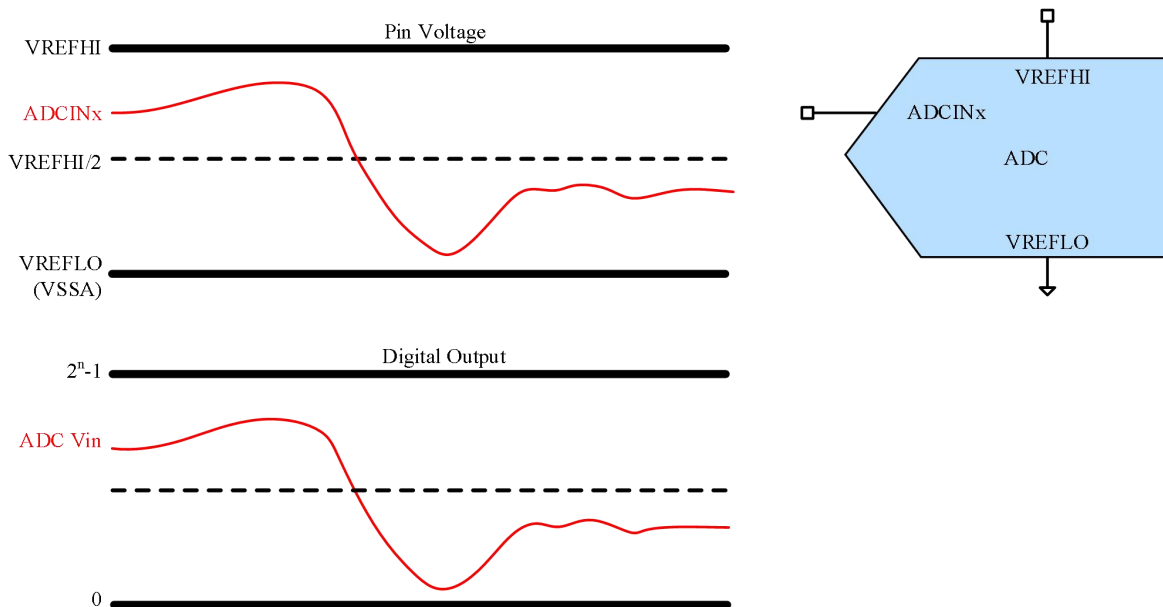


图 5-40 单端信号模式

5.9.1.3 ADC 电气数据和时序

第 5.9.1.3.1 列出了 ADC 工作条件，第 5.9.3.1.2 列出了 ADC 电气特性。

5.9.1.3.1 ADC 运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK (源自 PERx.SYSCLK)		5		50	MHz
采样率	120MHz SYSCLK			3.45	MSPS
采样窗口持续时间 (由 ACQPS 和 PERx.SYSCLK 设置) ⁽¹⁾	具有 50Ω 或更小的 R _s	75			ns
VREFHI	外部基准	2.4	2.5 或 3.0	VDDA	V
VREFHI ⁽²⁾	内部基准电压 = 3.3V 范围		1.65		V
	内部基准电压 = 2.5V 范围		2.5		V
VREFLO		VSSA	VSSA	VSSA	V
VREFHI - VREFLO	外部基准	2.4		VDDA	V
转换范围	内部基准电压 = 3.3V 范围	0		3.3	V
	内部基准电压 = 2.5V 范围	0		2.5	V
	外部基准	VREFLO		VREFHI	V

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。

(2) 在内部基准模式下，基准电压由器件从 VREFHI 引脚输出。在此模式下，用户不应将外部电压输入到引脚中。

备注

工作过程中，ADC 输入应保持低于 VDDA + 0.3V。如果 ADC 输入超过此电平，器件内部的 V_{REF} 可能会受到干扰，这可能会影响使用相同 V_{REF} 的其他 ADC 或 DAC 输入的结果。

备注

VREFHI 引脚必须保持低于 VDDA + 0.3V，以确保正常工作。如果 VREFHI 引脚超过此电平，可能会激活阻塞电路，并且 VREFHI 的内部值可能会在内部浮动至 0V，从而导致 ADC 转换或 DAC 输出不正确。

5.9.1.3.2 ADC 特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期	120MHz SYSCLK	10.1		11	ADCCLK
上电时间	外部基准模式			500 ^(s)	μs
	内部基准模式			5000 ^(s)	μs
	在 2.5V 和 3.3V 范围之间切换时采用内部基准模式。			5000 ^(s)	μs
VREFHI 输入电流 ⁽¹⁾			160		μA
内部基准电容值 ⁽²⁾		2.2			μF
外部基准电容值 ⁽²⁾		2.2			μF
直流特性					
增益误差	内部基准	-38 ⁽⁴⁾		98 ⁽⁴⁾	LSB
	外部基准	-8.8 ⁽⁴⁾		8.2 ⁽⁴⁾	
偏移量误差		-9.3 ⁽⁴⁾		0 ⁽⁴⁾	LSB
DNL 误差		-1 ⁽⁴⁾		4.1 ⁽⁴⁾	LSB
INL 误差		-8.3 ⁽⁴⁾		4.3 ⁽⁴⁾	LSB
ADC 间隔	VREFHI = 2.5V, 同步 ADC	-1 ⁽⁵⁾		1 ⁽⁵⁾	LSB
	VREFHI = 2.5V, 异步 ADC	不支持			
交流特性					
SNR ⁽³⁾	VREFHI = 2.5V, f _{in} = 100kHz, SYSCLK 源自 X1		65.7		dB
THD ⁽³⁾	VREFHI = 2.5V, f _{in} = 100kHz		-75		dB
SFDR ⁽³⁾	VREFHI = 2.5V, f _{in} = 100kHz		76.8		dB
SINAD ⁽³⁾	VREFHI = 2.5V, f _{in} = 100kHz, SYSCLK 源自 X1		65.2		dB
ENOB ⁽³⁾	VREFHI = 2.5V, f _{in} = 100kHz, SYSCLK 源自 X1, 单个 ADC		10.5		位
	VREFHI = 2.5V, f _{in} = 100kHz, SYSCLK 源自 X1, 同步 ADC		10.5		
	VREFHI = 2.5V, f _{in} = 100kHz, SYSCLK 源自 X1, 异步 ADC	不支持			
PSRR	VDD = 1.1V 直流 + 100mV 正弦 (1kHz 时)		60 ^(s)		dB
	VDD = 1.1V 直流 + 100mV 正弦 (300kHz 时)		57 ^(s)		
	VDDA = 3.3V 直流 + 200mV 正弦 (1kHz 时)		60 ^(s)		
	VDDA = 3.3V 直流 + 200mV 正弦 (900kHz 时)		57 ^(s)		

- (1) 当 ADC 输入大于 VDDA 时, VREFHI 上的负载电流会增加, 从而导致转换不准确。
- (2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器。可接受高达 $\pm 20\%$ 的容差。
- (3) 为减少电容耦合和串扰, 以达到最佳实测性能, 已尽量减少与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动。
- (4) 线性度校准前。
- (5) 设计指标。

5.9.1.3.3 ADC 输入模型

表 5-16 和图 5-41 所示为 ADC 输入特性。

表 5-16 输入模型参数

	说明	基准模式	值
C_p	寄生输入电容	全部	请参阅表 5-17
R_{on}	采样开关电阻	外部基准, 2.5V 内部基准	$500\ \Omega^{(1)}$
		3.3V 内部基准	$860\ \Omega^{(1)}$
C_h	采样电容器	外部基准, 2.5V 内部基准	$12.5\ \text{pF}^{(1)}$
		3.3V 内部基准	$7.5\ \text{pF}^{(1)}$
R_s	标称源阻抗	全部	$50\ \Omega$

(1) 设计指标。

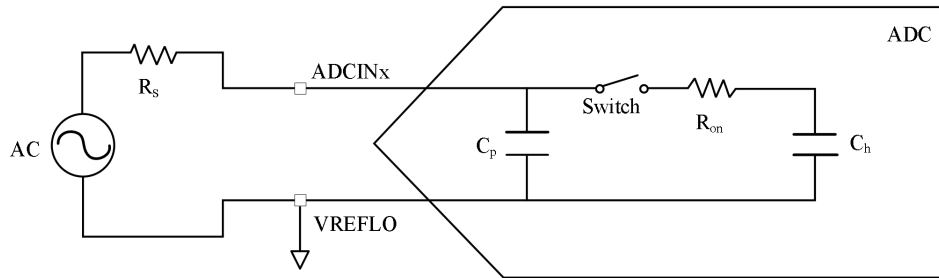


图 5-41 输入模型

应将此输入模型与实际信号源阻抗配合使用，以确定采样窗口持续时间。有关更多信息，请参阅《AVP32F0049 技术参考手册》中“模数转换器(ADC)”一章的“选择采样窗口持续时间”部分。

表 5-17 列出了每个通道上的寄生电容。

表 5-17 每通道寄生电容

ADC 通道	C _p (pF)	
	禁用比较器	启用比较器
ADCINA0	TBD ⁽²⁾	TBD
ADCINA1	TBD	TBD
ADCINA2	TBD	TBD
ADCINA3	TBD	TBD
ADCINA4	TBD	TBD
ADCINA5	TBD	TBD
ADCINA6	TBD	TBD
ADCINA7	TBD	TBD
ADCINA8	TBD	TBD
ADCINA9	TBD	TBD
ADCINA10	TBD	TBD
ADCINB0	TBD	TBD
ADCINB1	TBD	TBD
ADCINB2	TBD	TBD
ADCINB3 ⁽¹⁾	TBD	TBD
ADCINB4	TBD	TBD
ADCINB5	TBD	TBD
ADCINB6	TBD	TBD
ADCINB8	TBD	TBD
ADCINB15	TBD	TBD
ADCINC0	TBD	TBD
ADCINC1	TBD	TBD
ADCINC2	TBD	TBD
ADCINC3	TBD	TBD
ADCINC4	TBD	TBD
ADCINC5	TBD	TBD
ADCINC6	TBD	TBD
ADCINC8	TBD	TBD
ADCINC10	TBD	TBD
ADCINC12	TBD	TBD
ADCINC14	TBD	TBD
ADCINC15	TBD	TBD

(1) 该引脚还用于为 COMPDAC 和 GPDAC 提供基准电压，并包含一个内部去耦电容器。

(2) TBD = To be defined

5.9.1.3.4 ADC 时序图

图 5-42 所示为在下列假设下两个 SOC 的 ADC 转换时序：

- SOC0 和 SOC1 配置为使用相同的触发器。
- 触发发生时，没有其他 SOC 正在转换或挂起。
- 轮循指针处于使 SOC0 首先转换的状态。
- ADCINTSEL 配置为在 SOC0 的转换结束时设置一个 ADCINT 标志（该标志是否传输到 CPU 以引起中断由 PIE 模块中的配置决定）。

表 5-18 列出了 ADC 时序参数的说明，表 5-19 列出了 ADC 时序。

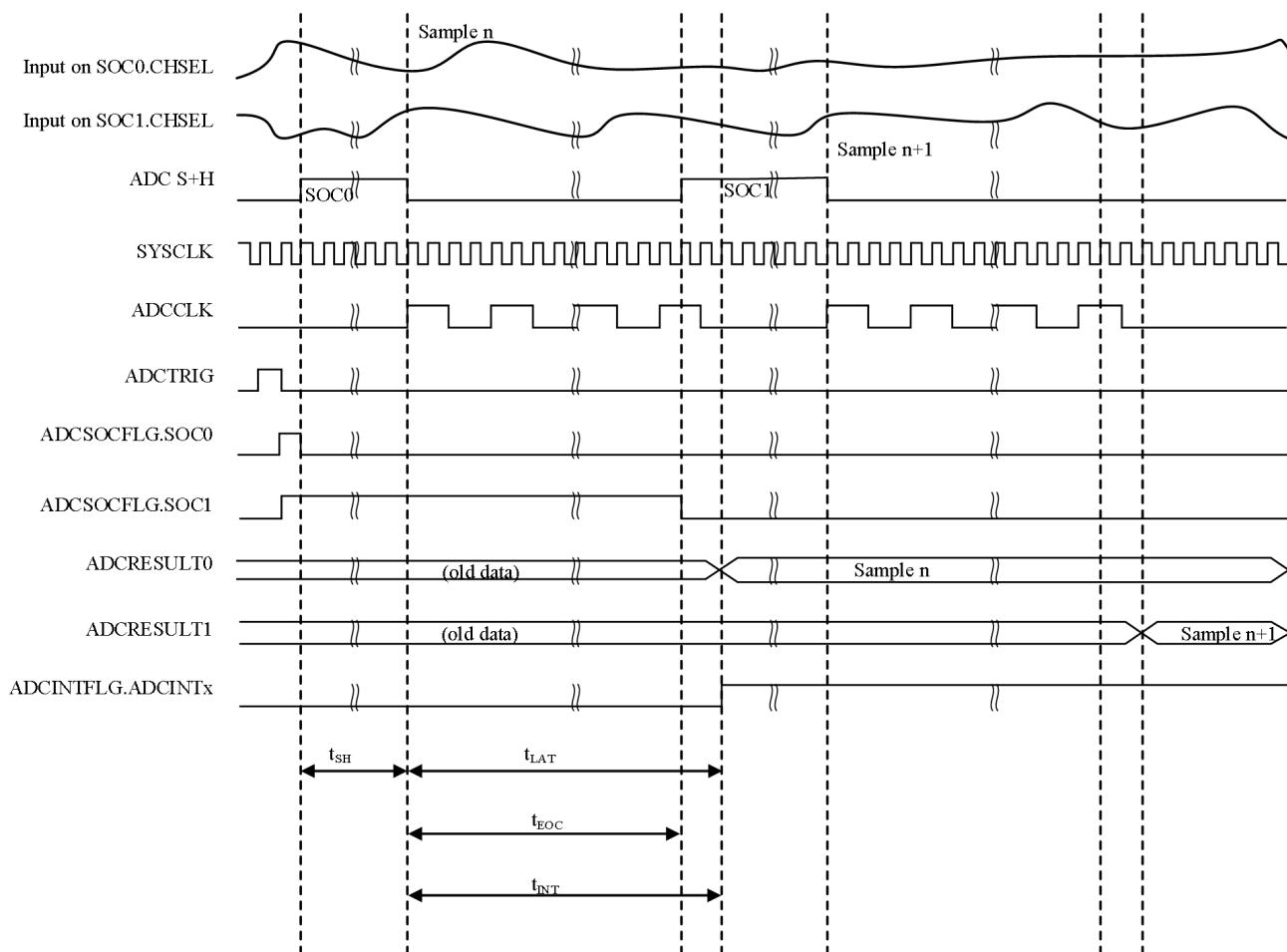


图 5-42 ADC 时序

表 5-18 ADC 时序参数

参数	说明
t_{SH}	S+H 窗口的持续时间。 在该窗口结束时，S+H 电容器上的值则变为待转换成数字值的电压。持续时间由 $(ACQPS + 1)$ 个 SYSCLK 周期计算得出。ACQPS 可以为每个 SOC 单独配置，因此对于不同的 SOC，t_{SH} 不一定相同。 注意：无论器件时钟设置如何，S+H 电容器上的值都将在 S+H 窗口结束前大约 5ns 时被采样。
t_{LAT}	从 S+H 窗口结束到 ADC 结果锁存到 ADCRESULTx 寄存器的时间。 如果在此时间之前读取 ADCRESULTx 寄存器，将返回之前的转换结果。
t_{EOC}	从 S+H 窗口结束到下一个 ADC 转换的 S+H 窗口可以开始的时间。后续采样可以在锁存转换结果之前开始。
t_{INT}	从 S+H 窗口结束到设置 ADCINT 标志（如果已配置）的时间。 如果设置了 ADCCTL1 寄存器中的 INTPULSEPOS 位，t_{INT} 将与锁存到结果寄存器中的转换结果相一致。 如果 INTPULSEPOS 位为 0，t_{INT} 将与 S+H 窗口的结束相一致。如果 t_{INT} 触发读取 ADC 结果寄存器（直接通过 DMA 读取或通过触发读取结果的 ISR 来间接读取），必须注意确保读取发生在结果锁存之后（否则，将读取之前的结果）。 如果 INTPULSEPOS 位为 0，并且 ADCINTCYCLE 寄存器中的 OFFSET 字段不为 0，则在设置 ADCINT 标志之前会有 OFFSET SYSCLK 周期的延迟。此延迟可用于在采样准备就绪时进入 ISR 或触发 DMA。

表 5-19 ADC 时序

ADCCLK 预分频		SYSCLK 周期				ADCCLK 周期
ADCCTL2 [预分频]	比率 ADCCLK:SYSCLK	t_{EOC}	$t_{LAT}^{(1)}$	$t_{INT(EARLY)}^{(2)}$	$t_{INT(LATE)}$	t_{EOC}
0	1	1	13	1	11	11
2	2	2	23	1	21	10.5
4	3	3	34	1	31	10.3
6	4	4	44	1	41	10.3
8	5	5	55	1	51	10.2
10	6	6	65	1	61	10.2
12	7	7	76	1	71	10.1
14	8	8	86	1	81	10.1

(1) 请参阅《AVP32F0049 器件勘误表》中的“ADC：DMA 读取过时结果”勘误项。

(2) 默认情况下，如果 INTPULSEPOS 为 0，则 t_{INT} 在 S+H 窗口后的一个 SYSCLK 周期内发生。这可以通过写入 ADCINTCYCLE 寄存器的 OFFSET 字段来改变。

5.9.2 可编程增益放大器 (PGA)

可编程增益放大器 (PGA) 用于放大输入电压，以提高下游 ADC 和 CMPSS 模块的有效分辨率。

对于需要外部独立放大器的许多传统控制应用，集成的 PGA 有助于降低其成本和设计工作量。通过片载集成可确保 PGA 与下游 ADC 及 CMPSS 模块兼容。软件可选增益和滤波器设置使 PGA 能够满足各种性能需求。

该 PGA 具有以下特性：

- 四种可编程增益模式：3 倍、6 倍、12 倍、24 倍
- 由 VDDA 和 VSSA 进行内部供电
- 支持使用 PGA_GND 引脚进行开尔文接地连接
- 使用嵌入式串联电阻进行 RC 滤波

PGA 中的有源器件是一个嵌入式运算放大器，通过内部反馈电阻配置为同相放大器。这些内部反馈电阻值经过配对以产生软件可选的电压增益。

器件引脚上有三个 PGA 信号：

- PGA_IN 是 PGA 运算放大器的正输入。施加到该引脚的信号将被 PGA 放大。
- PGA_GND 是 PGA_IN 信号的开尔文接地基准。理想情况下，PGA_GND 基准等于 VSSA；但是，PGA 可以容忍 VSSA 的小失调电压。
- PGA_OF 支持使用 RC 元件进行运算放大器输出滤波。经滤波后的信号可由内部 ADC 和 CMPSS 模块进行采样和监控。

PGA_OUT 是运算放大器输出端的内部信号。它可由内部 ADC 和 CMPSS 模块进行采样和监控。图 5-43 所示为 PGA 方框图。

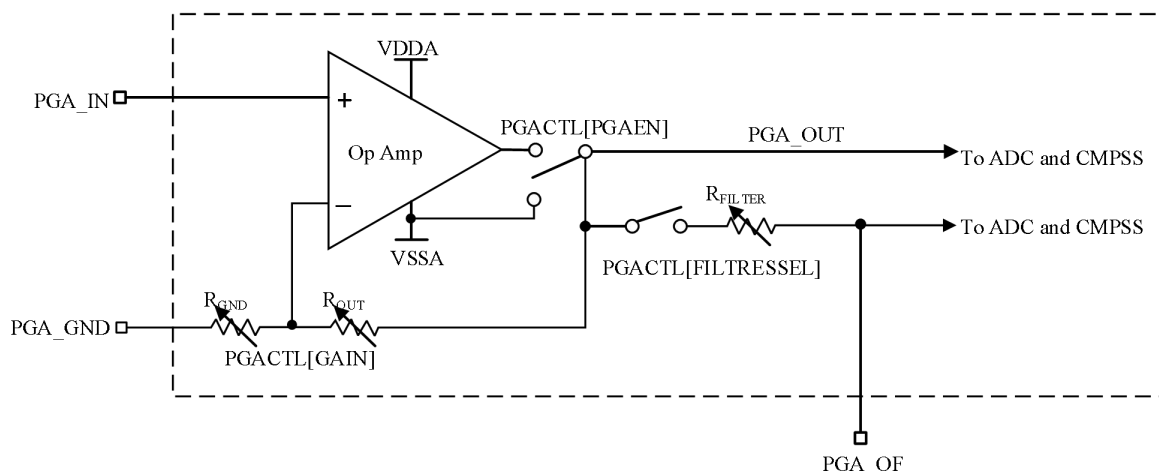


图 5-43 PGA 框图

5.9.2.1 PGA 电气数据和时序

第 5.9.2.1.1 节说明了 PGA 的运行条件，第 5.9.2.1.2 节说明了 PGA 的特征。

5.9.2.1.1 PGA 运行条件

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
PGA 输出范围 ⁽¹⁾		VSSA + 0.35		VDDA – 0.35	V
PGA GND 范围		-50		200	mV
最小 ADC S+H (无滤波器；增益 = 3、6、12)	稳定在 ± 1 ADC LSB 精度范围内	3650			ns
最小 ADC S+H (无滤波器；增益 = 24)	稳定在 ± 2 ADC LSB 精度范围内	3650			ns

(1) 这是 PGA 的线性输出范围。PGA 可以输出此范围以外的电压，但电压将不呈线性。

5.9.2.1.2 PGA 特征

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
通用					
增益设置			3、6、12、24		
输入偏置电流					nA
短路电流			30		mA
满量程阶跃响应（无滤波器）	稳定在 ± 2 ADC LSB 精度范围内			450	ns
建立时间	增益开关			10	μ s
压摆率	增益：3	31	42		V/ μ s
	增益：6	57	82		V/ μ s
	增益：12	65	101		V/ μ s
	增益：24	40	100		V/ μ s
R _{GND} (PGA1、PGA3、PGA5、PGA7)	增益：3		9.44		k Ω
	增益：6		4.72		k Ω
	增益：12		2.36		k Ω
	增益：24		1.18		k Ω
R _{GND} (PGA2、PGA4、PGA6)	增益：3		3.2		k Ω
	增益：6		1.6		k Ω
	增益：12		0.8		k Ω
	增益：24		0.4		k Ω
R _{输出} (PGA1、PGA3、PGA5、PGA7)	增益：3		18.8		k Ω
	增益：6		23.5		k Ω
	增益：12		25.8		k Ω
	增益：24		26.7		k Ω
R _{输出} (PGA2、PGA4、PGA6)	增益：3		6.3		k Ω
	增益：6		7.8		k Ω
	增益：12		8.5		k Ω
	增益：24		8.9		k Ω

5.9.2.1.2 PGA 特征 (续)

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
滤波电阻目标; PGA1	$R_{FILT} = 240\Omega$	236	240	243	Ω
	$R_{FILT} = 200\Omega$	199	203	207	Ω
	$R_{FILT} = 180\Omega$	175	177	181	Ω
	$R_{FILT} = 150\Omega$	146	148	151	Ω
	$R_{FILT} = 130\Omega$	127	129	131	Ω
	$R_{FILT} = 95\Omega$	94	96	98	Ω
滤波电阻目标; PGA2	$R_{FILT} = 220\Omega$	215	218	222	Ω
	$R_{FILT} = 180\Omega$	179	181	184	Ω
	$R_{FILT} = 155\Omega$	152	154	156	Ω
	$R_{FILT} = 125\Omega$	120	124	126	Ω
	$R_{FILT} = 105\Omega$	101	105	107	Ω
	$R_{FILT} = 70\Omega$	68	72	74	Ω
滤波电阻目标; PGA3	$R_{FILT} = 275\Omega$	270	273	279	Ω
	$R_{FILT} = 235\Omega$	234	236	242	Ω
	$R_{FILT} = 210\Omega$	207	210	215	Ω
	$R_{FILT} = 180\Omega$	178	180	185	Ω
	$R_{FILT} = 160\Omega$	159	162	167	Ω
	$R_{FILT} = 130\Omega$	126	129	134	Ω
滤波电阻目标; PGA4	$R_{FILT} = 255\Omega$	254	257	262	Ω
	$R_{FILT} = 220\Omega$	219	222	226	Ω
	$R_{FILT} = 195\Omega$	192	194	199	Ω
	$R_{FILT} = 165\Omega$	163	165	169	Ω
	$R_{FILT} = 145\Omega$	144	147	251	Ω
	$R_{FILT} = 115\Omega$	112	114	118	Ω
滤波电阻目标; PGA5	$R_{FILT} = 200\Omega$	195	199	202	Ω
	$R_{FILT} = 160\Omega$	158	162	165	Ω
	$R_{FILT} = 135\Omega$	132	135	137	Ω
	$R_{FILT} = 105\Omega$	103	106	107	Ω
	$R_{FILT} = 85\Omega$	85	86	89	Ω
	$R_{FILT} = 55\Omega$	53	55	56	Ω
滤波电阻目标; PGA6	$R_{FILT} = 275\Omega$	270	277	284	Ω
	$R_{FILT} = 240\Omega$	234	240	245	Ω
	$R_{FILT} = 215\Omega$	210	214	219	Ω
	$R_{FILT} = 185\Omega$	181	184	189	Ω
	$R_{FILT} = 165\Omega$	163	166	170	Ω
	$R_{FILT} = 135\Omega$	131	134	138	Ω
滤波电阻目标; PGA7	$R_{FILT} = 195\Omega$	192	196	199	Ω
	$R_{FILT} = 160\Omega$	157	161	163	Ω
	$R_{FILT} = 135\Omega$	131	134	136	Ω
	$R_{FILT} = 105\Omega$	102	105	107	Ω
	$R_{FILT} = 85\Omega$	85	87	89	Ω
	$R_{FILT} = 55\Omega$	54	55	56	Ω
上电时间				500 ⁽⁶⁾	μs

参数	测试条件	最小值	典型值	最大值	单位
直流特征⁽⁵⁾					
增益误差 ⁽¹⁾	增益 = 3、6、12	-4.63		1.04	%
	增益 : 24	-4.6		1.07	%
增益温度系数			0.12		%/C
失调误差 ⁽²⁾	以输入为基准	-13.2		5.34	mV
失调温度系数	以输入为基准		121.2		μV/C
直流代码扩展			1.45		12b LSB
AC 特征					
带宽 ⁽³⁾	增益 = 3 (小信号)		16.34		MHz
	增益 = 6 (小信号)		19.34		MHz
	增益 = 12 (小信号)		12.35		MHz
	增益 = 24 (小信号)		13		MHz
THD ⁽⁴⁾	直流		-77.4		dB
	高达 100 kHz		70 ⁽⁶⁾		dB
CMRR	直流		-60 ⁽⁶⁾		dB
	高达 100 kHz		-50 ⁽⁶⁾		dB
PSRR ⁽⁴⁾	直流; 增益 = 3		83.4		dB
	高达 100 kHz; 增益 = 3		53.8		dB
PSRR	直流; 增益 = 6		79.5		dB
	高达 100 kHz; 增益 = 6		57.8		dB
PSRR	直流; 增益 = 12		75.6		dB
	高达 100 kHz; 增益 = 12		57.5		dB
PSRR	直流; 增益 = 24		67.9		dB
	高达 100 kHz; 增益 = 24		53.8		dB
	1kHz		200 ⁽⁶⁾		nV/sqrt(Hz)
集成噪声 (以输入为基准) ⁽⁴⁾	3 Hz 至 30 MHz		100 ⁽⁶⁾		μV

- (1) 包括外部基准模式下的 ADC 增益误差。
- (2) 包括外部基准模式下的 ADC 失调误差。
- (3) 3dB 带宽。
- (4) PGA 单独的性能。
- (5) PGA 的 DNL/INL 在 ADC 的 DNL/INL 容差范围内，因此未单独显示。
- (6) 设计指标。

5.9.3 温度传感器

5.9.3.1 温度传感器电气数据和时序

温度传感器可用于测量器件结温。温度传感器通过与 ADC 的内部连接进行采样，并通过软件转换为温度。在对温度传感器进行采样时，ADC 必须满足第 5.9.3.1.1 节中的采样时间要求。

5.9.3.1.1 温度传感器特征

在建议运行条件下测得（除非另有说明）

	参数	测试条件	最小值	典型值	最大值	单位
T _{acc}	温度精度	外部基准		±15		°C
t _{startup}	启动时间 (TSNCTL[ENABLE]至采样温度传感器)			500 ⁽¹⁾		μs
t _{SH}	ADC 采样保持时间		450			ns

(1) 设计指标。

5.9.4 缓冲数模转换器 (DAC)

缓冲 DAC 模块由一个内部 12 位 DAC 和一个可以驱动外部负载的模拟输出缓冲器组成。为了驱动比典型值更高的负载，可以在负载大小和输出电压摆幅之间进行权衡。有关缓冲 DAC 的负载条件，请参阅第 5.9.4.1 节。缓冲 DAC 是一种通用 DAC，可用于生成直流电压或交流波形，例如正弦波、方波、三角波等。软件写入 DAC 寄存器的值可立即生效，也可以与 EPWMSYNCO 事件同步。

每个缓冲 DAC 具有以下特性：

- 12 位分辨率
- 可选择的基准电压源
- 使用内部 VREFHI 时的 x1 和 x2 增益模式
- 能够与 EPWMSYNCO 同步

图 5-44 所示为缓冲 DAC 框图。

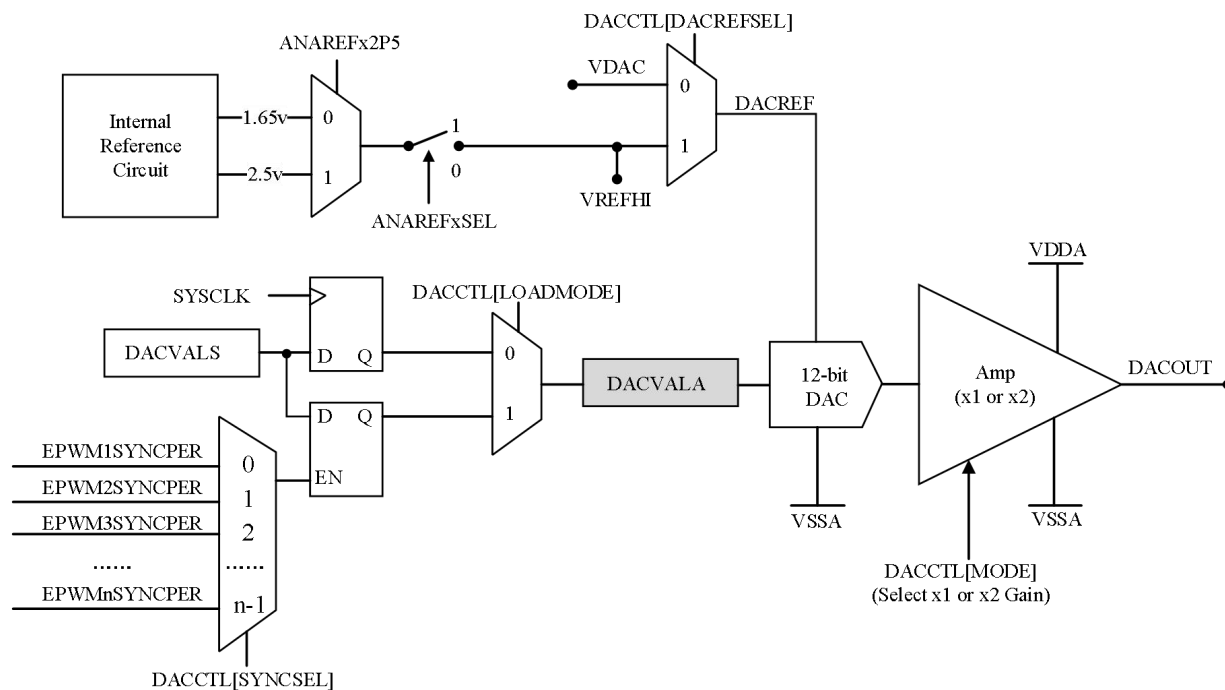


图 5-44 DAC 模块框图

5.9.4.1 缓冲 DAC 电气数据和时序

第 5.9.4.1.1 节说明了缓冲 DAC 运行条件，第 5.9.4.1.2 节说明了缓冲 DAC 电气特性。

5.9.4.1.1 缓冲 DAC 运行条件

在建议运行条件下测得（除非另有说明）⁽¹⁾

参数	测试条件	最小值	典型值	最大值	单位
R _L 电阻负载 ⁽²⁾		5			kΩ
C _L 容性负载				100	pF
V _{OUT} 有效输出电压范围 ⁽²⁾	R _L = 5kΩ	0.3		VDDA — 0.3	V
基准电压 ⁽³⁾	VDAC 或 VREFHI	2.4	2.5 或 3.0	VDDA	V

(1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的，除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下对最小值和最大值进行测试或表征。

(2) 这是 DAC 的线性输出范围。DAC 可以产生此范围以外的电压，但由于缓冲器的原因，输出电压将不呈线性。

(3) 为了获得卓越的 PSRR 性能，VDAC 或 VREFHI 应小于 VDDA。

5.9.4.1.2 缓冲 DAC 电气特性

在建议运行条件下测得（除非另有说明）⁽¹⁾

参数	测试条件	最小值	典型值	最大值	单位
通用					
分辨率			12		位
负载调整率		-1.5		1.5	mV/V
毛刺脉冲能量			2		V-ns
满量程电压输出稳定时间	在 0.3V 至 3V 切换后稳定到 2LSB			1.2	μs
1/4 满量程电压输出稳定时间	在 0.3V 至 0.75V 切换后稳定到 2LSB			1	μs
电压输出压摆率	从 0.3V 到 3V 转换的压摆率	3.5		4.5	V/μs
负载瞬态的稳定时间 ⁽⁶⁾	5kΩ 负载			350	ns
基准输入电阻 ⁽²⁾	VDAC 或 VREFHI		200		kΩ
TPU 上电时间	外部基准模式			130	μs
	内部基准模式			TBD	μs
直流特性					
Offset 偏移量误差	中点	-10		+10	mV
Gain 增益误差 ⁽³⁾		-3		+3	FSR 百分比
DNL 微分非线性 ⁽⁴⁾	已更正端点	-2 ⁽¹⁾		+2 ⁽¹⁾	LSB
INL 积分非线性	已更正端点	-5 ⁽¹⁾		+5 ⁽¹⁾	LSB
交流特性					
输出噪声	从 100Hz 到 100kHz 的积分噪声		TBD		μVrms
	10kHz 频率时的噪声密度		TBD		nVrms/√Hz
SNR 信噪比	1kHz, 200KSPS		68		dB
THD 总谐波失真	1kHz, 200KSPS		-65		dB
SFDR 无杂散动态范围	1kHz, 200KSPS		68		dB
SINAD 信噪比和失真比	1kHz, 200KSPS		63		dB

(1) 设计指标。

5.9.4.1.2 缓冲 DAC 电气特性 (续)

在建议运行条件下测得 (除非另有说明) ⁽¹⁾

参数	测试条件	最小值	典型值	最大值	单位
PSRR 电源抑制比 ⁽⁵⁾	直流		67		dB
	100kHz		40		dB

- (1) 典型值是在 $V_{REFHI} = 3.3V$ 和 $V_{REFLO} = 0V$ 时测得的, 除非另外注明。在 $V_{REFHI} = 2.5V$ 和 $V_{REFLO} = 0V$ 条件下对最小值和最大值进行测试或表征。
- (2) 每个工作时的缓冲 DAC 模块。
- (3) 增益误差是在线性输出范围内计算得出。
- (4) DAC 输出是单调输出。
- (5) $V_{REFHI} = 3.2V$, $V_{DDA} = 3.3V$ DC 值 + 100mV 的正弦波。
- (6) 稳定在 3LSB 以内。

备注

VDAC 引脚必须保持低于 $V_{DDA} + 0.3V$, 以确保正常运行。如果 VDAC 引脚超过此电平, 可能会激活阻塞电路, 并且 VDAC 的内部值可能会在内部浮动至 0V, 从而导致 DAC 输出不正确。

备注

V_{REFHI} 引脚必须保持低于 $V_{DDA} + 0.3V$, 以确保正常工作。如果 V_{REFHI} 引脚超过此电平, 可能会激活阻塞电路, 并且 V_{REFHI} 的内部值可能会在内部浮动至 0V, 从而导致 ADC 转换或 DAC 输出不正确。

5.9.4.1.3 缓冲 DAC 示意图

图 5-45 所示为缓冲 DAC 的偏移量，图 5-46 所示为缓冲 DAC 增益，图 5-47 所示为缓冲 DAC 线性度。

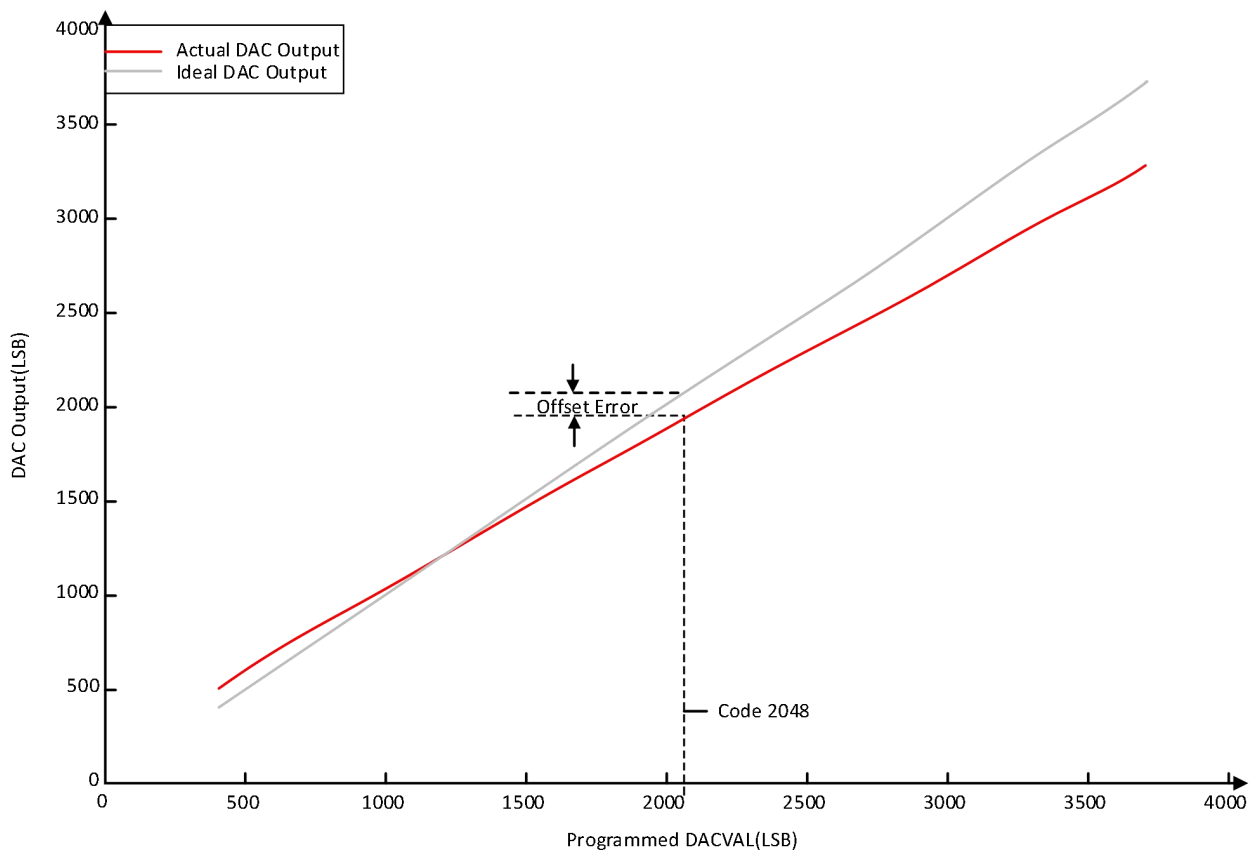


图 5-45 缓冲 DAC 偏移

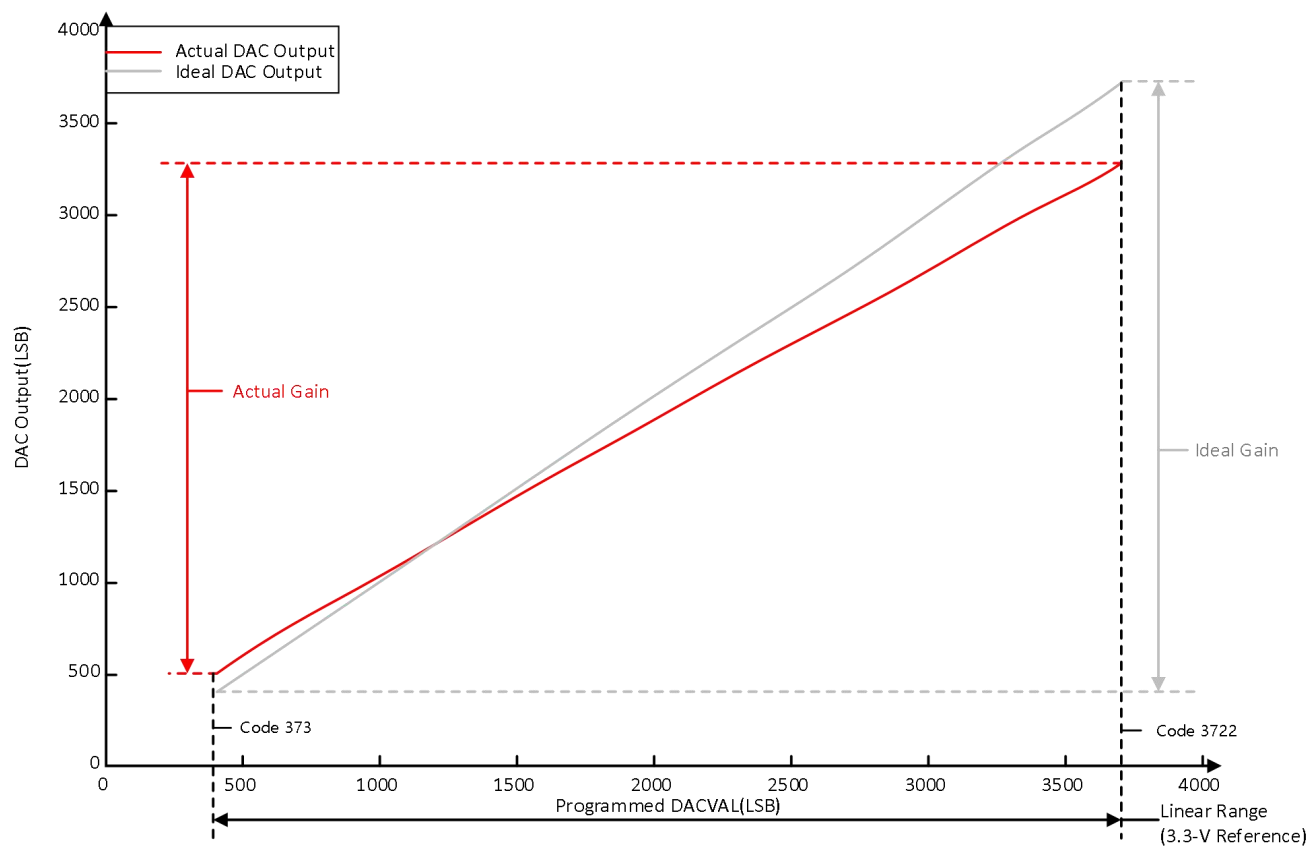


图 5-46 缓冲 DAC 增益

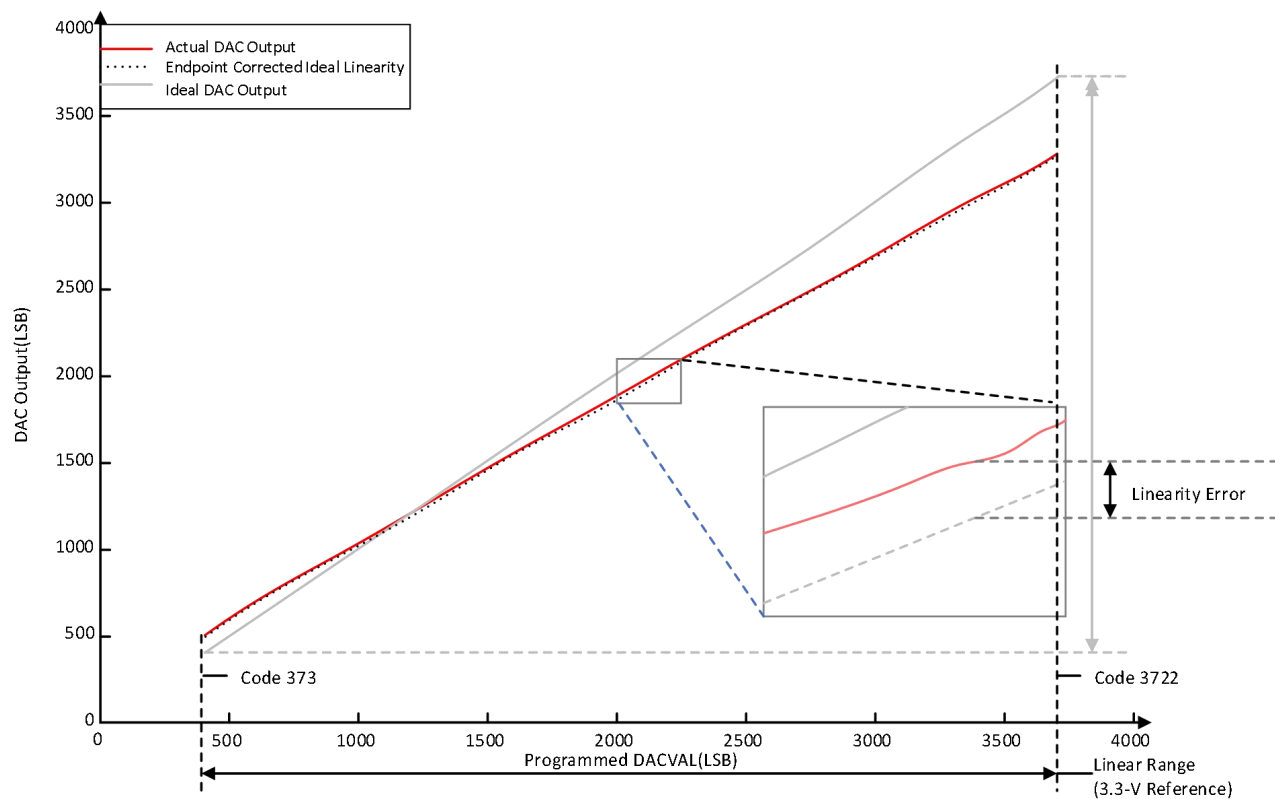


图 5-47 缓冲 DAC 线性度

5.9.4.1.4 缓冲 DAC 典型特性图

图 5-48 至图 5-50 所示为缓冲 DAC 某些参数的典型性能。图 5-48 所示为 DNL 波形，图 5-49 所示为 INL 波形，图 5-50 所示为 5-k Ω 负载瞬态稳定波形。

备注

对于图 5-48 至图 5-50，以下条件适用（除非另有说明）：

- $T_A = 30^\circ\text{C}$
- $V_{DDA} = 3.3\text{V}$
- $V_{DD} = 1.1\text{V}$

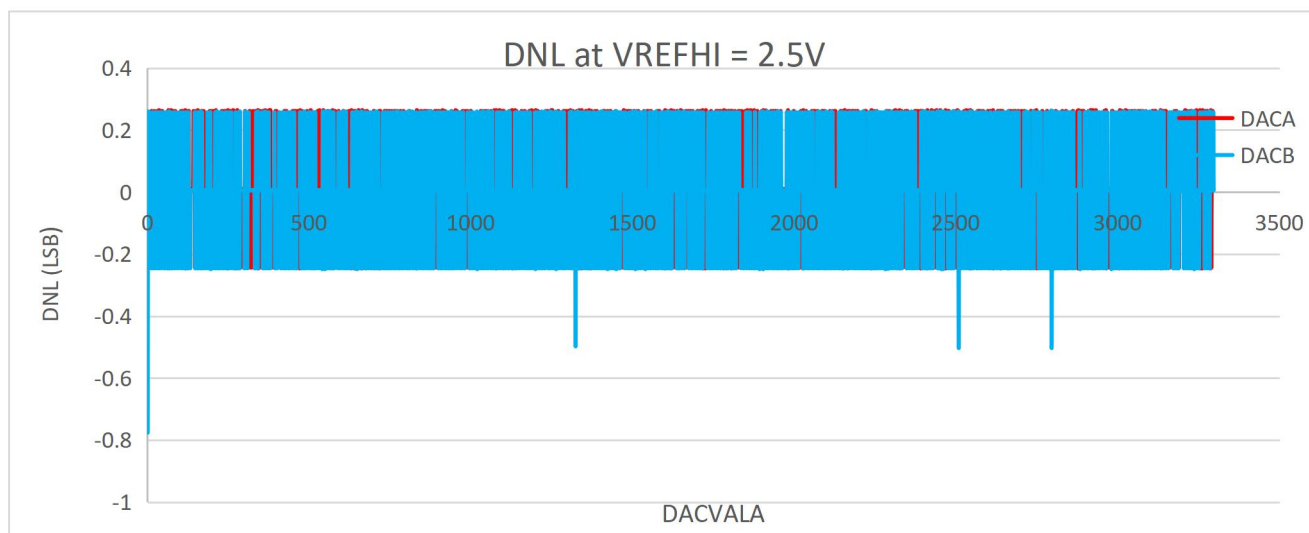


图 5-48 DNL 波形

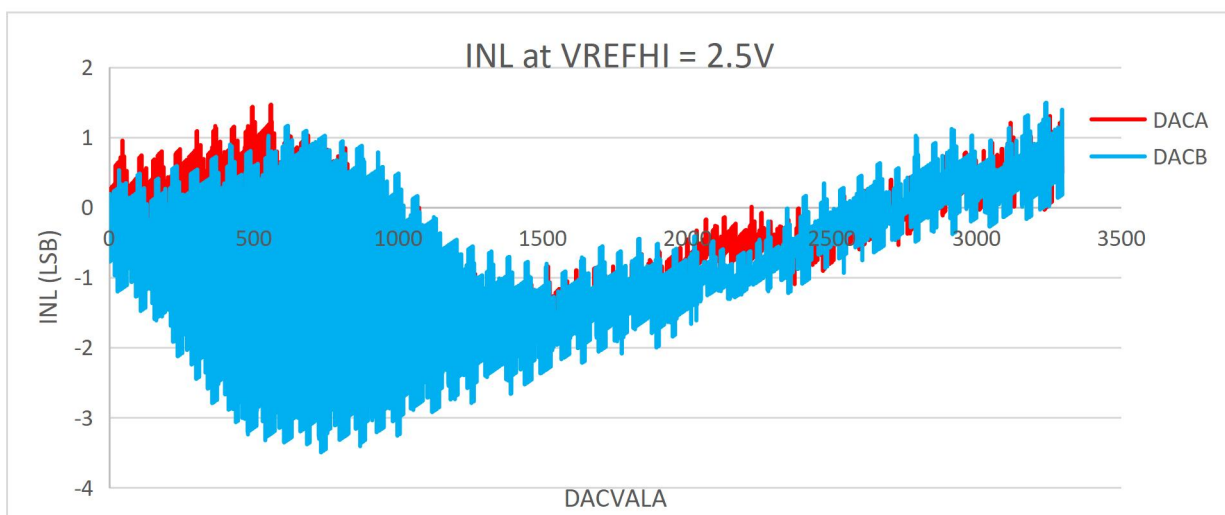


图 5-49 INL 波形

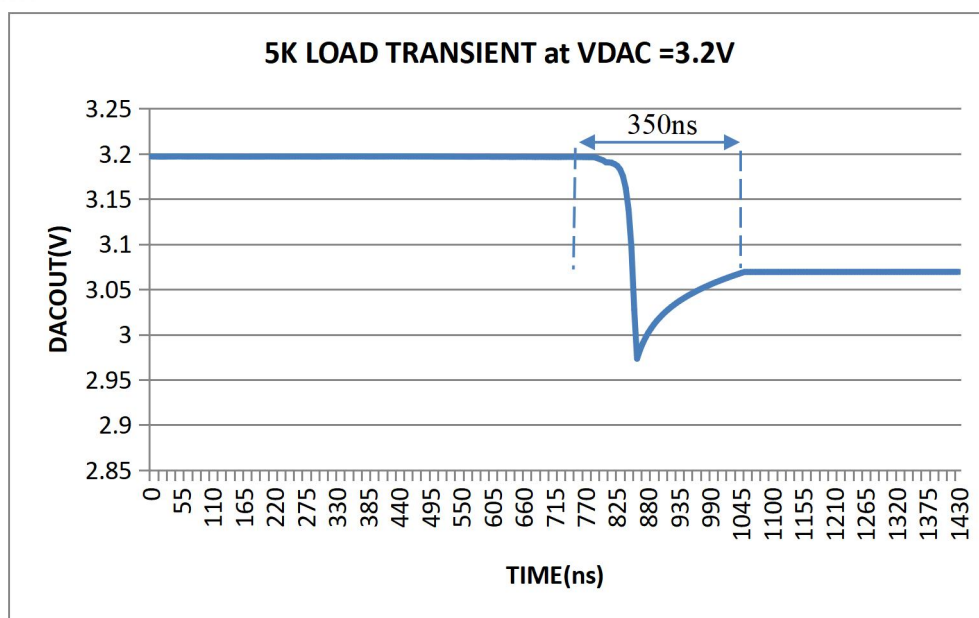


图 5-50 5-k Ω 负载瞬态稳定波形

5.9.5 比较器子系统 (CMPSS)

每个 CMPSS 包含两个比较器、两个参考 12 位 DAC、两个数字滤波器和一个斜坡发生器。比较器在每个模块中用“H”或“L”表示，其中“H”和“L”分别代表高比较器和低比较器。每个比较器都会生成一个数字输出，指示正输入上的电压是否大于负输入上的电压。比较器的正输入可由外部引脚或由 PGA 驱动。负输入可由外部引脚或可编程基准 12 位 DAC 驱动。每个比较器输出都会通过一个可编程的数字滤波器，该滤波器可以去除伪跳变信号。如果不需要滤波，也可以使用未滤波的输出。斜坡发生器电路可用于控制子系统中高比较器的基准 12 位 DAC 值。每个 CMPSS 模块有两个输出。这两个输出在连接到 ePWM 模块或 GPIO 引脚之前通过数字滤波器和交叉矩阵。图 5-51 所示为 CMPSS 连接性。

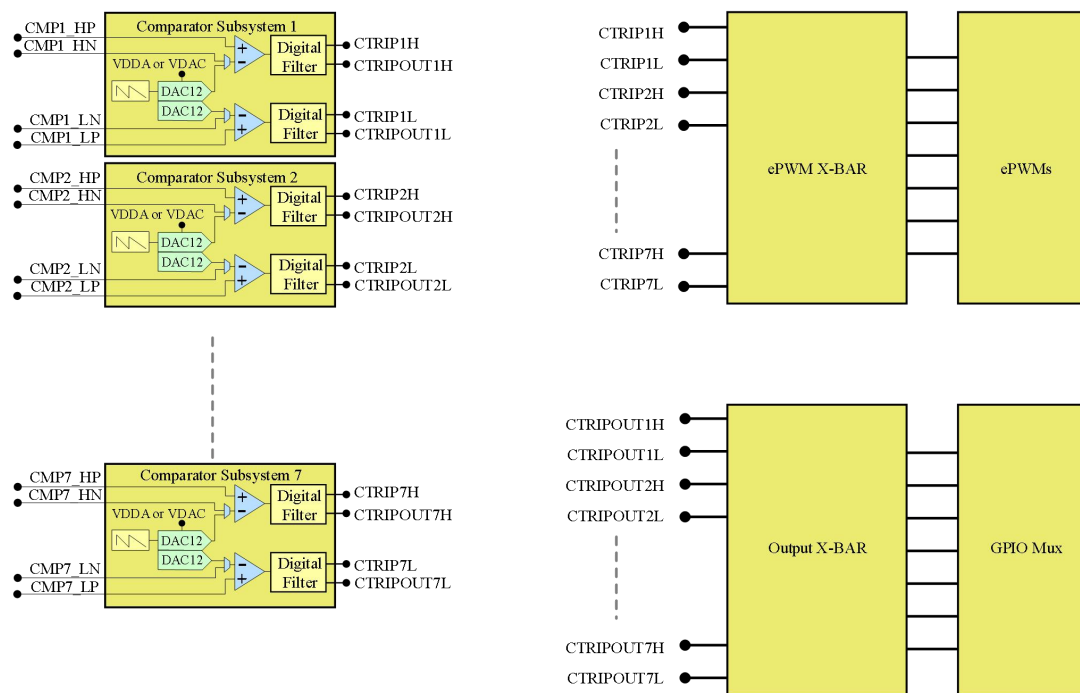


图 5-51 CMPSS 连接

备注

并非所有封装都具有所有 CMPSS 引脚，请参阅“模拟引脚和内部连接”表。

5.9.5.1 CMPSS 电气数据和时序

第 5.9.5.1.1 节列出了比较器电气特性。图 5-52 所示为 CMPSS 比较器的以输入为基准的偏移量。图 5-53 所示为 CMPSS 比较器迟滞。

5.9.5.1.1 比较器电气特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
TPU 上电时间				500	μs
比较器输入 (CMPINxx) 范围		0		VDDA	V
以输入为基准的偏移量误差	低共模，反相输入设置为 50mV	-20		20	mV
迟滞 ⁽¹⁾	1x		12		LSB
	2x		24		
	3x		36		
	4x		48		
响应时间（从 CMPINx 输入更改到 ePWM X-BAR 输出或 X-BAR 输出的延迟）	阶跃响应		21	60	ns
	斜坡响应 (1.65V/ μs)		26		
	斜坡响应 (8.25mV/ μs)		30		ns
PSRR 电源抑制比	高达 250kHz		46		dB
CMRR 共模抑制比		40			dB

- (1) CMPSS DAC 用作确定应用多少迟滞的基准。因此，迟滞将随 CMPSS DAC 基准电压而变化。迟滞适用于所有比较器输入源配置。
(2) 注：上表所列数据为设计值。

备注

CMPSS 输入必须保持低于 $V_{DDA} + 0.3\text{V}$ ，以确保正常工作。如果 CMPSS 输入超过此电平，内部阻塞电路将内部比较器与外部引脚隔离，直至外部引脚电压返回到 $V_{DDA} + 0.3\text{V}$ 以下。在此期间，内部比较器输入将处于悬空状态，并能在大约 $0.5\mu\text{s}$ 内衰减至 V_{DDA} 以下。在此之后，比较器可能会开始输出不正确的结果，具体取决于其他比较器输入的值。

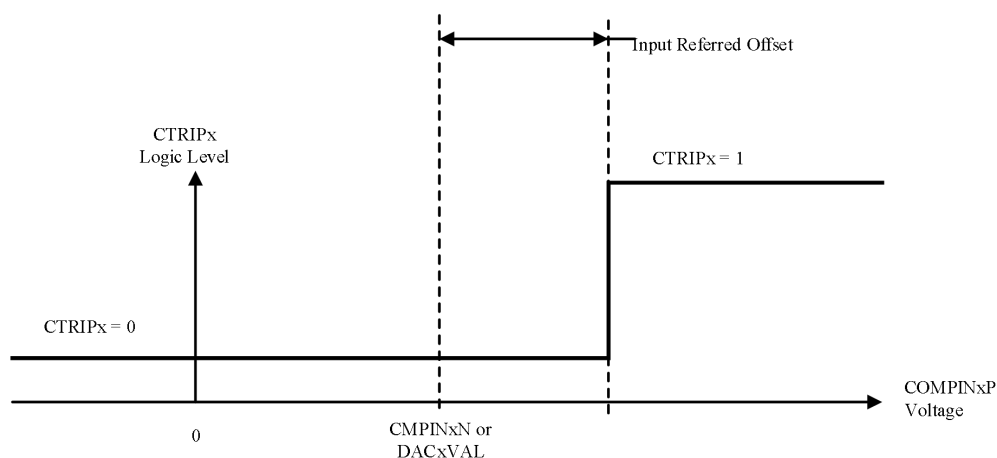


图 5-52 CMPSS 比较器以输入为基准的偏移量

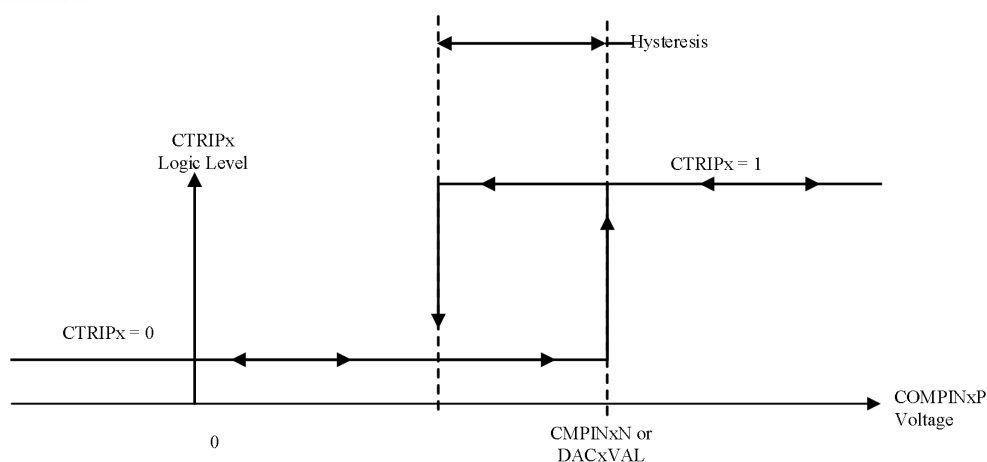


图 5-53 CMPSS 比较器迟滞

第 5.9.5.1.2 节列出了 CMPSS DAC 静态电气特性。

5.9.5.1.2 CMPSS DAC 静态电气特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围	内部基准	0		VDDA	V
	外部基准	0		VDAC ⁽⁴⁾	
静态偏移量误差 ⁽¹⁾		-25		25	mV
静态增益误差 ⁽¹⁾		-2		2	FSR 百分比
静态 DNL	已更正端点	>-1		4	LSB
静态 INL	已更正端点	-16		16	LSB
趋稳时间	满量程输出变化后稳定到 1LSB			1	μs
分辨率			12		位
CMPSS DAC 输出干扰 ⁽²⁾	由同一 CMPSS 模块内的比较器跳闸或 CMPSS DAC 代码更改引起的误差	-100		100	LSB
CMPSS DAC 干扰时间 ⁽²⁾				200	ns
VDAC 基准电压	当 VDAC 为基准时	2.4	2.5 or 3.0	VDDA	V
VDAC 负载 ⁽³⁾	当 VDAC 为基准时	6	8	10	kΩ

(1) 包含以比较器输入为基准的误差。

(2) 在比较器跳闸后的一段时间内，CMPSS DAC 输出可能会出现干扰误差。

(3) 每个有源 CMPSS 模块。

(4) 当 VDAC > VDDA 时，最大输出电压为 VDDA。

(5) 注：上表所列数据为设计值。

5.9.5.1.3 CMPSS 示意图

图 5-54 所示为 CMPSS DAC 静态偏移量，图 5-55 所示为 CMPSS DAC 静态增益，图 5-56 所示为 CMPSS DAC 静态线性。

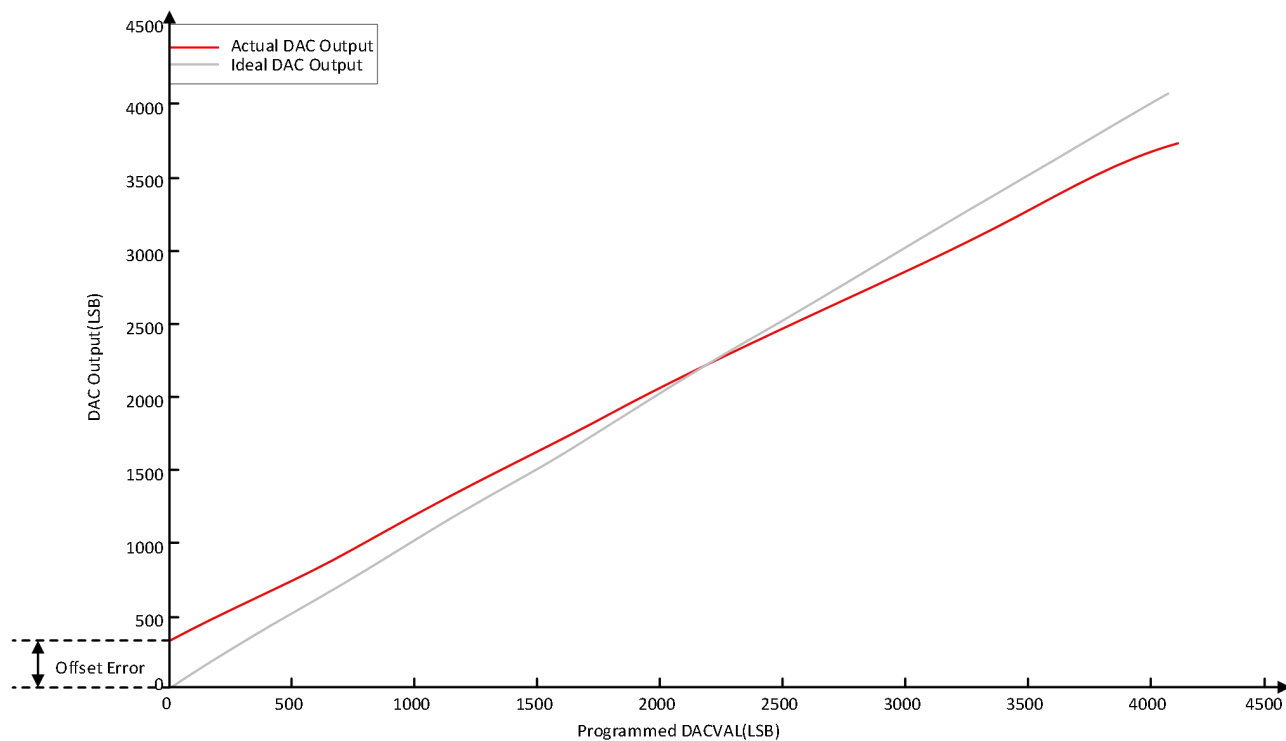


图 5-54 CMPSS DAC 静态偏移量

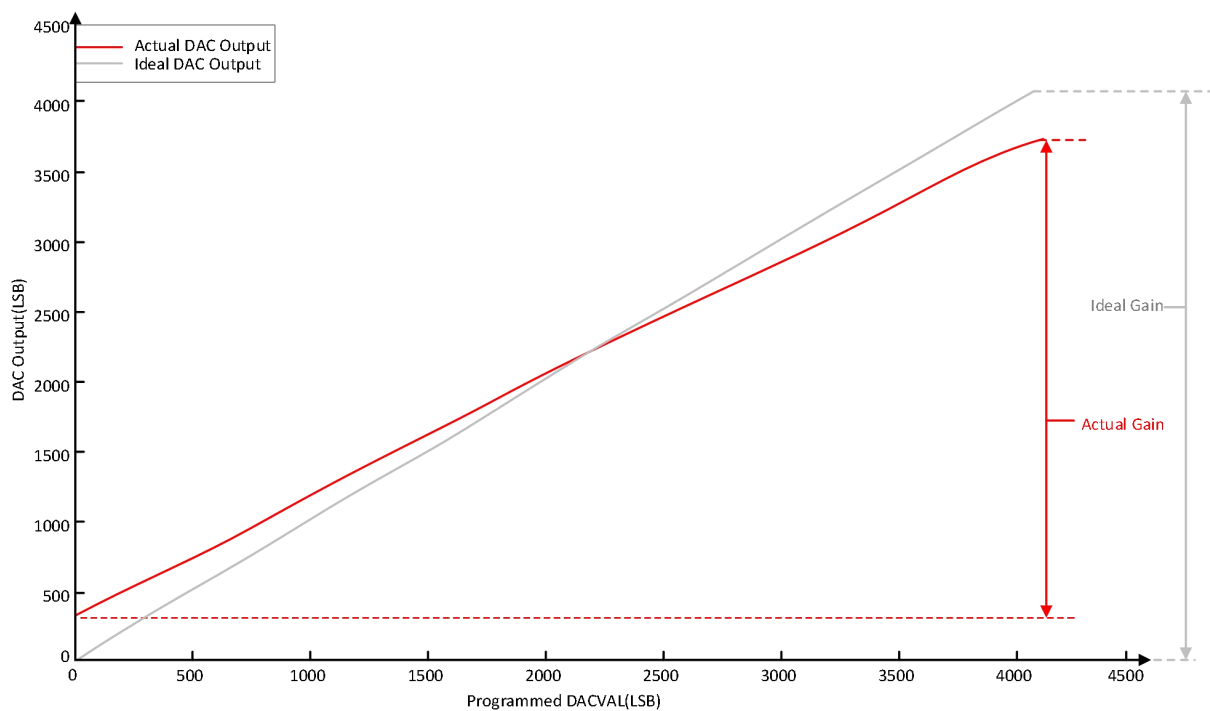


图 5-55 CMPSS DAC 静态增益

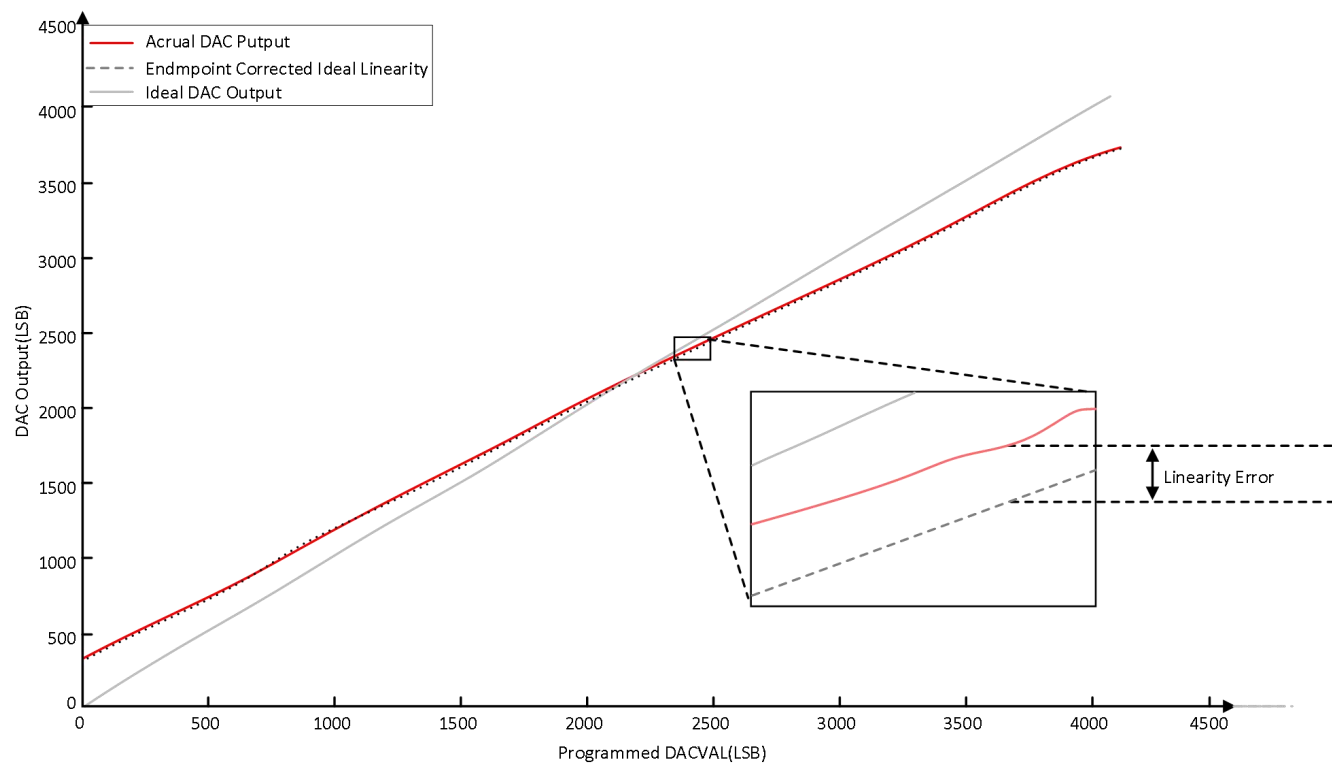


图 5-56 CMPSS DAC 静态线性

5.10 控制外设

5.10.1 增强型捕获模块 (eCAP)

Type-1 增强型捕获 (eCAP) 模块用于注重外部事件精确计时的系统。

eCAP 模块的应用包括：

- 旋转机械的速度测量（例如，通过霍尔传感器感应齿状链轮）
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

eCAP 模块包括以下特性：

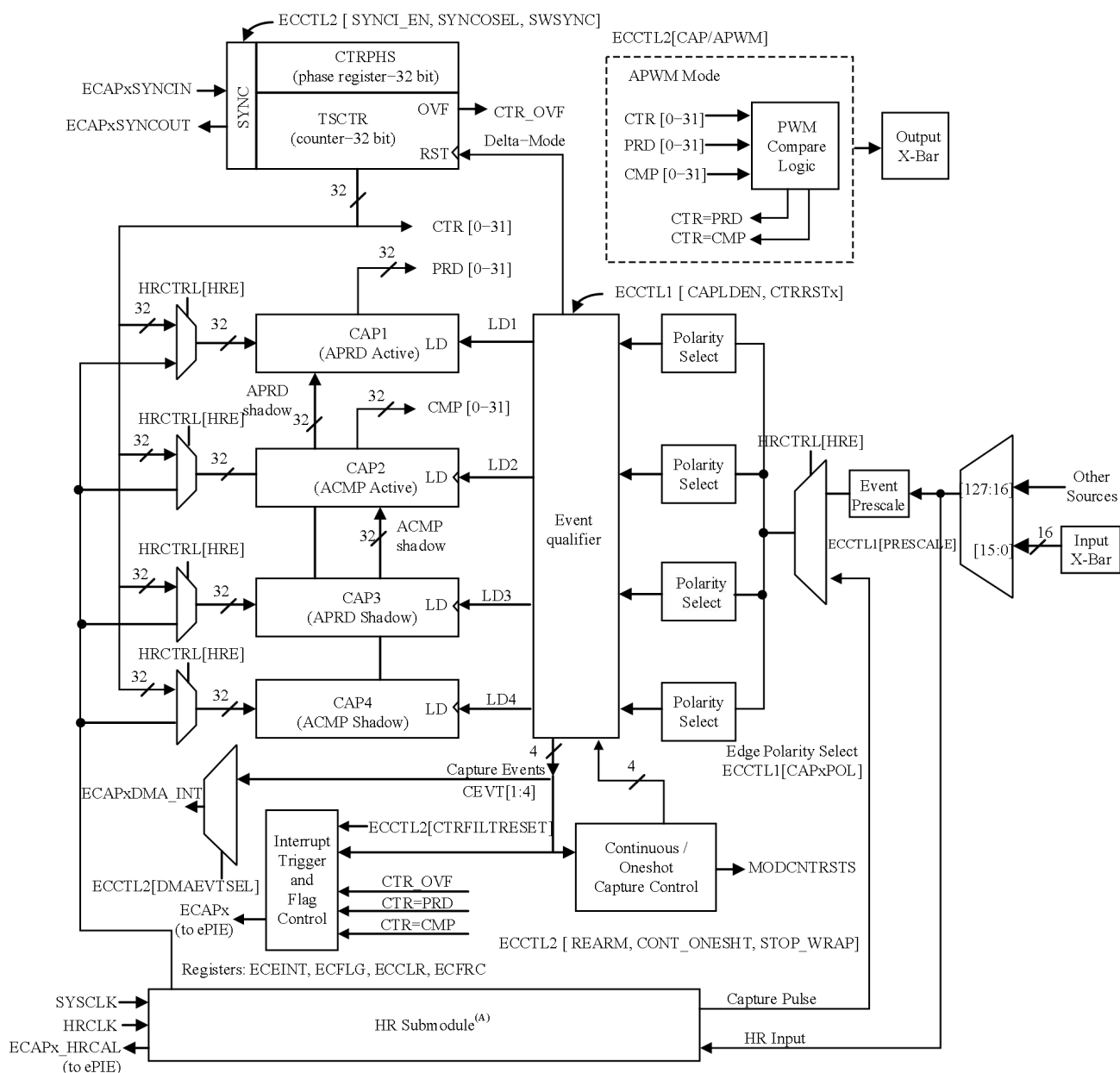
- 4 个事件时间戳寄存器（每个 32 位）
- 边沿极性选择，最多选择四个序列时间戳捕获事件
- 四个事件中的任何一个发生时的 CPU 中断
- 独立的 DMA 触发器
- 多达 4 个事件时间戳的单脉冲捕获
- 在一个 4 级深循环缓冲区中连续捕获时间戳的模式
- 绝对时间戳捕获
- 差值 (Δ) 模式时间戳捕获
- 128:1 输入多路复用器
- 事件预分频器
- 当未用于捕获模式时，eCAP 模块可配置为单通道 PWM 输出。

Type-1 eCAP 的捕获功能是通过 Type-0 eCAP 增强的，增加了以下特性：

- 事件过滤器复位位
 - 向 ECCTL2[CTRFILTRESET] 写入 1 将清除事件滤波器、模数计数器和任何挂起的中断标志。这对于初始化和调试很有用。
- 模数计数器状态位
 - 模数计数器 (ECCTL2[MODCTRSTS]) 指示接下来将加载哪个捕获寄存器。在 Type-0 eCAP 中，无法知道模数计数器的当前状态。
- DMA 触发源
 - 添加了 eCAPxDMA 作为 DMA 触发器。CEVT[1—4] 可以配置为 eCAPxDMA 的源。
- 输入多路复用器
 - ECCTL0[INPUTSEL] 选择 128 个输入信号之一。
- EALLOW 保护
 - EALLOW 保护已添加到关键寄存器。

必须用输入 X-BAR 将器件输入引脚连接到模块。必须用输出 X-BAR 将输出信号连接到 OUTPUTXBARx 输出位置。请参阅第 4.4.3 节和第 4.4.4 节。

图 5-57 所示为 eCAP 框图。



A. HRCAP 子模块并非在所有 eCAP 模块上都可用；在这种情况下，未执行高分辨率多路复用器和硬件。

图 5-57 eCAP 框图

5.10.1.1 eCAP 电气数据和时序

第 5.10.1.1.1 节列出了 eCAP 时序要求，第 5.10.1.1.2 节列出了 eCAP 开关特性。

5.10.1.1.1 eCAP 时序要求

		最小值	典型值	最大值	单位
$t_{w(CAP)}$	异步	$2t_{c(SCO)}$			ns
	同步	$2t_{c(SCO)}$			
	带输入限定器	$1t_{c(SCO)} + t_{w_}(QSW)$			

注：上表所列数据为设计值。

5.10.1.1.2 eCAP 开关特性

在建议运行条件下测得（除非另有说明）

参数	最小值	典型值	最大值	单位
$t_{w(APWM)}$ 脉冲持续时间，APWMx 输出高电平/低电平	20			ns

注：上表所列数据为设计值。

5.10.2 高分辨率捕获子模块 (HRCAP6–HRCAP7)

该器件最多包含两个高分辨率捕获 (HRCAP) 子模块。HRCAP 子模块可以测量与系统时钟异步的脉冲之间的时间差。该子模块是 Type-1 eCAP 模块新增的子模块，与 Type-0 HRCAP 模块相比具有许多增强功能。

HRCAP 的应用包括：

- 电容式触控应用
- 脉冲序列周期的高分辨率周期和占空比测量
- 瞬时速度测量
- 瞬时频率测量
- 跨隔离边界的电压测量
- 距离/声纳测量和扫描
- 流量测量

HRCAP 子模块包含以下特性：

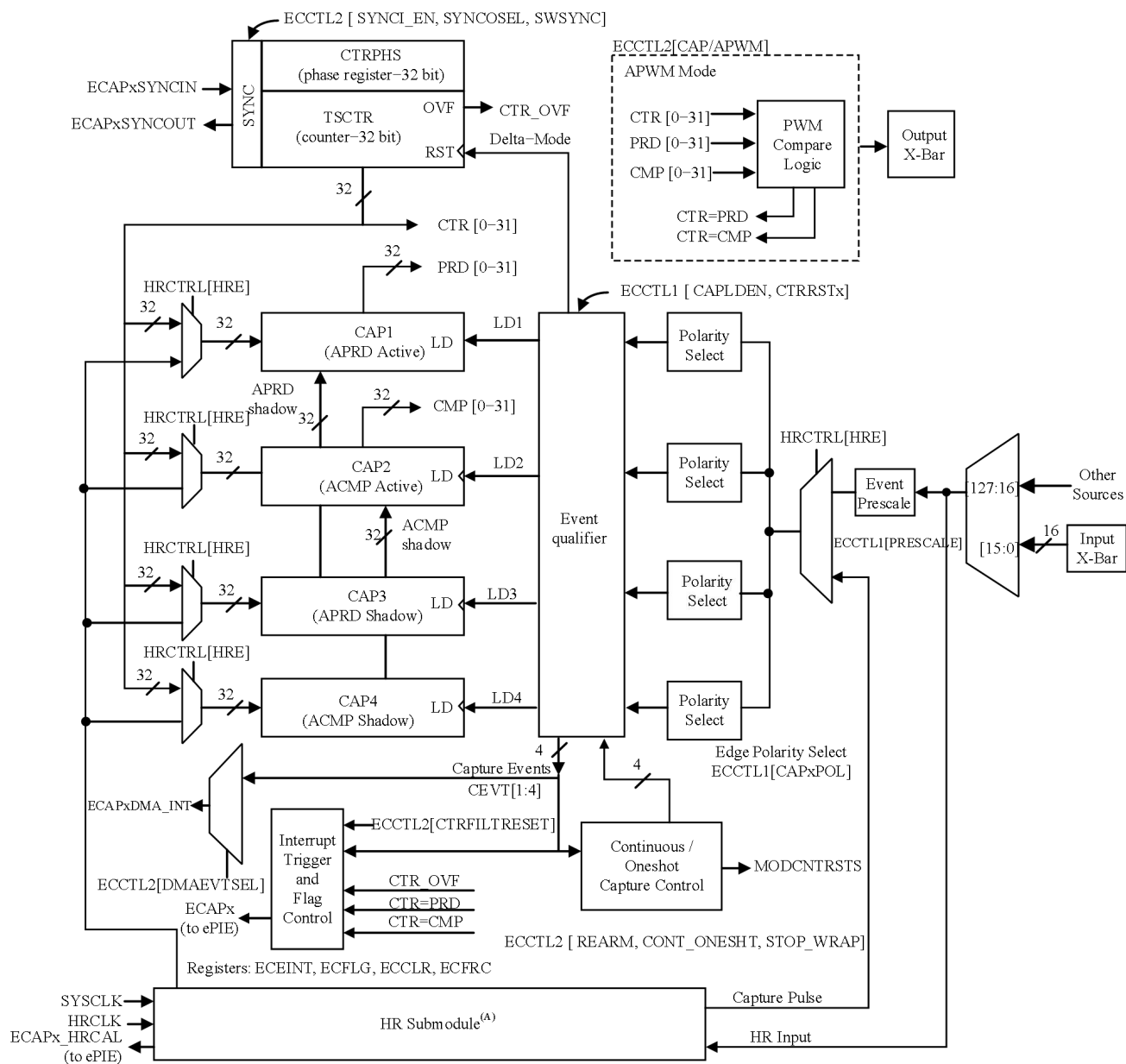
- 在非高分辨率或高分辨率模式下进行脉宽捕获
- 绝对模式脉宽捕获
- 连续或“单次”捕获
- 在下降沿或上升沿捕获
- 在 4 级深的缓冲器中以持续模式捕获脉冲宽度
- 通过硬件校准逻辑实现精确高分辨率捕获
- 使用输入 X-BAR 的任何引脚上均可使用此列表中的所有资源。

HRCAP 子模块包含一个高分辨率捕获通道以及一个校准块。校准块允许 HRCAP 子模块在设定的时间间隔内持续重新校准，无需“停机”。由于 HRCAP 子模块现在与其相应 eCAP 使用相同的硬件，因此如果使用 HRCAP，则相应的 eCAP 将不可用。

每个支持高分辨率的通道都具有以下独立的关键资源。

- 相应 eCAP 的所有硬件
- 高分辨率校准逻辑
- 专用校准中断

图 5-58 所示为 HRCAP 框图。



A. HRCAP 子模块并非在所有 eCAP 模块上都可用；在这种情况下，不会使用高分辨率多路复用器和硬件。

图 5-58 HRCAP 框图

5.10.2.1 HRCAP 电气数据和时序

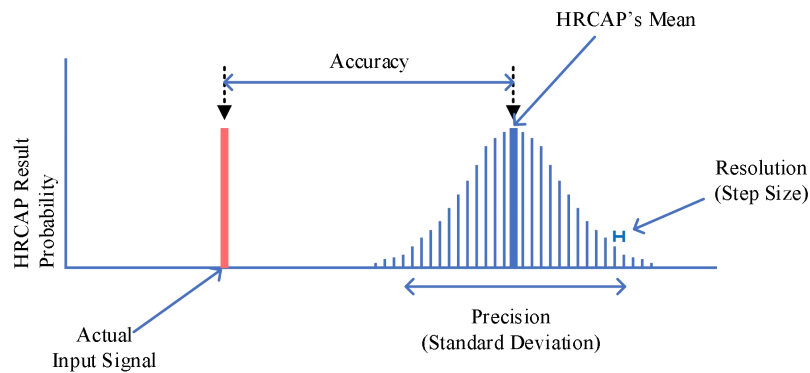
第 5.10.2.1.1 节列出了 HRCAP 开关特性，图 5-59 所示为 HRCAP 精度和分辨率，图 5-60 所示为 HRCAP 标准偏差特性。

5.10.2.1.1 HRCAP 开关特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
输入脉冲宽度		110			ns
误差 ^{(1) (2) (3) (4)}	测量时长 $\leq 5\mu\text{s}$		± 390	540	ps
	测量时长 $> 5\mu\text{s}$		± 450	1450	ps
标准差		请参考图 5-60			
分辨率			300		ps

- (1) 使用 100PPM 的振荡器获得的值，振荡器精度直接影响 HRCAP 精度。
- (2) 使用上升-上升沿或下降-下降沿完成测量。
- (3) 由于 V_{IH} 和 V_{IL} 之间的差异，极性相反的边沿将进一步降低精度。该影响取决于信号的压摆率。
- (4) 精度仅适用于经过时间转换的测量。
- (5) 注：上表所列数据为设计值。



- A. HRCAP 在性能上有一些变化，其概率分布可使用以下术语进行描述：
- 误差（Accuracy）：输入信号与 HRCAP 分布均值之间的时间差。
 - 精度（Precision）：HRCAP 分布的宽度，以标准偏差的形式给出。
 - 分辨率（Resolution）：最小可测量增量。

图 5-59 HRCAP 精度和分辨率

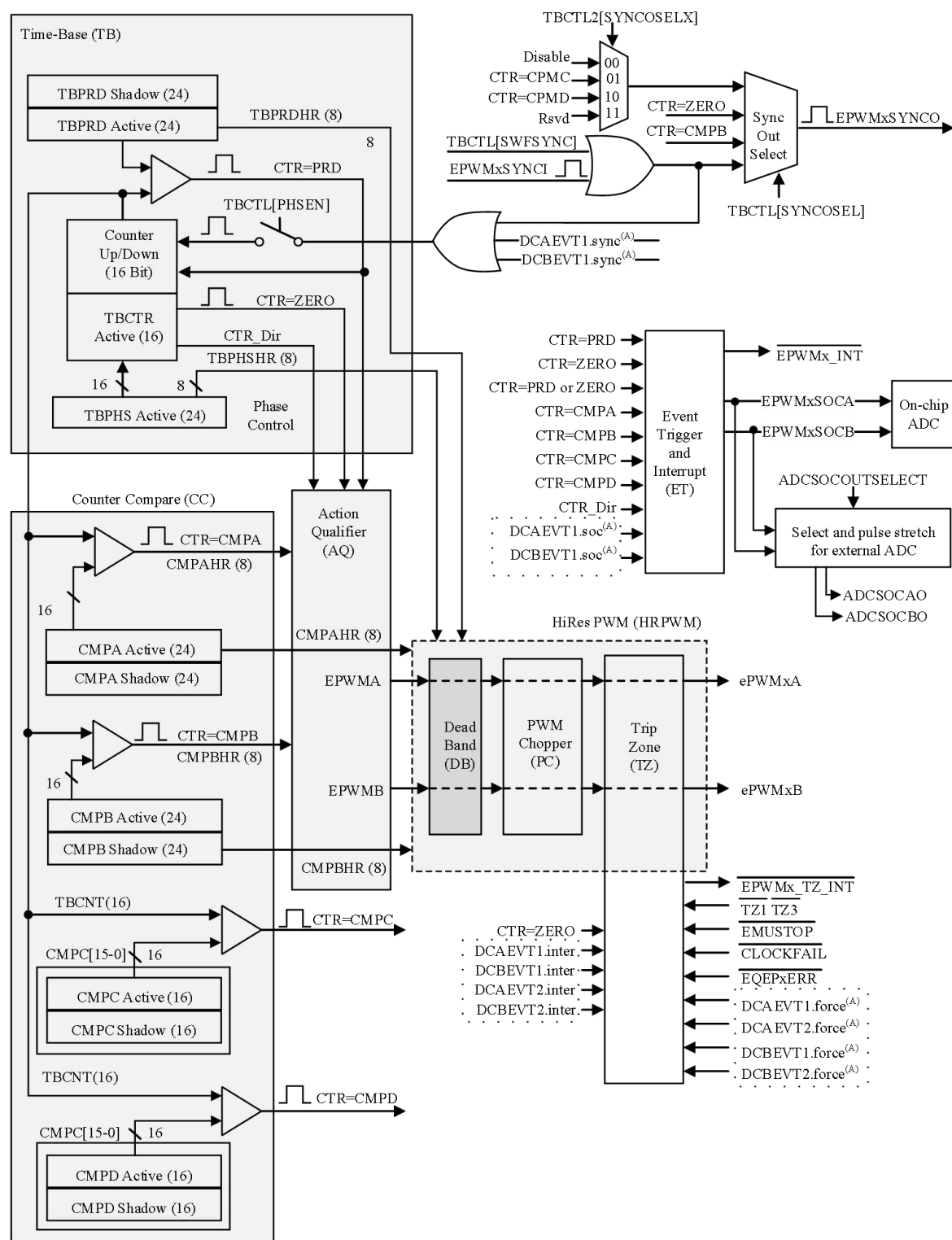
TBD

图 5-60 HRCAP 标准偏差特性

5.10.3 增强型脉宽调制器 (ePWM)

ePWM 外设是控制商用和工业设备中的许多电力电子系统的关键元件。ePWM Type-4 模块会以最小的 CPU 开销生成复杂脉宽波形。ePWM Type-4 模块的关键功能包括：复杂波形生成、死区生成、灵活的同步机制、高级跳闸区功能和全局寄存器重载功能。

图 5-61 说明了与 ePWM 的信号互联情况，图 5-62 所示为 ePWM 跳闸输入连接。



A. 这些事件由 ePWM 数字比较 (DC) 子模块根据 TRIPIN 输入电平生成。

图 5-61 ePWM 子模块和关键内部信号互连

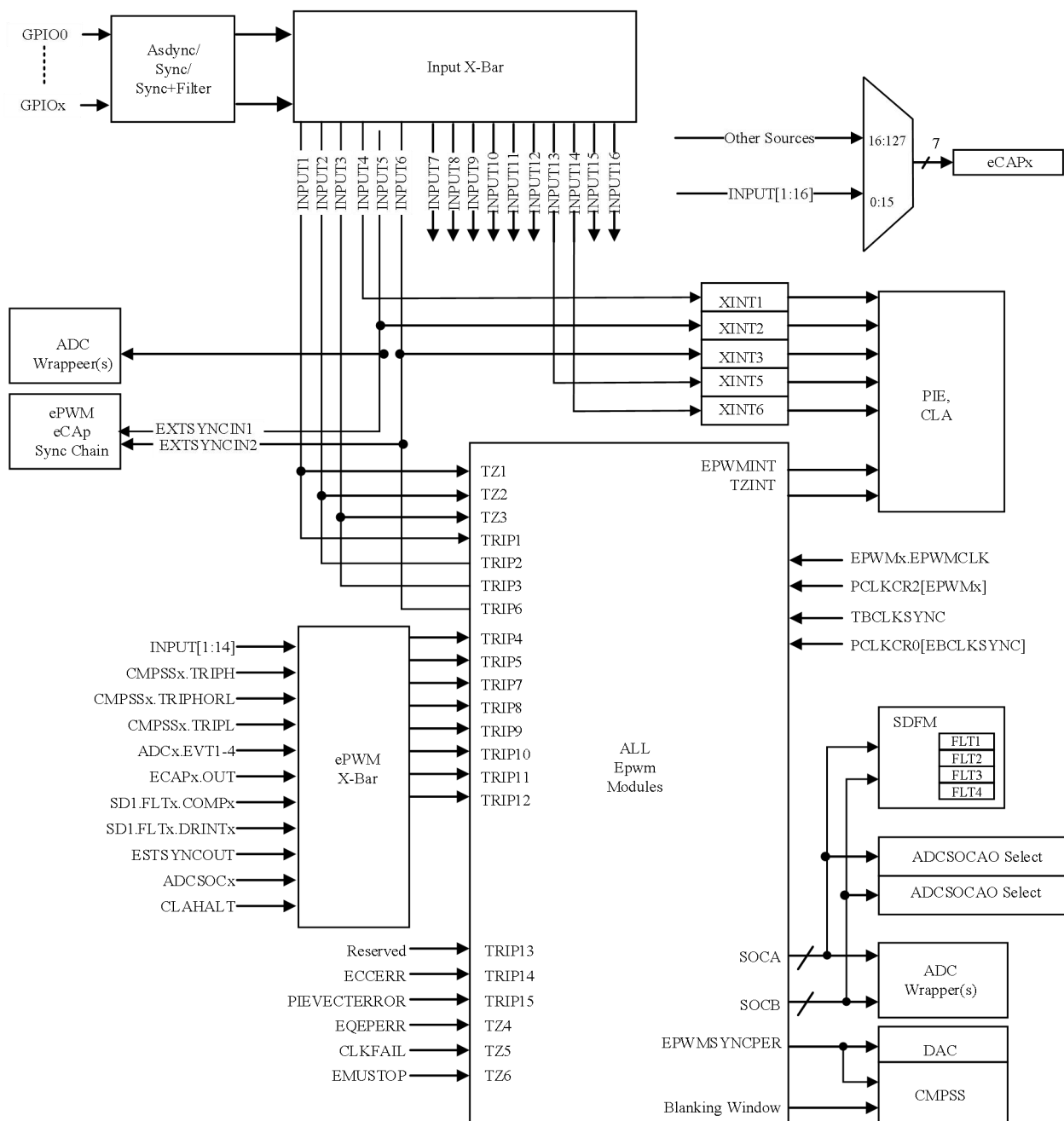


图 5-62 ePWM 跳闸输入连接

5.10.3.1 控制外设同步

ePWM 和 eCAP 同步链允许系统的多个模块之间进行同步，图 5-63 所示为同步链架构。

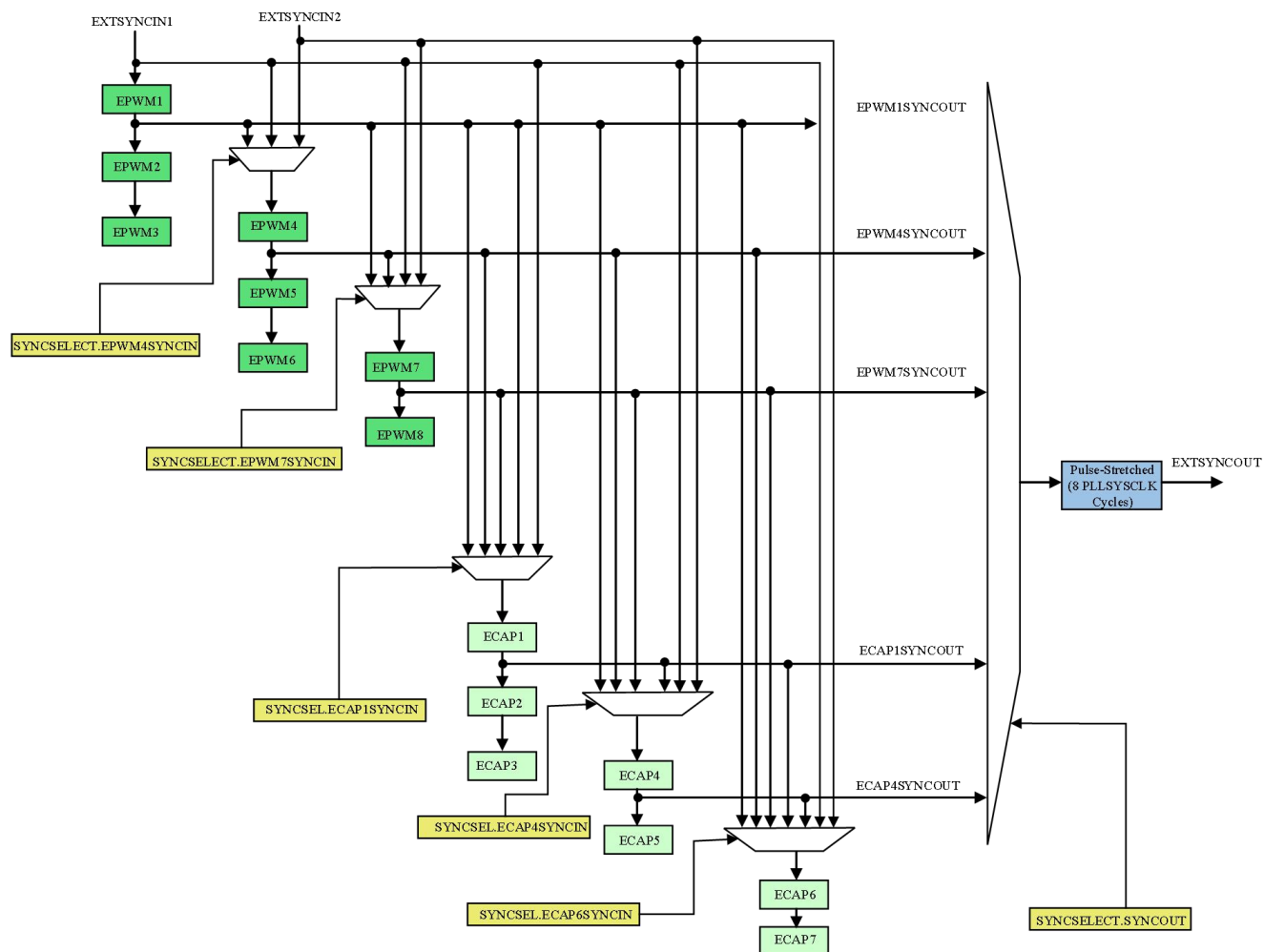


图 5-63 同步链架构

5.10.3.2 ePWM 电气数据和时序

第 5.10.3.2.1 节列出了 ePWM 时序要求，而第 5.10.3.2.2 节列出了 ePWM 开关特性。

5.10.3.2.1 ePWM 时序要求

		最小值	最大值	单位
$t_{w(SYNCIN)}$ 同步输入脉冲宽度	异步	$2t_{c(EPWMCLK)}$		周期
	同步	$2t_{c(EPWMCLK)}$		
	带输入限定器 ⁽¹⁾	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		

(1) 有关输入限定器参数的说明，请参阅第 5.8.6.2.1 节。

(2) 注：上表所列数据为设计值。

5.10.3.2.2 ePWM 开关特性

在建议运行条件下测得（除非另有说明）

参数	最小值	最大值	单位
$t_w(PWM)$ 脉冲持续时间，PWMx 输出高电平/低电平	20 ⁽¹⁾		ns
$t_w(SYNOUT)$ 同步输出脉冲宽度	$8t_{c(SYSCLK)}$ ⁽¹⁾		周期
$t_d(TZ-PWM)$ 延迟时间，有效跳闸输入到 PWM 强制高电平 延迟时间，有效跳闸输入到 PWM 强制低电平 延迟时间，有效跳闸输入到 PWM 高阻抗		40	ns

(1) 设计指标。

5.10.3.2.3 跳闸区输入时序

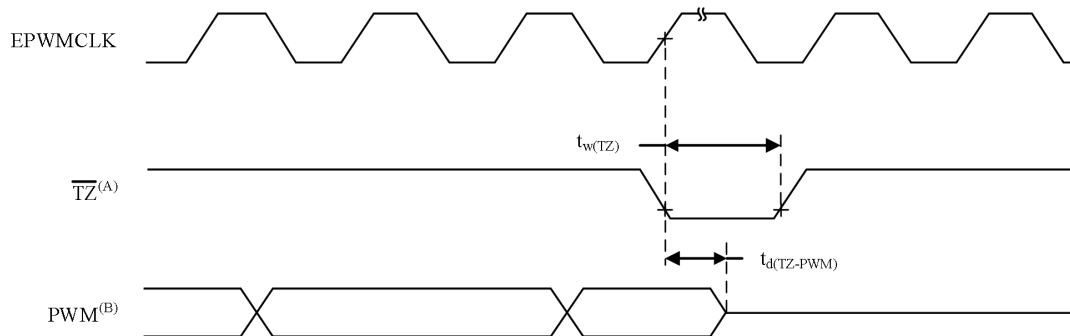
第 5.10.3.2.3.1 节列出了跳闸区输入时序要求，图 5-64 所示为 PWM Hi-Z 特征。

5.10.3.2.3.1 跳闸区输入时序要求

		最小值	最大值	单位
$t_w(TZ)$ 脉冲持续时间，TZx 输入低电平	异步	$1t_{c(EPWMCLK)}$		周期
	同步	$2t_{c(EPWMCLK)}$		
	带输入限定器 ⁽¹⁾	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		

(1) 有关输入限定器参数的说明，请参阅第 5.8.6.2.1 节。

(2) 注：上表所列数据为设计值。



A. TZ : TZ1、TZ2、TZ3、TRIP1 至 TRIP12。

B. PWM 是指器件内的所有 PWM 引脚。TZ 为高电平之后的 PWM 引脚的状态，取决于 PWM 模块寄存器的配置。

图 5-64 PWM Hi-Z 特征

5.10.3.3 外部 ADC 转换启动电气数据和时序

第 5.10.3.3.1 节列出了外部 ADC 转换启动开关特性。图 5-65 所示为 $\overline{\text{ADCSOCA0}}$ 或 $\overline{\text{ADCSOCB0}}$ 时序。

5.10.3.3.1 外部 ADC 转换启动开关特性

在建议运行条件下测得（除非另有说明）

参数	最小值	最大值	单位
$t_{w(\text{ADCSOCL})}$ 脉冲持续时间, $\overline{\text{ADCSOCx0}}$ 低电平	$32t_{\text{c}}(\text{SYSCLK})$		周期

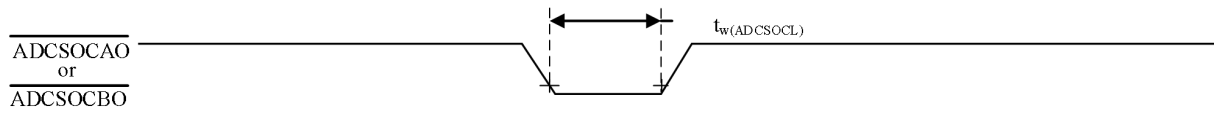


图 5-65 $\overline{\text{ADCSOCA0}}$ 或 $\overline{\text{ADCSOCB0}}$ 时序

5.10.4 高分辨率脉宽调制器 (HRPWM)

通过使用专用的校准延迟线路，HRPWM 在单个模块和简化的校准系统内结合多条延迟线路。对于每个 ePWM 模块，都有两个 HR 输出：

- 通道 A 上的 HR 占空比和死区控制
- 通道 B 上的 HR 占空比和死区控制

HRPWM 模块提供 PWM 分辨率（时间粒度），此分辨率明显优于使用传统数字 PWM 方法所能达到的分辨率。

HRPWM 模块的关键点为：

- 显著扩展了传统数字 PWM 的时间分辨率能力。
- 此功能可用于单边沿（占空比和相移控制）以及双边沿控制以实现频率/周期调制。
- 通过对 ePWM 模块的比较 A、B、相位、周期和死区寄存器的扩展来实现更加精细的时间粒度控制或边沿定位控制。

备注

HRPWM 允许的最小 HRPWMCLK 频率为 60MHz。

5.10.4.1 HRPWM 电气数据和时序

第 5.10.4.1.1 节列出了高分辨率 PWM 开关特性。

5.10.4.1.1 高分辨率 PWM 特征

参数	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长 ⁽¹⁾		150	310	ps

- (1) MEP 步长在高温和 VDD 上的电压最小时达到最大值。MEP 步长将随温度的升高和电压的下降而增加，并随温度的下降和电压的升高而减小。

使用 HRPWM 特性的应用应该使用 MEP 缩放因子优化器 (SFO) 近似软件函数。SFO 函数有助于在 HRPWM 运行时动态地估计每个 SYSCLK 周期内的 MEP 步数。

- 针对每个引脚的可编程输入限定 (GPIO MUX 的一部分)
- 正交解码器单元 (QDU)
- 用于位置测量的位置计数器和控制单元 (PCCU)
- 用于低速测量的正交边沿捕获单元 (QCAP)
- 用于速度/频率测量的单位时基 (UTIME)
- 用于检测失速的看门狗定时器 (QWDOG)
- 正交模式适配器 (OMA)



5.10.5.1 eQEP 电气数据和时序

第 5.10.5.1.1 节列出了 eQEP 时序要求，第 5.10.5.1.2 节列出了 eQEP 开关特性。

5.10.5.1.1 eQEP 时序要求

			最小值	最大值	单位
t _w (QEPP)	QEP 输入周期	异步 ⁽²⁾ /同步	4t _c (SYSCLK)		周期
		带输入限定器 ⁽¹⁾	2[1t _c (SYSCLK) + t _w (IQSW)]		
t _w (INDEXH)	QEP 索引输入高电平时间	异步 ⁽²⁾ /同步	2t _c (SYSCLK)		周期
		带输入限定器 ⁽¹⁾	2t _c (SYSCLK) + t _w (IQSW)		
t _w (INDEXL)	QEP 索引输入低电平时间	异步 ⁽²⁾ /同步	2t _c (SYSCLK)		周期
		带输入限定器 ⁽¹⁾	2t _c (SYSCLK) + t _w (IQSW)		
t _w (STROBH)	QEP 选通高电平时间	异步 ⁽²⁾ /同步	2t _c (SYSCLK)		周期
		带输入限定器 ⁽¹⁾	2t _c (SYSCLK) + t _w (IQSW)		
t _w (STROBL)	QEP 选通输入低电平时间	异步 ⁽²⁾ /同步	2t _c (SYSCLK)		周期
		带输入限定器 ⁽¹⁾	2t _c (SYSCLK) + t _w (IQSW)		

(1) 有关输入限定器参数的说明，请参阅第 5.8.6.2.1 节。

(2) 有关异步模式中的限制，请参阅《AVP32F0049 器件勘误表》。

(3) 注：上表所列数据为设计值。

5.10.5.1.2 eQEP 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
$t_{d(CNTR)_{xin}}$	延迟时间，外部时钟到计数器增量	$5t_{c(SYSCLK)}$		周期
$t_{d(PCS-OUT)_{QEP}}$	延迟时间，QEP 输入边沿到位置比较同步输出	$7t_{c(SYSCLK)}$		周期

注：上表所列数据为设计值。

5.10.6 Σ - Δ 滤波器模块 (SDFM)

SDFM 是一种四通道数字滤波器，专为电机控制应用中的电流测量和旋转变压器位置解码而设计。每个通道都可以接收独立的 Σ - Δ 调制位流。位流由四个独立可编程的数字抽取滤波器进行处理。该滤波器组包括快速比较器，用于过流和欠流监测进行即时数字阈值比较。

SDFM 特性包括：

- 每个 SDFM 模块 8 个外部引脚
 - 每个 SDFM 模块 4 个 Σ - Δ 数据输入引脚 (SDx_D1-4)
 - 每个 SDFM 模块 4 个 Σ - Δ 时钟输入引脚 (SDx_C1-4)
- 4 种不同的可配置调制器时钟模式：
 - 模式 0：调制器时钟速率等于调制器数据速率
 - 模式 1：调制器时钟速率为调制器数据速率的一半
 - 模式 2：调制器数据为曼彻斯特编码。不需要调制器时钟。
 - 模式 3：调制器时钟速率为调制器数据速率的两倍
- 每个 SDFM 模块 4 个独立的可配置次级滤波器（比较器）单元：
 - 提供 4 个不同的滤波器类型选择 (Sinc1/Sinc2/Sincfast/Sinc3) 选项
 - 能够检测超值、低值和过零条件
 - 比较器滤波器单元的 OSR 值 (COSR) 可编程为 1 至 32
- 每个 SDFM 模块 4 个独立的可配置初级滤波器（数据滤波器）单元：
 - 提供 4 个不同的滤波器类型选择 (Sinc1/Sinc2/Sincfast/Sinc3) 选项
 - 数据滤波器单元的 OSR 值 (DOSR) 可编程为 1 至 256
 - 能够启用独立的滤波器模块
 - 可利用主滤波器使能 (MFE) 位或 PWM 信号使 SDFM 模块的所有 4 个独立滤波器实现同步
- 数据滤波器单元具有可编程 FIFO 来减少中断开销。FIFO 具有以下特性：
 - 初级滤波器（数据滤波器）具有 16 级深度 $\times$ 32 位 FIFO
 - FIFO 可在达到可编程数量的数据就绪事件后中断 CPU
 - FIFO 等待同步功能：能够忽略数据就绪事件，直至接收到 PWM 同步信号 (SDSYNC)。一旦接收到 SDDSYNC 事件，就会在每个数据就绪事件时填充 FIFO
 - 数据滤波器输出可以用 16 位或 32 位表示
- 可根据每个数据滤波器通道将 PWMx.SOCA/SOCB 配置为 SDDSYNC 源
- 可使用 PWM 为 $\Delta\Sigma$ 调制器生成调制器时钟

备注

应注意避免在 SDx_Cy 输入端出现噪声。如果不满足最小脉冲宽度要求（例如，通过噪声干扰），则 SDFM 结果可能会变为不确定状态。

图 5-67 所示为 SDFM 框图。

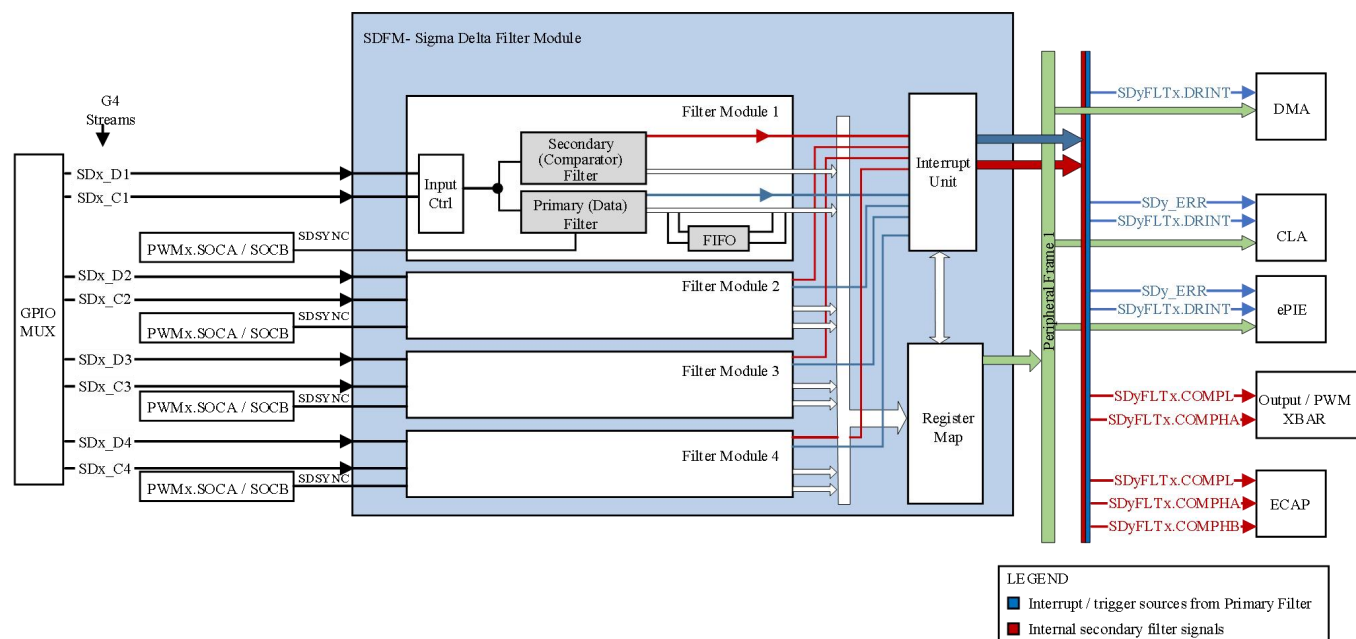


图 5-67 SDFM 框图

5.10.6.1 SDFM 电气数据和时序

通过设置 GPyQSELn = 0b11 来定义具有异步 GPIO 的 SDFM 操作。第 5.10.6.1.1 节列出了使用异步 GPIO (ASYNC) 选项时的 SDFM 时序要求。图 5-68、图 5-69、图 5-70 和图 5-71 所示为 SDFM 时序图。

5.10.6.1.1 使用异步 GPIO (ASYNC) 选项时的 SDFM 时序要求

		最小值	最大值	单位
模式 0				
$t_{c(SDC)M0}$	周期时间, SDx_Cy	40	256 个 SYSCLK 周期	ns
$t_{w(SDCH)M0}$	脉冲持续时间, SDx_Cy 高电平	10	$t_{c(SDC)M0} - 10$	ns
$t_{su(SDDV-SDCH)M0}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的建立时间	5		ns
$t_{h(SDCH-SDD)M0}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	5		ns
模式 1				
$t_{c(SDC)M1}$	周期时间, SDx_Cy	80	256 个 SYSCLK 周期	ns
$t_{w(SDCH)M1}$	脉冲持续时间, SDx_Cy 高电平	10	$t_{c(SDC)M1} - 10$	ns
$t_{su(SDDV-SDCL)M1}$	SDx_Cy 变为低电平之前 SDx_Dy 有效的建立时间	5		ns
$t_{su(SDDV-SDCH)M1}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的建立时间	5		ns
$t_{h(SDCL-SDD)M1}$	SDx_Cy 变为低电平之后 SDx_Dy 等待的保持时间	5		ns
$t_{h(SDCH-SDD)M1}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	5		ns
模式 2				
$t_{c(SDD)M2}$	周期时间, SDx_Dy	8 个 $t_{c(SYSCLK)}$	20 个 $t_{c(SYSCLK)}$	ns
$t_{w(SDDH)M2}$	脉冲持续时间, SDx_Dy 高电平	10		ns
$t_{w(SDD_LONG_KEEPOUT)M2}$	SDx_Dy 长脉冲持续保留时间, 其中长脉冲不得落入所列出的最小值到最大值范围内。长脉冲被定义为高或低脉冲, 其是曼彻斯特位时钟周期的完整宽度。对于 8 到 20 之间的任何整数, 都必须满足此要求。	$(N * t_{c(SYSCLK)}) - 0.5$	$(N * t_{c(SYSCLK)}) + 0.5$	ns
$t_{w(SDD_SHORT)M2}$	用于高或低脉冲的 SDx_Dy 短脉冲持续时间 (SDD_SHORT_H 或 SDD_SHORT_L)。短脉冲定义为高或低脉冲, 其是曼彻斯特位时钟周期的一半宽度。	$t_{w(SDD_LONG)} / 2 - t_{c(SYSCLK)}$	$t_{w(SDD_LONG)} / 2 + t_{c(SYSCLK)}$	ns
$t_{w(SDD_LONG_DUTY)M2}$	SDx_Dy 长脉冲变化 (SDD_LONG_H — SDD_LONG_L)	$- t_{c(SYSCLK)}$	$t_{c(SYSCLK)}$	ns
$t_{w(SDD_SHORT_DUTY)M2}$	SDx_Dy 短脉冲变化 (SDD_SHORT_H — SDD_SHORT_L)	$- t_{c(SYSCLK)}$	$t_{c(SYSCLK)}$	ns
模式 3				
$t_{c(SDC)M3}$	周期时间, SDx_Cy	40	256 个 SYSCLK 周期	ns
$t_{w(SDCH)M3}$	脉冲持续时间, SDx_Cy 高电平	10	$t_{c(SDC)M3} - 5$	ns
$t_{su(SDDV-SDCH)M3}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的建立时间	5		ns
$t_{h(SDCH-SDD)M3}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	5		ns

注: 上表所列数据为设计值。

5.10.6.1.2 SDFM 时序图

WARNING

当没有 GPIO 输入同步时，SDFM 时钟输入（SDx_Cy 引脚）直接对 SDFM 模块进行计时。这些输入端的任何干扰或振铃噪声都会破坏 SDFM 模块的运行。应对这些信号采取特殊的预防措施，以确保满足 SDFM 时序要求的干净且无噪声的信号。建议采取预防措施，例如对时钟驱动器的任何阻抗不匹配而导致的振铃进行串联终止，以及将走线与其他噪声信号隔离开来。

WARNING

不建议将模式 2（曼彻斯特模式）用于新应用。请参阅勘误项“SDFM：曼彻斯特模式（模式 2）在一些条件下不能产生正确的滤除结果”（位于《AVP32F0049 器件勘误表》中）。

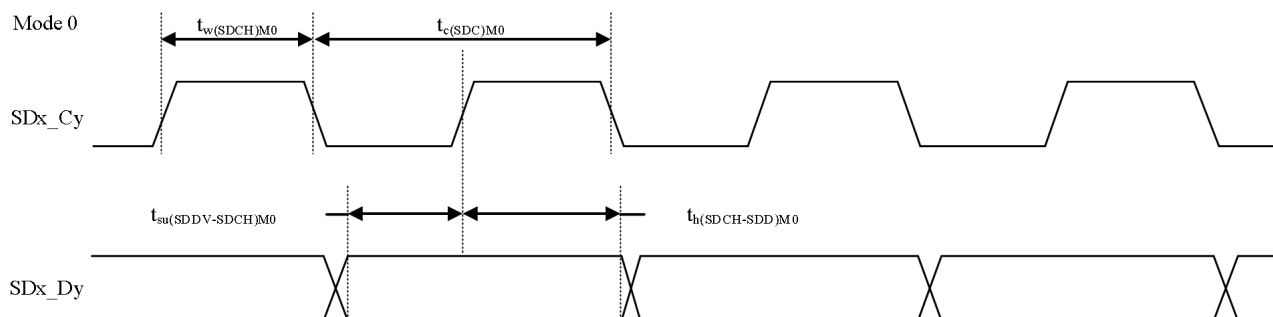


图 5-68 SDFM 时序图 - 模式 0

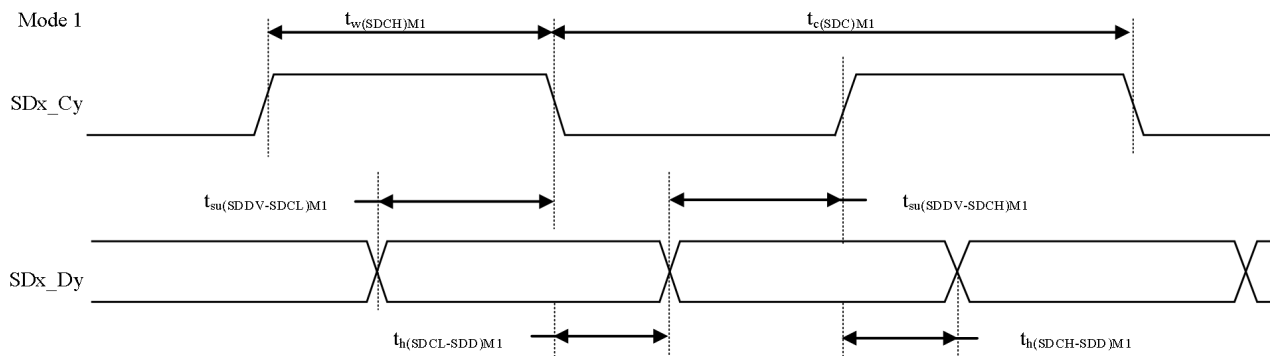


图 5-69 SDFM 时序图 - 模式 1

Mode 2
(Manchester-encoded-bit stream)

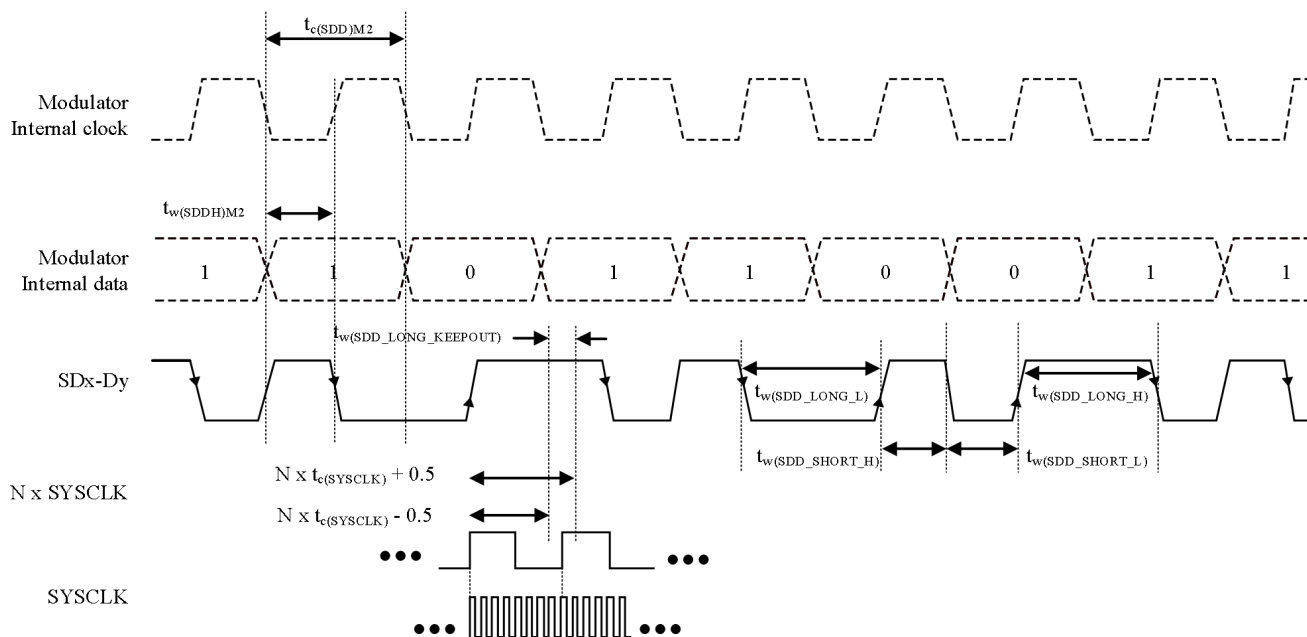


图 5-70 SDFM 时序图 - 模式 2

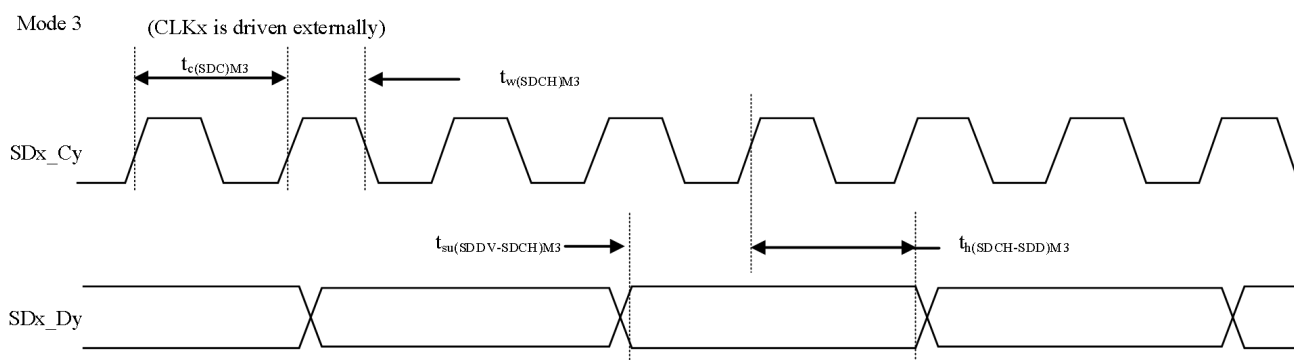


图 5-71 SDFM 时序图 - 模式 3

5.10.6.2 SDFM 电气数据和时序 (同步 GPIO)

通过设置 GPyQSELn = 0b00 来定义具有同步 GPIO 的 SDFM 操作。使用这种同步 GPIO 模式时，必须满足 $t_{w(GPI)}$ 脉冲持续时间至少为 $2t_{c(SYSCCLK)}$ 的时序要求。为 SD-Cx 和 SD-Dx 对配置 SYNC 选项非常重要。第 5.10.6.2 节列出了使用异步 GPIO (SYNC) 选项时的 SDFM 时序要求。图 5-68、图 5-69、图 5-70 和图 5-71 所示为 SDFM 时序图。

5.10.6.2.1 使用同步 GPIO (SYNC) 选项时的 SDFM 时序要求

		最小值		最大值	单位
模式 0					
t _c (SDC)M0	周期时间, SDx_Cy	5 个 SYSCLK 周期	256 个 SYSCLK 周期		ns
t _w (SDCHL)M0	脉冲持续时间, SDx_Cy 高电平/低电平	2 个 SYSCLK 周期	3 个 SYSCLK 周期		ns
t _{su} (SDDV-SDCH)M0	SDx_Cy 变为高电平之前 SDx_Dy 有效的建立时间	2 个 SYSCLK 周期			ns
t _h (SDCH-SDD)M0	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期			ns
模式 1					
t _c (SDC)M1	周期时间, SDx_Cy	10 个 SYSCLK 周期	256 个 SYSCLK 周期		ns
t _w (SDCHL)M1	脉冲持续时间, SDx_Cy 高电平/低电平	2 个 SYSCLK 周期	8 个 SYSCLK 周期		ns
t _{su} (SDDV-SDCL)M1	SDx_Cy 变为低电平之前 SDx_Dy 有效的建立时间	2 个 SYSCLK 周期			ns
t _{su} (SDDV-SDCH)M1	SDx_Cy 变为高电平之前 SDx_Dy 有效的建立时间	2 个 SYSCLK 周期			ns
t _h (SDCL-SDD)M1	SDx_Cy 变为低电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期			ns
t _h (SDCH-SDD)M1	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期			ns
模式 2					
t _c (SDD)M2	周期时间, SDx_Dy	选项不可用			
t _w (SDDH)M2	脉冲持续时间, SDx_Dy 高电平				
模式 3					
t _c (SDC)M3	周期时间, SDx_Cy	5 个 SYSCLK 周期	256 个 SYSCLK 周期		ns
t _w (SDCHL)M3	脉冲持续时间, SDx_Cy 高电平/低电平	2 个 SYSCLK 周期	3 个 SYSCLK 周期		ns
t _{su} (SDDV-SDCH)M3	SDx_Cy 变为高电平之前 SDx_Dy 有效的建立时间	2 个 SYSCLK 周期			ns
t _h (SDCH-SDD)M3	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期			ns

注：上表所列数据为设计值。

备注

SDFM 同步 GPIO (SYNC) 选项可以防止 SDFM 模块因 SDx_Cy 引脚上偶尔随机产生的噪声干扰而损坏，这些噪声干扰可能导致错误的比较器跳闸和滤波器输出。

SDFM 同步 GPIO (SYNC) 模式对持续违反上述时序要求的情况不提供保护。时序违规将损坏与违反要求的数据位数成正比的数据。

5.11 通信外设

5.11.1 控制器局域网 (CAN)

备注

CAN 模块使用称为 *DCAN* 的 IP。本文档交替使用名称 *CAN* 和 *DCAN* 来引用此外设。

CAN 模块实现下列特性：

- 符合 ISO11898-1 (Bosch® CAN 协议规范 2.0 A 和 B)
- 最高 1Mbps 的比特率
- 多个时钟源
- 32 个消息对象 (邮箱)，每个对象具有以下属性：
 - 可配置为接收或者发送
 - 可配置标准 (11 位) 或扩展 (29 位) 标识符
 - 支持可编程标识符接收掩码
 - 支持数据和远程帧
 - 保留 0 到 8 个字节的数据
 - 奇偶校验配置和数据 RAM
- 每个消息对象的单独标识符掩码
- 消息对象的可编程 FIFO 模式
- 用于自检操作的可编程环回模式
- 调试支持的挂起模式
- 软件模块复位
- 由一个可编程 32 位定时器实现在总线关闭状态后自动开启总线
- 2 条中断线路
- 支持 DMA

备注

对于 120 MHz 的 CAN 位时钟，最小比特率可能为 4.6875kbps。

备注

片载零引脚振荡器的精度如第 5.8.3.5.1 节所示。根据相关参数 (如 CAN 位时序设置、比特率、总线长度和传输延迟)，此振荡器的精度可能不符合 CAN 协议的要求。在这种情况下，必须使用外部时钟源。

图 5-72 所示为 CAN 功能框图。

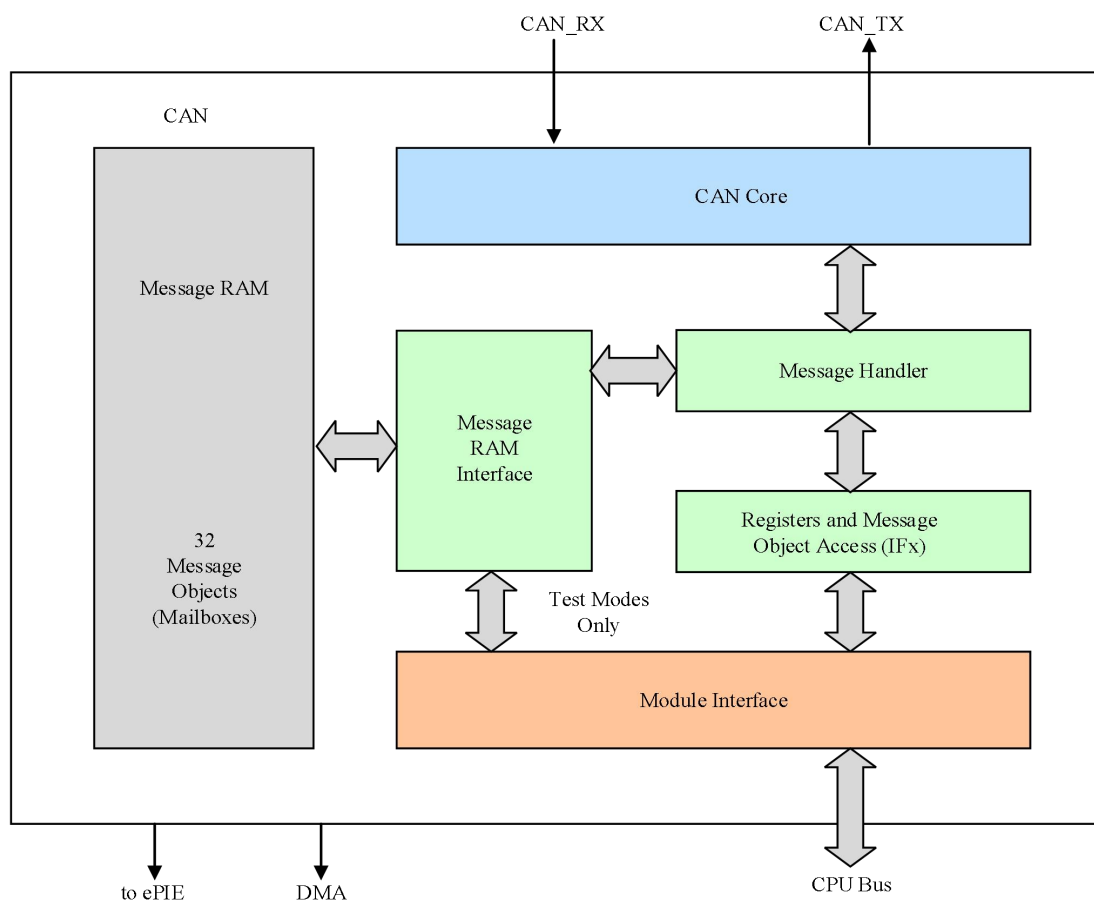


图 5-72 CAN 框图

5.11.2 集成电路总线 (I2C)

I2C 模块具有以下特性：

- 符合 NXP Semiconductor I2C 总线规范（版本 2.1）：
 - 支持 8 位格式传输
 - 7 位和 10 位寻址模式
 - 广播呼叫
 - START 字节模式
 - 支持多个主发送器和从接收器
 - 支持多个从发送器和主接收器
 - 组合主器件发送/接收和接收/发送模式
 - 数据传输速率从 10kbps 到 400kbps（快速模式）
- 一个 16 字节接收 FIFO 和一个 16 字节发送 FIFO
- 支持两个 ePIE 中断
 - I2Cx 中断 - 可以配置以下任何条件来生成 I2Cx 中断：
 - 发送就绪
 - 接收就绪
 - 寄存器访问就绪
 - 无应答位
 - 仲裁丢失
 - 检测到停止条件
 - 被寻址为从器件
 - I2Cx_FIFO 中断：
 - 发送 FIFO 中断
 - 接收 FIFO 中断
- 模块启用和禁用能力
- 全数据格式模式

图 5-73 说明了 I2C 外设模块如何在器件内连接。

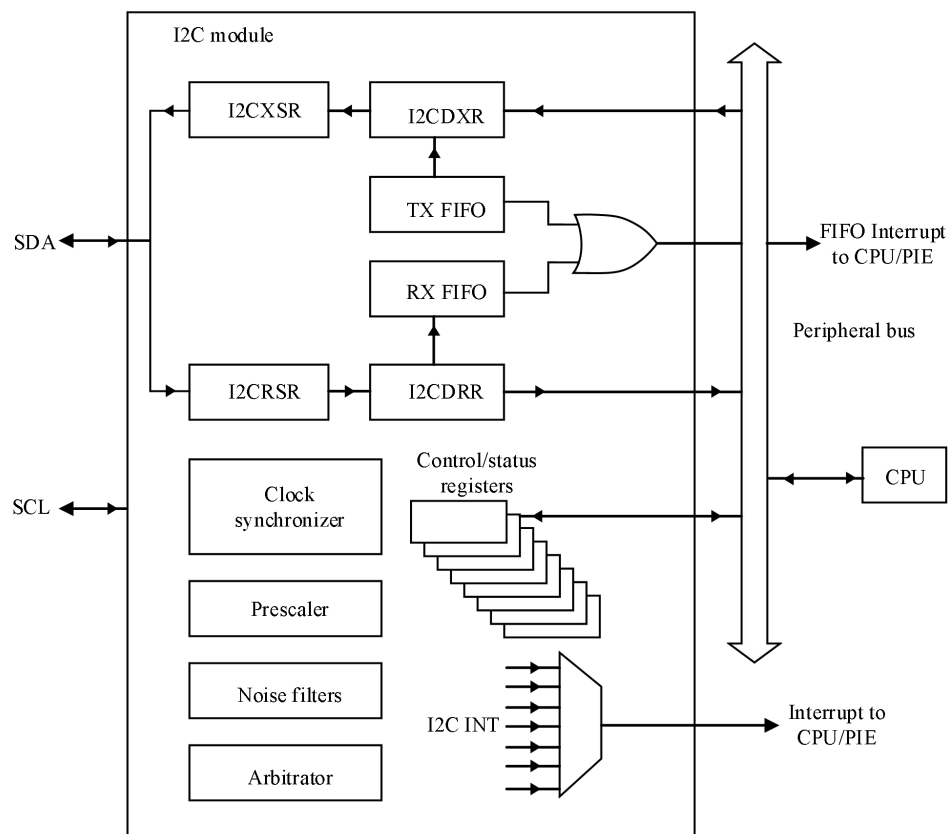


图 5-73 I2C 外设模块接口

5.11.2.1 I2C 电气数据和时序

第 5.11.2.1.1 节列出了 I2C 时序要求，第 5.11.2.1.2 节列出了 I2C 开关特征，图 5-74 所示为 I2C 时序图。

5.11.2.1.1 I2C 时序要求

编号			最小值	最大值	单位
标准模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{\text{h}}(\text{SDA-SCL})_{\text{START}}$	保持时间，开始条件，SDA 下降后 SCL 下降延迟	4.0		μs
T2	$t_{\text{su}}(\text{SCL-SDA})_{\text{START}}$	建立时间，重复开始，SCL 上升后 SDA 下降延迟	4.0		μs
T3	$t_{\text{h}}(\text{SCL-DAT})$	数据在 SCL 下降后的保持时间	0		μs
T4	$t_{\text{su}}(\text{DAT-SCL})$	数据在 SCL 上升前的建立时间	250		ns
T5	$t_{\text{r}}(\text{SDA})$	上升时间，SDA		1000	ns
T6	$t_{\text{r}}(\text{SCL})$	上升时间，SCL		1000	ns
T7	$t_{\text{f}}(\text{SDA})$	下降时间，SDA		300	ns
T8	$t_{\text{f}}(\text{SCL})$	下降时间，SCL		300	ns
T9	$t_{\text{su}}(\text{SCL-SDA})_{\text{STOP}}$	建立时间，停止条件，SCL 上升后 SDA 上升延迟	4.0		μs
T10	$t_{\text{w}}(\text{SP})$	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C_{b}	每条总线上的电容负载		400	pF
快速模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{\text{h}}(\text{SDA-SCL})_{\text{START}}$	保持时间，开始条件，SDA 下降后 SCL 下降延迟	0.6		μs
T2	$t_{\text{su}}(\text{SCL-SDA})_{\text{START}}$	建立时间，重复开始，SCL 上升后 SDA 下降延迟	0.6		μs
T3	$t_{\text{h}}(\text{SCL-DAT})$	数据在 SCL 下降后的保持时间	0		μs
T4	$t_{\text{su}}(\text{DAT-SCL})$	数据在 SCL 上升前的建立时间	100		ns
T5	$t_{\text{r}}(\text{SDA})$	上升时间，SDA	20	300	ns
T6	$t_{\text{r}}(\text{SCL})$	上升时间，SCL	20	300	ns
T7	$t_{\text{f}}(\text{SDA})$	下降时间，SDA	11.4	300	ns
T8	$t_{\text{f}}(\text{SCL})$	下降时间，SCL	11.4	300	ns
T9	$t_{\text{su}}(\text{SCL-SDA})_{\text{STOP}}$	建立时间，停止条件，SDA 上升延迟之前 SCL 上升	0.6		μs
T10	$t_{\text{w}}(\text{SP})$	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C_{b}	每条总线上的电容负载		400	pF

注：上表所列数据为设计值。

5.11.2.1.2 I2C 开关特征

在推荐的工作条件下（除非另有说明）

编号	参数		测试条件	最小值	最大值	单位
标准模式						
S1	f _{SCL}	SCL 时钟频率		0	100	kHz
S2	T _{SCL}	SCL 时钟周期		10		μs
S3	t _w (SCLL)	脉冲持续时间，SCL 时钟低电平		4.7		μs
S4	t _w (SCLH)	脉冲持续时间，SCL 时钟高电平		4.0		μs
S5	t _{BUF}	停止和启动条件之间的总线空闲时间		4.7		μs
S6	t _v (SCL-DAT)	有效时间，SCL 下降后的数据			3.45	μs
S7	t _v (SCL-ACK)	有效时间，SCL 下降后的应答			3.45	μs
S8	I _I	引脚上的输入电流	0.1 V _{bus} < V _i < 0.9 V _{bus}	-10	10	μA
快速模式						

编号	参数	测试条件	最小值	最大值	单位
S1	f_{SCL}	SCL 时钟频率	0	400	kHz
S2	T_{SCL}	SCL 时钟周期	2.5		μs
S3	$t_{w(SCLL)}$	脉冲持续时间, SCL 时钟低电平	1.3		μs
S4	$t_{w(SCLH)}$	脉冲持续时间, SCL 时钟高电平	0.6		μs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间	1.3		μs
S6	$t_v(SCL-DAT)$	有效时间, SCL 下降后的数据		0.9	μs
S7	$t_v(SCL-ACK)$	有效时间, SCL 下降后的应答		0.9	μs
S8	I_I	引脚上的输入电流	$0.1 V_{bus} < V_i < 0.9 V_{bus}$	-10	μA

注：上表所列数据为设计值。

5.11.2.1.3 I2C 时序图

备注

为了满足所有的 I2C 协议时序规范，I2C 模块时钟 (Fmod) 必须配置为 7MHz 至 12MHz 范围内的值。

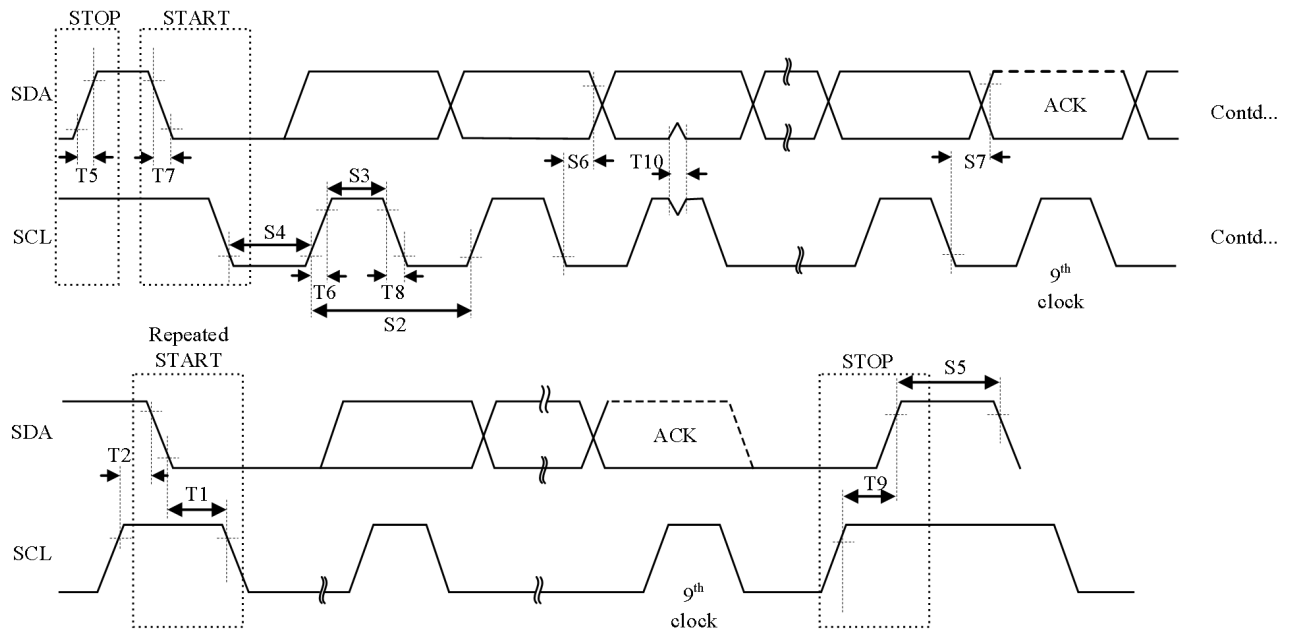


图 5-74 I2C 时序图

5.11.3 电源管理总线 (PMBus) 接口

PMBus 模块具有以下特性：

- 符合 SMI Forum PMBus 规范 (第 I 部分 v1.0 和第 II 部分 v1.1)
- 支持主模式和从模式
- 支持 I2C 模式
- 支持两种速度：
 - 标准模式：高达 100 kHz
 - 快速模式：高达 400 kHz
- 数据包错误检查
- 控制和警报信号
- 时钟高电平和低电平超时
- 四字节发送和接收缓冲器
- 一个可屏蔽中断，可由以下几个条件生成：
 - 接收数据就绪
 - 发送缓冲器为空
 - 接收到从器件地址
 - 消息结束
 - 警报输入被置为有效
 - 时钟低超时
 - 时钟高电平超时
 - 总线空闲

图 5-75 所示为 PMBus 框图。

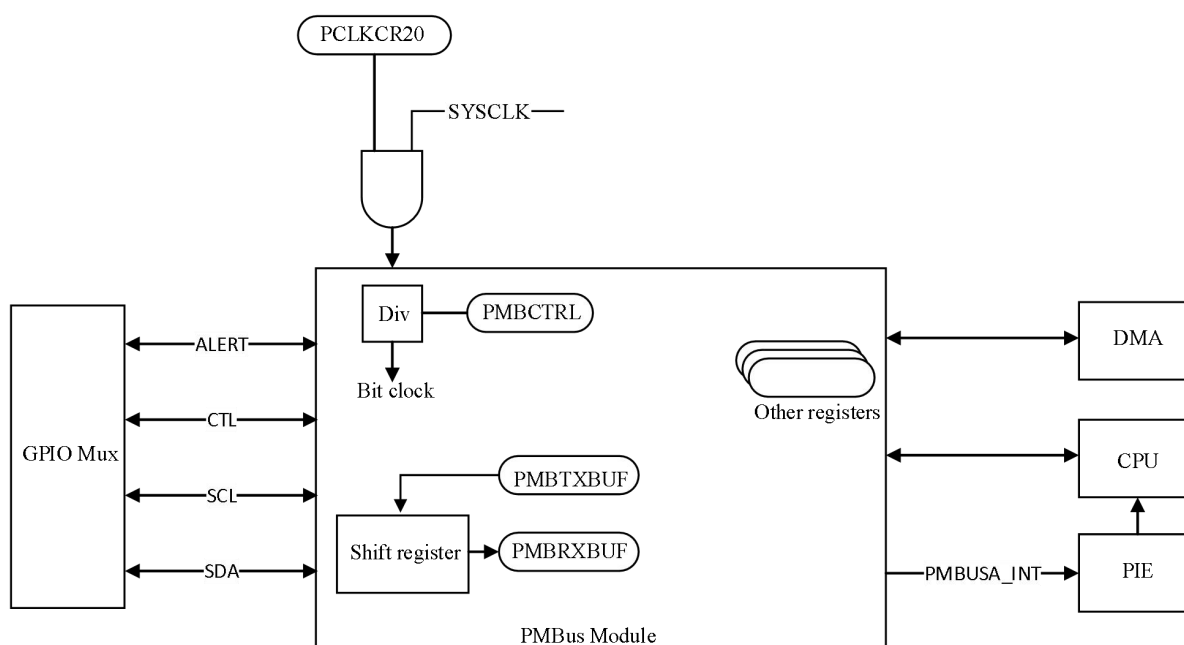


图 5-75 PMBus 框图

5.11.3.1 PMBus 电气数据和时序

第 5.11.3.1.1 节列出了 PMBus 电气特性，第 5.11.3.1.2 节列出了 PMBUS 快速模式开关特性，第 5.11.3.1.3 节列出了 PMBUS 标准模式开关特性。

5.11.3.1.1 PMBus 电气特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
V_{IL}	有效低电平输入电压			0.8	V
V_{IH}	有效高电平输入电压	2.1		VDDIO	V
V_{OL}	低电平输出电压	在 $I_{pullup} = 4mA$ 时		0.4	V
I_{OL}	低电平输出电流	$V_{OL} \leq 0.4V$		4	mA
t_{SP}	必须由输入滤波器进行抑制的尖峰脉宽	0		50	ns
I_i	每个引脚上的输入漏电流	$0.1V_{bus} < V_i < 0.9V_{bus}$		-10	μA
C_i	每个引脚上的电容			10	pF

注：上表所列数据为设计值。

5.11.3.1.2 PMBus 快速模式开关特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
f_{SCL}	SCL 时钟频率	10		400	kHz
t_{BUF}	停止和启动条件之间的总线空闲时间	1.3			μs
$t_{HD;STA}$	启动条件保持时间 - SDA 下降至 SCL 下降延迟	0.6			μs
$t_{SU;STA}$	重复启动建立时间 - SCL 上升至 SDA 下降延迟	0.6			μs
$t_{SU;STO}$	停止条件建立时间 - SCL 上升至 SDA 上升延迟	0.6			μs
$t_{HD;DAT}$	SCL 下降后的数据保持时间	300			ns
$t_{SU;DAT}$	SCL 上升前的数据建立时间	100			ns
$t_{Timeout}$	时钟低超时	25		35	ms
t_{LOW}	SCL 时钟的低电平周期	1.3			μs
t_{HIGH}	SCL 时钟的高电平周期	0.6		50	μs
$t_{LOW;SEXT}$	累计时钟低电平延长时间（从器件）	从启动到停止		25	ms
$t_{LOW;MEXT}$	累计时钟低电平延长时间（主器件）	在每个字节内		10	ms
t_r	SDA 和 SCL 的上升时间	5%至 95%		20	ns
t_f	SDA 和 SCL 的下降时间	95%至 5%		20	ns

注：上表所列数据为设计值。

5.11.3.1.3 PMBus 标准模式开关特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
f_{SCL}	SCL 时钟频率	10		100	kHz
t_{BUF}	停止和启动条件之间的总线空闲时间	4.7			μs
$t_{HD;STA}$	启动条件保持时间 - SDA 下降至 SCL 下降延迟	4			μs
$t_{SU;STA}$	重复启动建立时间 - SCL 上升至 SDA 下降延迟	4.7			μs
$t_{SU;STO}$	停止条件建立时间 - SCL 上升至 SDA 上升延迟	4			μs
$t_{HD;DAT}$	SCL 下降后的数据保持时间	300			ns
$t_{SU;DAT}$	SCL 上升前的数据建立时间	250			ns
$t_{Timeout}$	时钟低超时	25		35	ms
t_{LOW}	SCL 时钟的低电平周期	4.7			μs
t_{HIGH}	SCL 时钟的高电平周期	4		50	μs
$t_{LOW;SEXT}$	累计时钟低电平延长时间（从器件）	从启动到停止		25	ms
$t_{LOW;MEXT}$	累计时钟低电平延长时间（主器件）	在每个字节内		10	ms
t_r	SDA 和 SCL 的上升时间			1000	ns
t_f	SDA 和 SCL 的下降时间			300	ns

注：上表所列数据为设计值。

5.11.4 串行通信接口 (SCI)

SCI 是一种双线制异步串行端口，通常称为 UART。SCI 模块支持 CPU 与其他使用标准非归零码(NRZ) 格式的异步外设之间的数字通信。

SCI 发送器和接收器各有一个 16 级深度的 FIFO，用于减少服务开销，且具有各自独立的使能位和中断位。两者既可以独立运行进行半双工通信，也可以同时运行进行全双工通信。为了确保数据完整性，SCI 对接收到的数据进行断开检测、奇偶校验、超载和帧错误检查。比特率通过 16 位波特选择寄存器可编程为不同的速度。

SCI 模块的特性包括：

- 两个外部引脚：

- SCITXD：SCI 发送-输出引脚
- SCIRXD：SCI 接收-输入引脚

备注

如果不用于 SCI，则两个引脚都可以用作 GPIO。

- 波特率可编程为 64K 种不同速率

- 数据字格式

- 1 个起始位
- 数据字长度可编程为 1 至 8 位
- 可选的偶数/奇数/无奇偶校验位
- 1 个或 2 个停止位

- 四个错误检测标志：奇偶、超载、帧、和断开检测

- 两种多处理器唤醒模式：空闲线和地址位

- 半双工或全双工操作

- 双缓冲接收和发送功能

- 发送器和接收器操作可通过带有状态标志的中断驱动或轮询算法来完成。

- 发送器：TXRDY 标志（发送器缓冲寄存器已准备好接收另一个字符）和 TX EMPTY 标志（发送器移位寄存器为空）

- 接收器：RXRDY 标志（接收器缓冲寄存器已准备好接收另一个字符）、BRKDT 标志（发生了断开条件）和 RX ERROR 标志（监测四个中断条件）

- 发送器和接收器中断的独立使能位（BRKDT 除外）

- NRZ 格式

- 自动波特检测硬件逻辑

- 16 级发送和接收 FIFO

备注

此模块中的所有寄存器均为 8 位寄存器。当寄存器被访问时，寄存器数据位于低位字节（位 7-0），高位字节（位 15-8）读取为零。对高字节进行写入无效。

图 5-76 所示为 SCI 模块框图。

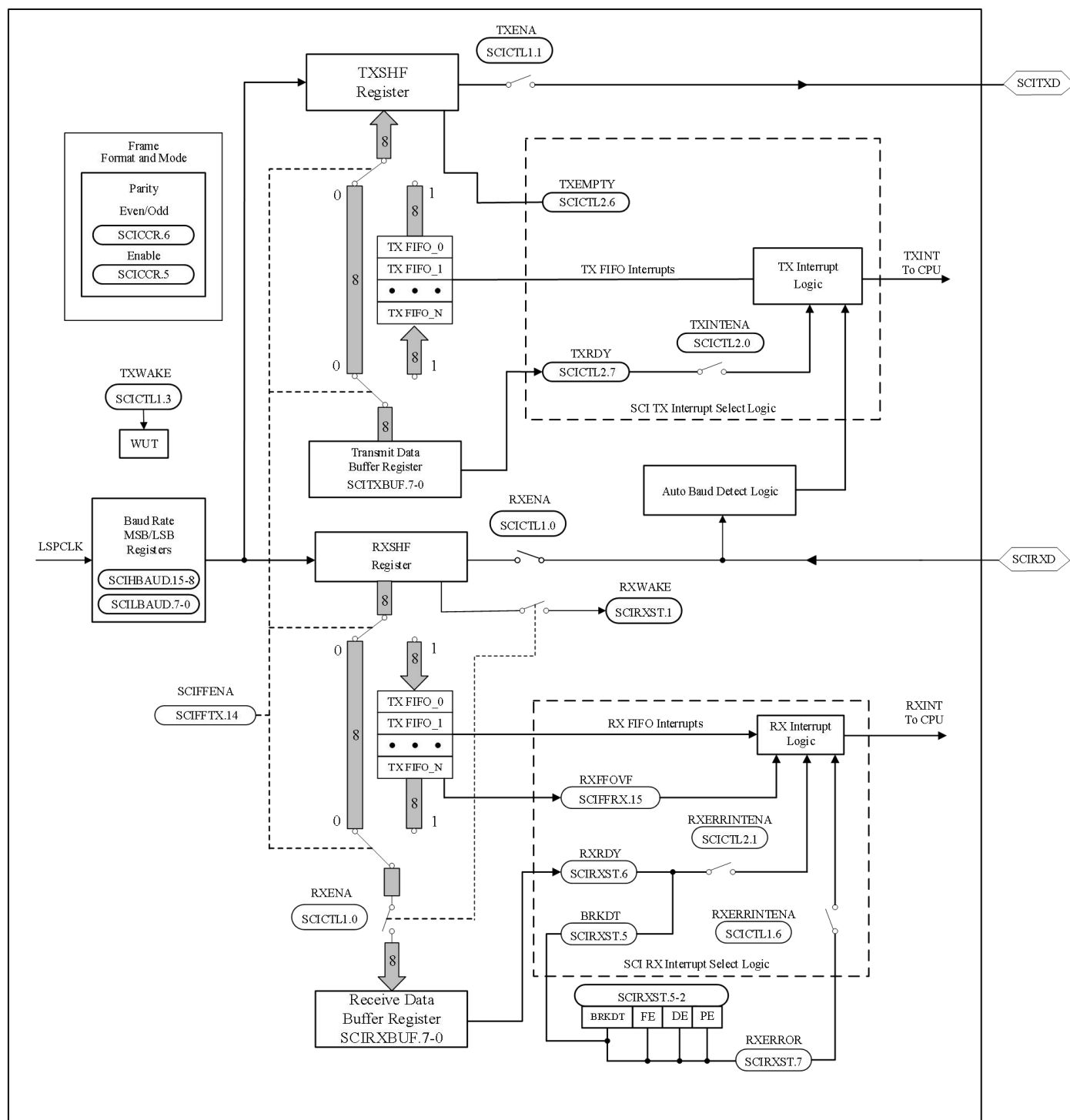


图 5-76 SCI 框图

5.11.5 串行外设接口 (SPI)

串行外设接口 (SPI) 是一种高速同步串行输入和输出 (I/O) 端口，其允许以编程的位传输速率将编程长度 (1 至 16 位) 的串行位流移入和移出器件。SPI 通常用于 MCU 控制器与外部外设或另一控制器之间的通信。典型应用包括外部 I/O 或者通过诸如移位寄存器、显示驱动器和模数转换器 (ADC) 等器件进行外设扩展。SPI 的主/从工作模式支持多器件通信。该端口支持 16 级接收和发送 FIFO，以减少 CPU 服务开销。

SPI 模块的特性包括：

- SPISOMI：SPI 从器件输出/主器件输入引脚
- SPISIMO：SPI 从器件输入/主器件输出引脚
- SPISTE：SPI 从器件发送使能引脚
- SPICLK：SPI 串行时钟引脚

备注

如果未使用 SPI 模块，所有四个引脚均可用作 GPIO。

- 两种工作模式：主机模式和从机模式
- 波特率：125 个不同的可编程速率。可采用的最大波特率受限于 SPI 引脚上使用的 I/O 缓冲器的最大速度。
- 数据字长度：1 至 16 数据位
- 四种计时方案（由时钟极性和时钟相位的位控制）包含：
 - 无相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上发送数据，在 SPICLK 信号的上升沿上接收数据。
 - 有相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿提前半个周期发送数据，在 SPICLK 信号的下降沿上接收数据。
 - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据，在 SPICLK 信号的下沿上接收数据。
 - 有相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号上升沿的半个周期之前发送数据，而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作（可在软件中禁用发送功能）
- 发送器和接收器操作通过中断驱动或轮询算法完成
- 16 级发送/接收 FIFO
- DMA 支持
- 高速模式
- 延迟的发送控制
- 3 线 SPI 模式
- 在带有两个 SPI 模块的器件上实现数字音频接口接收模式的 SPISTE 反转

图 5-77 所示为 SPI CPU 接口。

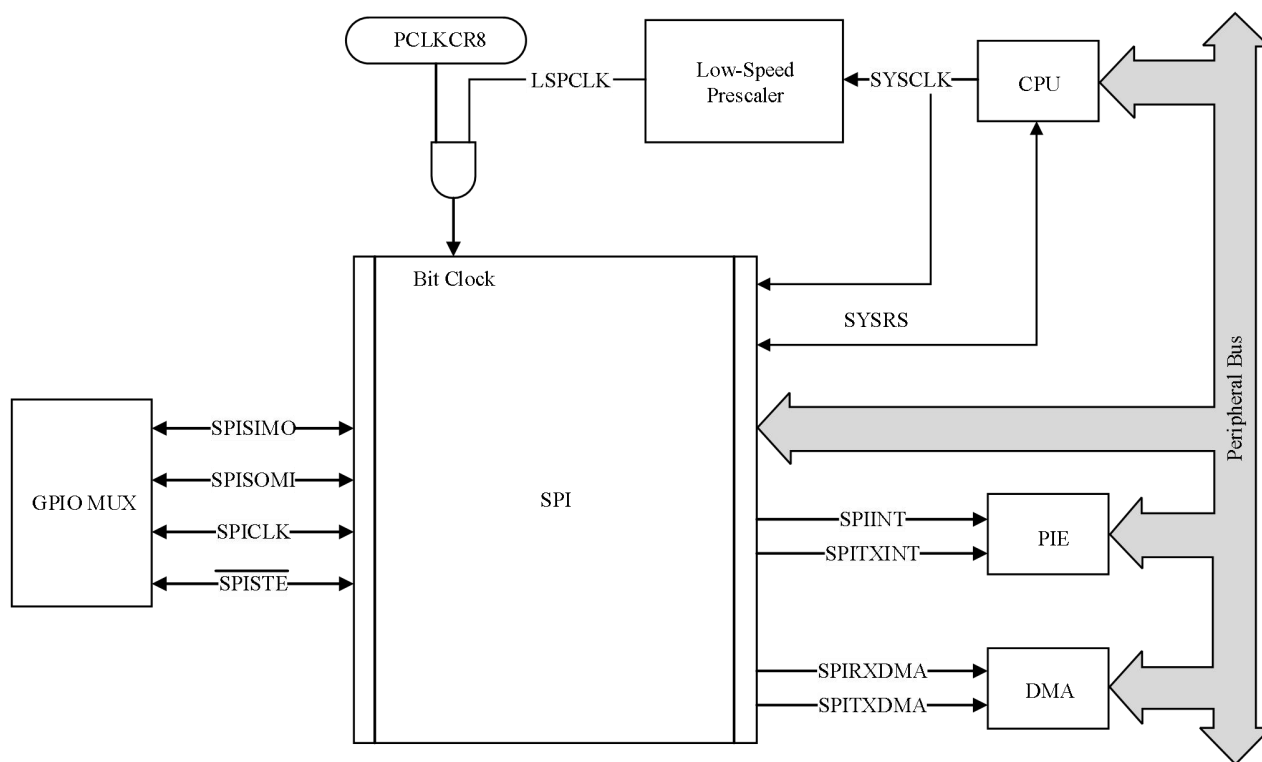


图 5-77 SPI CPU 接口

5.11.5.1 SPI 电气数据和时序

以下几节将介绍非高速模式下的 SPI 外部时序：

第 5.11.5.1.1 节 非高速主模式时序

第 5.11.5.1.2 节 非高速从模式时序

以下几节将介绍高速模式下的 SPI 外部时序：

第 5.11.5.1.3 节 高速主模式时序

第 5.11.5.1.4 节 高速从模式时序

备注

SPI 高速模式的所有时序参数都假设 SPICLK、SPISIMO 和 SPISOMI 上的负载电容为 5pF。

更多有关高速模式下 SPI 的信息，请参阅《AVP32F0049 技术参考手册》的“串行外设接口(SPI)”一章。

5.11.5.1.1 非高速主模式时序

第 5.11.5.1.1.1 节列出了时钟相位 = 0 时的 SPI 主模式开关特性。图 5-78 所示为时钟相位 = 0 时的 SPI 主模式外部时序。

第 5.11.5.1.1.2 节列出了时钟相位 = 1 时的 SPI 主模式开关特性。图 5-79 所示为时钟相位 = 1 时的 SPI 主模式外部时序。

第 5.11.5.1.1.3 节列出了 SPI 主模式时序要求。

5.11.5.1.1.1 SPI 主模式开关特性 (时钟相位 = 0)

在推荐的工作条件下 (除非另有说明)

编号	参数	(BRR + 1) 条件 ⁽¹⁾	最小值	最大值	单位
1	$t_{c(SPC)M}$ 周期时间, SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
		奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$ 脉冲持续时间, SPICLK, 第一个脉冲	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 3$	
3	$t_{w(SPC2)M}$ 脉冲持续时间, SPICLK, 第二个脉冲	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
4	$t_{d(SIMO)M}$ 延迟时间, SPICLK 至 SPISIMO 有效的时间	偶数, 奇数		5	ns
5	$t_{v(SIMO)M}$ 有效时间, SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 6$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
23	$t_{d(SPC)M}$ 延迟时间, $\overline{SPISTE}$ 有效至 SPICLK 的时间	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$		ns
		奇数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$		
24	$t_{d(STE)M}$ 延迟时间, SPICLK 至 SPISTE 无效的时间	偶数	$0.5t_{c(SPC)M} - 6$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

- (1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时, (BRR + 1) 条件为奇数。
- (2) 注: 上表所列数据为设计值。

5.11.5.1.1.2 SPI 主模式开关特性 (时钟相位=1)

在推荐的工作条件下 (除非另有说明)

编号	参数	(BRR + 1) 条件 ⁽¹⁾	最小值	最大值	单位
1	$t_{c(SPC)M}$ 周期时间, SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
		奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$ 脉冲持续时间, SPICLK, 第一个脉冲	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
3	$t_{w(SPC2)M}$ 脉冲持续时间, SPICLK, 第二个脉冲	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 3$	
4	$t_{d(SIMO)M}$ 延迟时间, SPISIMO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 4$		ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$		
5	$t_{v(SIMO)M}$ 有效时间, SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 6$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		
23	$t_{d(SPC)M}$ 延迟时间, SPISTE 有效至 SPICLK 的时间	偶数, 奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLOCK)} - 3$		ns
24	$t_{d(STE)M}$ 延迟时间, SPICLK 至 SPISTE 无效的时间	偶数	$0.5t_{c(SPC)M} - 6$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		

(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时, (BRR + 1) 条件为奇数。

(2) 注: 上表所列数据为设计值。

5.11.5.1.1.3 SPI 主模式时序要求

编号	参数	(BRR + 1) 条件 ⁽¹⁾	最小值	最大值	单位
8	$t_{su(SOMI)M}$ SPICLK 之前 SPISOMI 有效的建立时间	偶数, 奇数	20		ns
9	$t_{h(SOMI)M}$ SPICLK 之后 SPISOMI 有效的保持时间	偶数, 奇数	0		ns

(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时, (BRR + 1) 条件为奇数。

(2) 注: 上表所列数据为设计值。

5.11.5.1.2 非高速从模式时序

第 5.11.5.1.2.1 节列出了 SPI 从模式开关特性，第 5.11.5.1.2.2 节列出了 SPI 从模式时序要求。

图 5-80 所示为时钟相位 = 0 时的 SPI 从模式外部时序。图 5-81 所示为时钟相位 = 1 时的 SPI 从模式外部时序。

5.11.5.1.2.1 SPI 从模式开关特性

在推荐的工作条件下（除非另有说明）

编号	参数	最小值	最大值	单位
15	$t_{d(SOMI)S}$ 延迟时间，SPICLK 至 SPISOMI 有效的时 间		16	ns
16	$t_{v(SOMI)S}$ 有效时间，SPICLK 之后 SPISOMI 有效的 时间	0		ns

注：上表所列数据为设计值。

5.11.5.1.2.2 SPI 从模式时序要求

编号	参数	最小值	最大值	单位
12	$t_{c(SPC)S}$ 周期时间，SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$ 脉冲持续时间，SPICLK，第一个脉冲	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$ 脉冲持续时间，SPICLK，第二个脉冲	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(SIMO)S}$ SPICLK 之前 SPISIMO 有效的建立时间	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)S}$ SPICLK 之后 SPISIMO 有效的保持时间	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$ SPICLK 之前 SPISTE 有效的建立时间（时 钟相位 = 0）	$2t_{c(SYSCLK)} + 2$		ns
	SPICLK 之前 SPISTE 有效的建立时间（时 钟相位 = 1）	$2t_{c(SYSCLK)} + 22$		ns
26	$t_{h(STE)S}$ SPICLK 之后 SPISTE 无效的保持时间	$1.5t_{c(SYSCLK)}$		ns

注：上表所列数据为设计值。

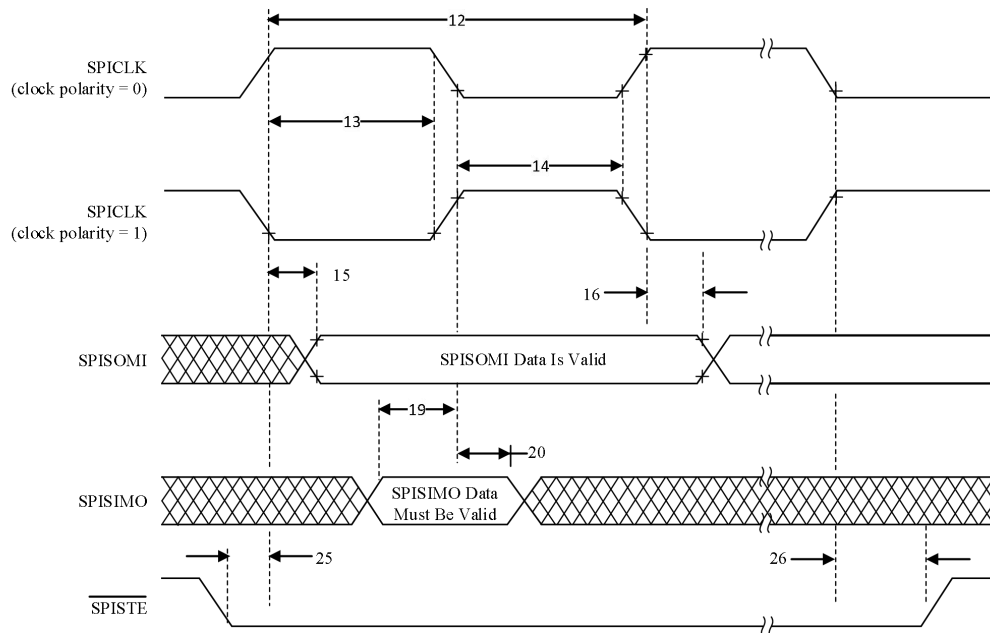


图 5-80 SPI 从模式外部时序（时钟相位 = 0）

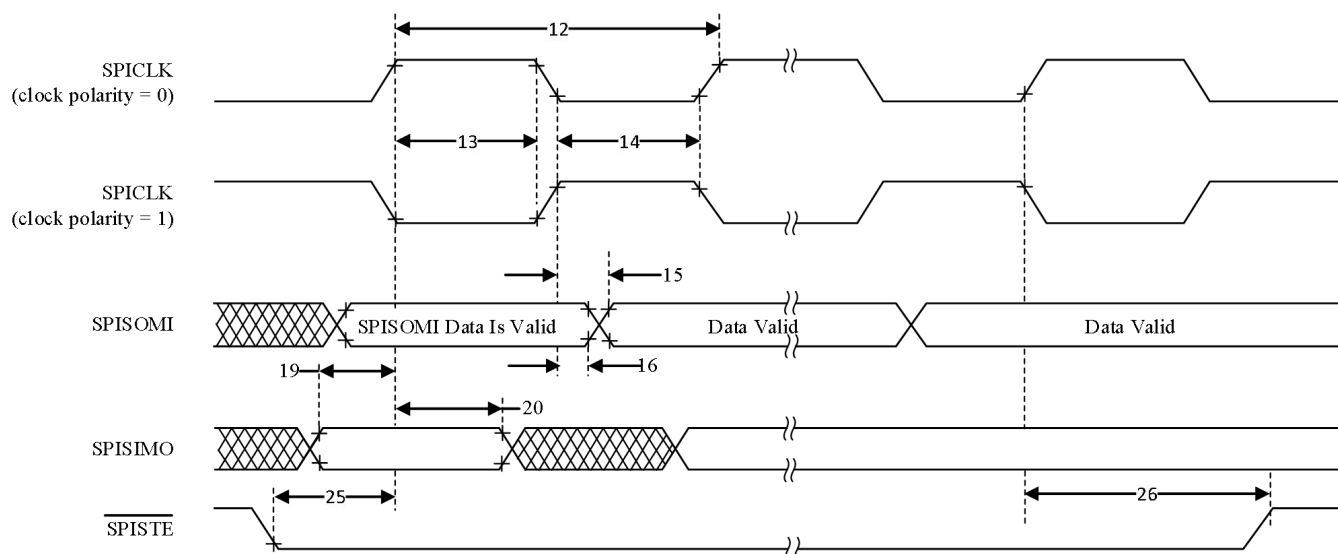


图 5-81 SPI 从模式外部时序 (时钟相位 = 1)

5.11.5.1.3 高速主模式时序

第 5.11.5.1.3.1 节列出了时钟相位 = 0 时的 SPI 高速主模式开关特性，图 5-82 所示为时钟相位 = 0 时的高速 SPI 主模式外部时序。

第 5.11.5.1.3.2 节列出了时钟相位 = 1 时的 SPI 高速主模式开关特性，图 5-83 所示为时钟相位 = 1 时的高速 SPI 主模式外部时序。

第 5.11.5.1.3.3 节列出了 SPI 高速主模式时序要求。

5.11.5.1.3.1 SPI 高速主模式开关特性 (时钟相位 = 0)

在推荐的工作条件下 (除非另有说明)

编号	参数	(BRR + 1) 条件 ⁽¹⁾	最小值	最大值	单位
1	$t_{c(SPC)M}$ 周期时间, SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
		奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$ 脉冲持续时间, SPICLK, 第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$ 脉冲持续时间, SPICLK, 第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
4	$t_{d(SIMO)M}$ 延迟时间, SPICLK 至 SPISIMO 有效的时间	偶数, 奇数		3	ns
5	$t_{v(SIMO)M}$ 有效时间, SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 4$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		
23	$t_{d(SPC)M}$ 延迟时间, SPISTE 有效至 SPICLK 的时间	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYCLK)} - 1$		ns
		奇数	$1.5t_{c(SPC)M} - 3t_{c(SYCLK)} - 1$		
24	$t_{d(STE)M}$ 延迟时间, SPICLK 至 SPISTE 无效的时间	偶数	$0.5t_{c(SPC)M} - 4$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		

(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时, (BRR + 1) 条件为奇数。

(2) 注: 上表所列数据为设计值。

5.11.5.1.3.2 SPI 高速主模式开关特性 (时钟相位 = 1)

在推荐的工作条件下 (除非另有说明)

编号	参数	(BRR + 1) 条件 ⁽¹⁾	最小值	最大值	单位
1	$t_{c(SPC)M}$ 周期时间, SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
		奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$ 脉冲持续时间, SPICLK, 第一个脉冲	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
3	$t_{w(SPC2)M}$ 脉冲持续时间, SPICLK, 第二个脉冲	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 3$	
4	$t_{d(SIMO)M}$ 延迟时间, SPISIMO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 4$		ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$		

5.11.5.1.3.2 SPI 高速主模式开关特性 (时钟相位 = 1) (续)

在推荐的工作条件下（除非另有说明）

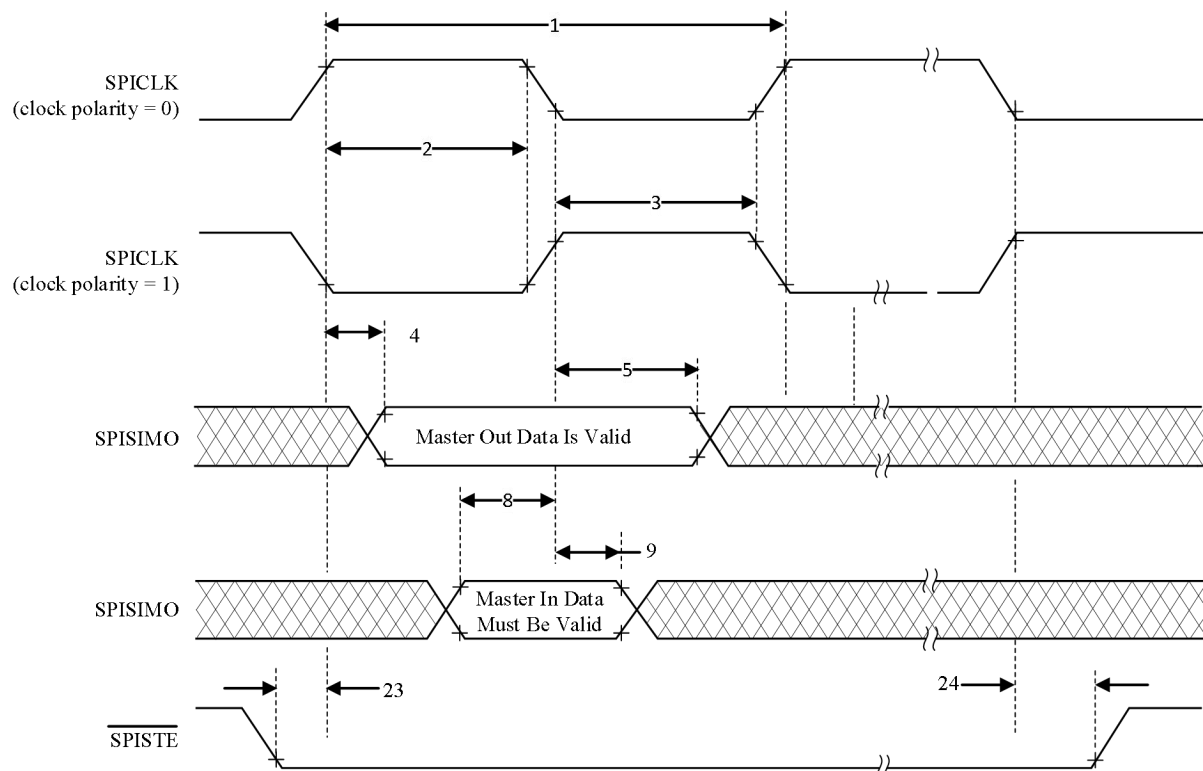
编号	参数	(BRR + 1) 条件 ⁽¹⁾	最小值	最大值	单位
5	$t_{v(SIMO)M}$ 有效时间，SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 6$	ns	
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		
23	$t_{d(SPC)M}$ 延迟时间，SPISTE有效至 SPICLK 的时间	偶数，奇数	$2t_{c(SPC)M} - 3t_{c(SYSCCLK)} - 1$	ns	
24	$t_{d(STE)M}$ 延迟时间，SPICLK 至 SPISTE 无效的时间	偶数	$0.5t_{c(SPC)M} - 6$	ns	
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		

- (1) 当 $(SPIBRR + 1)$ 为偶数或 $SPIBRR$ 为 0 或 2 时, $(BRR + 1)$ 条件为偶数。当 $(SPIBRR + 1)$ 为奇数且 $SPIBRR$ 大于 3 时, $(BRR + 1)$ 条件为奇数。
- (2) 注: 上表所列数据为设计值。

5.11.5.1.3.3 SPI 高速主模式时序要求

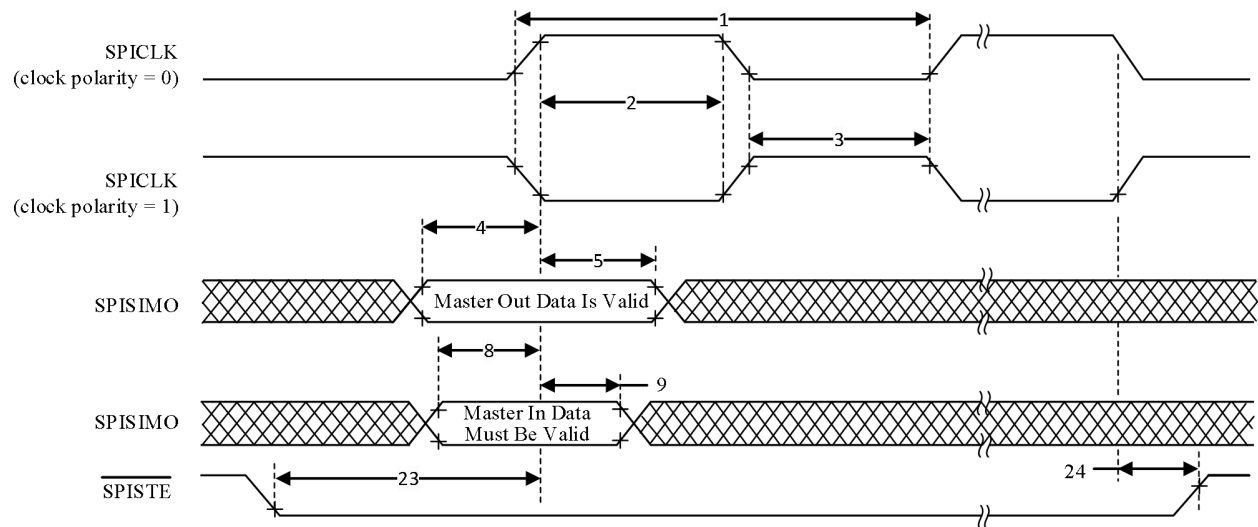
编号		(BRR + 1) 条件 ⁽¹⁾	最小值	最大值	单位
8	t _{su} (SOMI)M SPICLK 之前 SPISOMI 有效的建立时间	偶数, 奇数	2		ns
9	t _h (SOMI)M SPICLK 之后 SPISOMI 有效的保持时间	偶数, 奇数	11		ns

- (1) 当 $(\text{SPIBRR} + 1)$ 为偶数或 SPIBRR 为 0 或 2 时, $(\text{BRR} + 1)$ 条件为偶数。当 $(\text{SPIBRR} + 1)$ 为奇数且 SPIBRR 大于 3 时, $(\text{BRR} + 1)$ 条件为奇数。



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的末端， $\overline{\text{SPISTE}}$ 将变为失效状态。

图 5-82 高速 SPI 主模式外部时序 (时钟相位 = 0)



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的末端， $\overline{\text{SPISITE}}$ 将变为停止状态。

图 5-83 高速 SPI 主模式外部时序（时钟相位 = 1）

5.11.5.1.4 高速从模式时序

第 5.11.5.1.4.1 节列出了 SPI 高速从模式开关特性。第 5.11.5.1.4.2 节列出了 SPI 高速从模式时序要求。

图 5-84 所示为时钟相位 = 0 时的高速 SPI 从模式外部时序。图 5-85 所示为时钟相位 = 1 时的高速 SPI 从模式外部时序。

5.11.5.1.4.1 SPI 高速从模式开关特性

在推荐的工作条件下（除非另有说明）

编号	参数	最小值	最大值	单位
15	$t_{d(\text{SOMI})S}$ 延迟时间，SPICLK 至 SPISOMI 有效的时间		14	ns
16	$t_{v(\text{SOMI})S}$ 有效时间，SPICLK 之后 SPISOMI 有效的时间	0		ns

注：上表所列数据为设计值。

5.11.5.1.4.2 SPI 高速从模式时序要求

编号	参数	最小值	最大值	单位
12	$t_{c(\text{SPC})S}$ 周期时间，SPICLK	$4t_{c(\text{SYSCLK})}$		ns
13	$t_{w(\text{SPC1})S}$ 脉冲持续时间，SPICLK，第一个脉冲	$2t_{c(\text{SYSCLK})} - 1$		ns
14	$t_{w(\text{SPC2})S}$ 脉冲持续时间，SPICLK，第二个脉冲	$2t_{c(\text{SYSCLK})} - 1$		ns
19	$t_{su(\text{SIMO})S}$ SPICLK 之前 SPISIMO 有效的建立时间	$1.5t_{c(\text{SYSCLK})}$		ns
20	$t_{h(\text{SIMO})S}$ SPICLK 之后 SPISIMO 有效的保持时间	$1.5t_{c(\text{SYSCLK})}$		ns
25	$t_{su(\text{STE})S}$ SPICLK 之前 $\overline{\text{SPISITE}}$ 有效的建立时间	$1.5t_{c(\text{SYSCLK})}$		ns
26	$t_{h(\text{STE})S}$ SPICLK 之后 $\overline{\text{SPISITE}}$ 无效的保持时间	$1.5t_{c(\text{SYSCLK})}$		ns

注：上表所列数据为设计值。

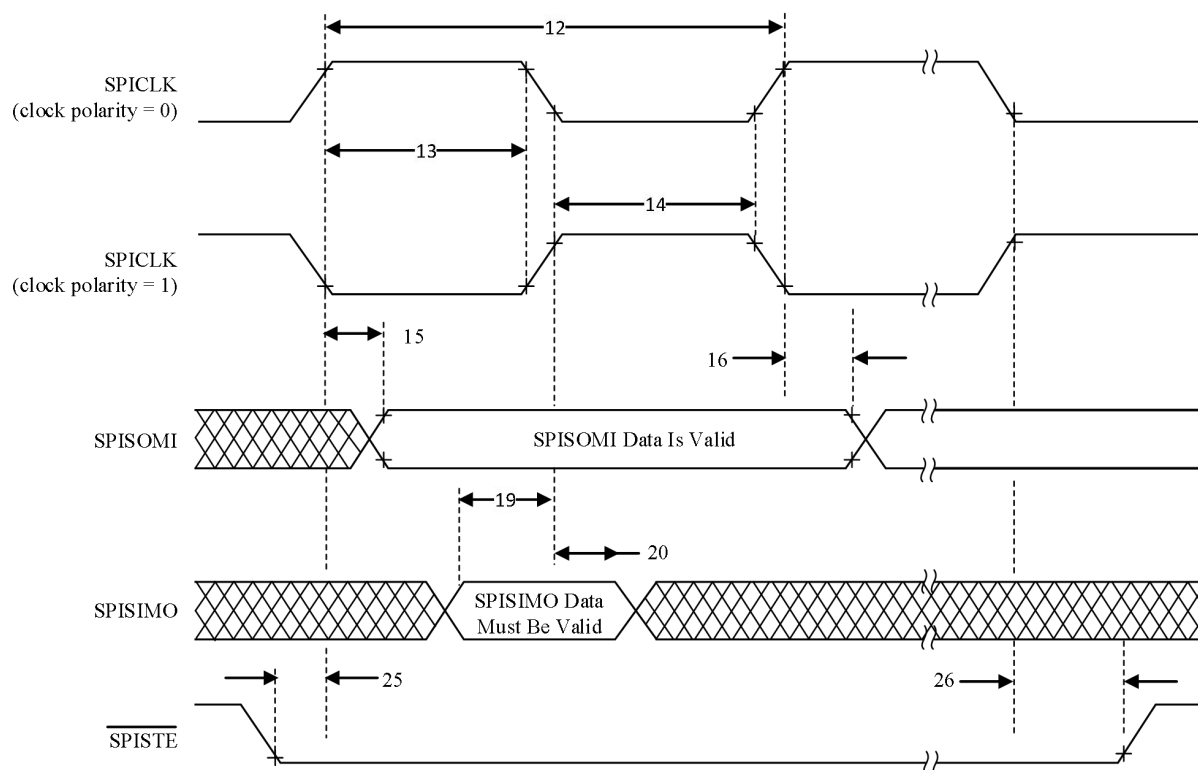


图 5-84 高速 SPI 从模式外部时序 (时钟相位 = 0)

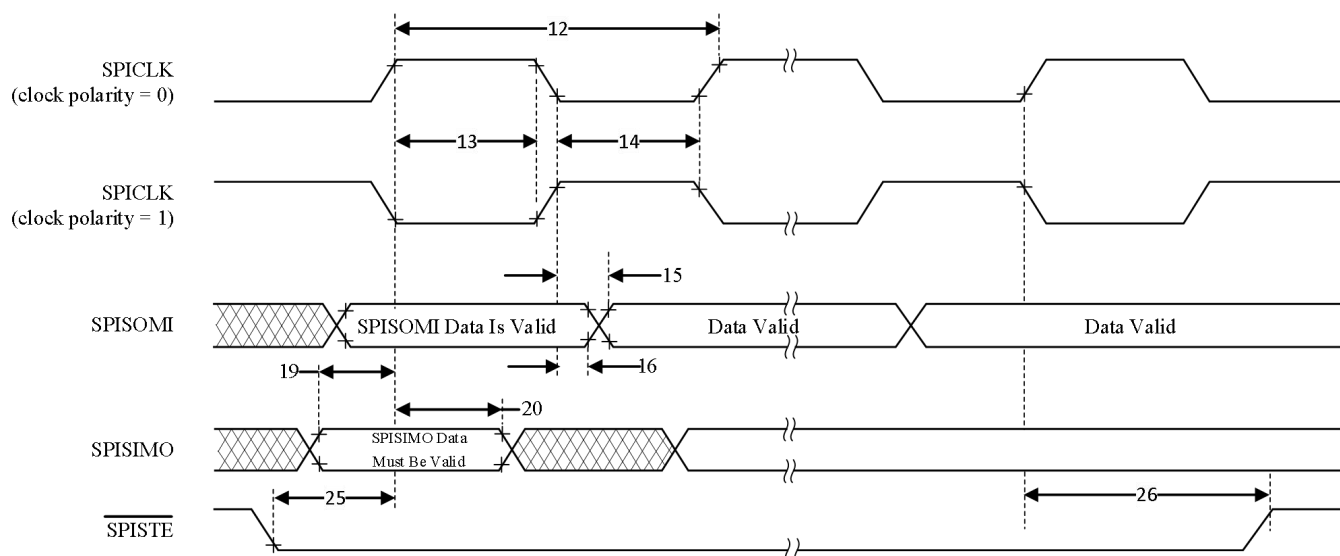


图 5-85 高速 SPI 从模式外部时序 (时钟相位 = 1)

5.11.6 本地互连网络 (LIN)

此器件包含一个本地互连网络 (LIN) 模块。LIN 模块遵循 *LIN* 规范包修订版 2.1 定义的 LIN 2.1 标准。LIN 是一种低成本串行接口，专为 CAN 协议实施成本太高的应用而设计，例如用于汽车应用中车内照明或车窗控制等舒适功能的小型子网。

LIN 标准基于 SCI (UART) 串行数据链路格式。该接口的通信概念是在任何网络节点之间实现具有消息标识的一主/多从式多播传输。

LIN 模块可以编程为 SCI 或 LIN 运行，因为此模块的内核为 SCI。对 SCI 的硬件特性进行增强以实现 LIN 兼容。SCI 模块是一个通用异步收发器 (UART)，可实现标准的非归零格式。

虽然 LIN 和 SCI 的寄存器是通用的，但是寄存器描述中有相应注释指出不同模式下的寄存器/位用法。因此，为该模块编写的代码无法直接移植到独立 SCI 模块，反之亦然。

LIN 模块具有以下特性：

- 与 LIN 1.3、2.0 和 2.1 协议兼容
- 波特率最高可配置为 20kbps (根据 LIN 2.1 协议)
- 两个外部引脚：LINRX 和 LINTX
- 多缓冲接收和发送单元
- 用于信息过滤的识别掩码
- 主机自动生成帧头
 - 可编程同步间隔字段
 - 同步字段
 - 标识符字段
- 从机自动同步
 - 同步中断检测
 - 可选波特率更新
 - 同步验证
- 支持 2^{31} 种可编程传输速率，7 个分数位
- 在收发器 LINRX 显性电平上唤醒
- 自动唤醒支持
 - 唤醒信号生成
 - 唤醒信号超时时间
- 自动总线空闲检测
- 错误检测
 - 比特位错误
 - 总线错误
 - 无响应错误
 - 校验和错误
 - 同步字段错误
 - 奇偶校验错误

- 能够使用直接存储器访问 (DMA) 发送和接收数据
- 两条具有优先级编码的中断线，用于：
 - 接收
 - 发送
 - ID、错误和状态
- 支持 LIN 2.0 校验和
- 增强型同步器有限状态机 (FSM) 支持帧处理
- 增强对扩展帧的处理能力
- 增强型波特率发生器
- 更新唤醒/进入睡眠模式

图 5-86 所示为 LIN 功能框图。

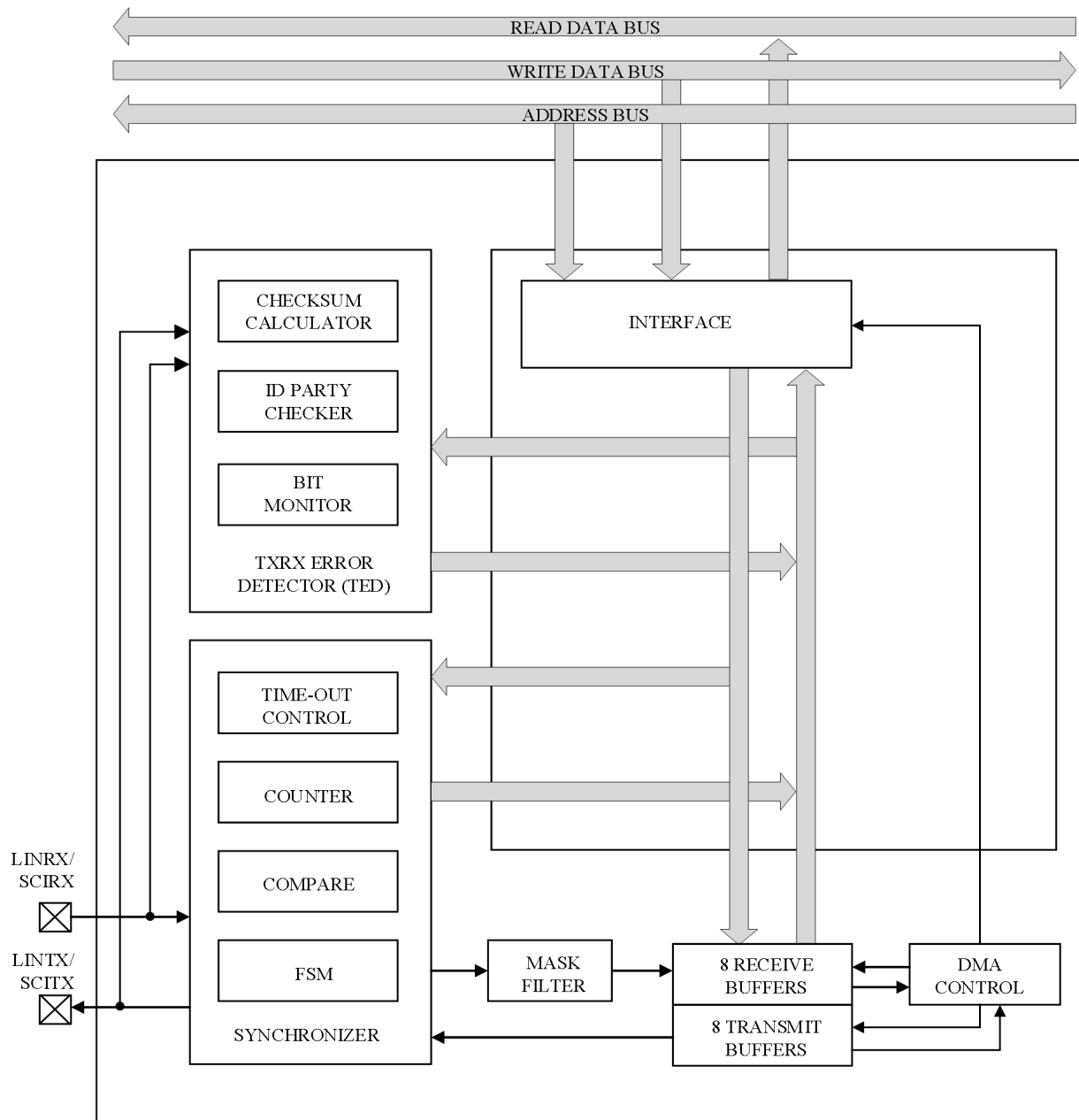


图 5-86 LIN 框图

5.11.7 快速串行接口 (FSI)

快速串行接口 (FSI) 是一种能够进行可靠而稳健的高速通信的串行通信外设。FSI 旨在确保在芯片到芯片之间以及跨越隔离栅的板到板之间等诸多系统条件下实现数据稳健性。CRC、帧起始和结束模式以及用户定义的标签等有效载荷完整性检查在发送前进行编码，然后在接收后进行验证，无需额外的 CPU 交互。可以使用定期发送的方式检测线路中断，所有这些均由硬件管理和监控。FSI 还与器件上的其他控制外设紧密集成。为了确保提供最新的传感器数据或控制参数，可以在每个控制环路周期发送帧。为了处理由于各种因素而在时钟和数据信号之间可能出现的偏差（包括布线长度不匹配和隔离芯片引起的偏差），接收器上添加了一个集成的偏差补偿块。借助嵌入式数据稳健性检查、数据链路完整性检查、偏差补偿以及与控制外设的集成，FSI 可以在任何系统中实现高速、稳健的通信。FSI 除了这些特性，还有许多其他特性，如下所示。

FSI 模块包含以下特性：

- 独立的发送器和接收器内核
- 源同步发送
- 双数据速率 (DDR)
- 一条或两条数据线路
- 可编程数据长度
- 偏差调整块可针对电路板和系统延迟的不匹配部分进行补偿
- 帧错误检测
- 通过可编程的帧标记进行消息过滤
- 通过硬件 ping 检测通信期间的线路中断（ping 看门狗）
- 每个 FSI 内核对应两个中断
- 外部触发帧生成
- 由硬件或软件计算 CRC
- 嵌入式 ECC 计算模块
- 寄存器写保护
- DMA 支持
- CLA 任务触发
- SPI 兼容模式（可用功能受限）

为了让 FSI 在双数据速率 (100Mbps) 下以最大速度 (50MHz) 运行，可能需要根据具体运行条件逐例配置集成的偏差补偿块。

FSI 包含独立发送器 (FSITX) 和接收器 (FSIRX) 内核。FSITX 和 FSIRX 内核是独立配置和运行的。第 5.11.7.1 节和第 5.11.7.2 节分别介绍了 FSITX 和 FSIRX 上可用的功能。

5.11.7.1 FSI 发送器

FSI 发送器模块会处理数据组帧、CRC 生成、TXCLK、TXD0 和 TXD1 的信号生成以及中断生成。发送器内核的运行通过可编程控制寄存器进行控制和配置。发送器控制寄存器可让 CPU（或 CLA）对 FSI 发送器的运行进行编程、控制和监控。CPU、CLA 和 DMA 均可访问发送数据缓冲器。

- 自动生成 ping 帧
- 外部触发 ping 帧
- 外部触发数据帧
- 可通过软件配置帧长度
- 16 字数据缓冲器
- 数据缓冲器下溢和溢出检测
- 硬件生成数据位 CRC
- 使用软件对选定数据进行 ECC 计算
- DMA 支持
- CLA 任务触发

[illegible]

图 5-87 FSITX CPU 接口

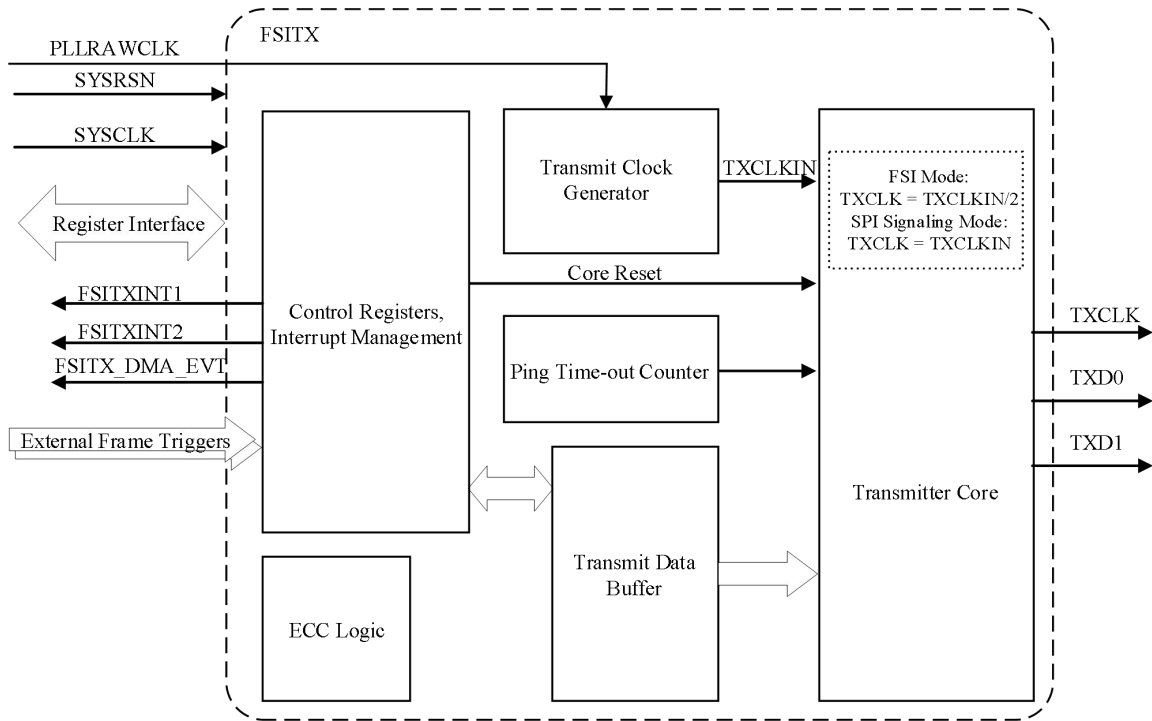


图 5-88 FSITX 框图

5.11.7.1.1 FSITX 电气数据和时序

第 5.11.7.1.1.1 节列出了 FSITX 开关特性，图 5-89 所示为 FSITX 时序。

5.11.7.1.1.1 FSITX 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数	最小值	最大值	单位
1	$t_{c(TXCLK)}$ TXCLK 周期时间	20		ns
2	$t_{w(TXCLK)}$ TXCLK 低电平或 TXCLK 高电平的脉冲宽度	$(0.5t_{c(TXCLK)}) - 1$	$(0.5t_{c(TXCLK)}) + 1$	ns
3	$t_{d(TXCLKL-TXD)}$ TXCLK 上升或下降之后数据有效的延迟时间	$(0.25t_{c(TXCLK)}) - 3.2$	$(0.25t_{c(TXCLK)}) + 4.7$	ns

注：上表所列数据为设计值。

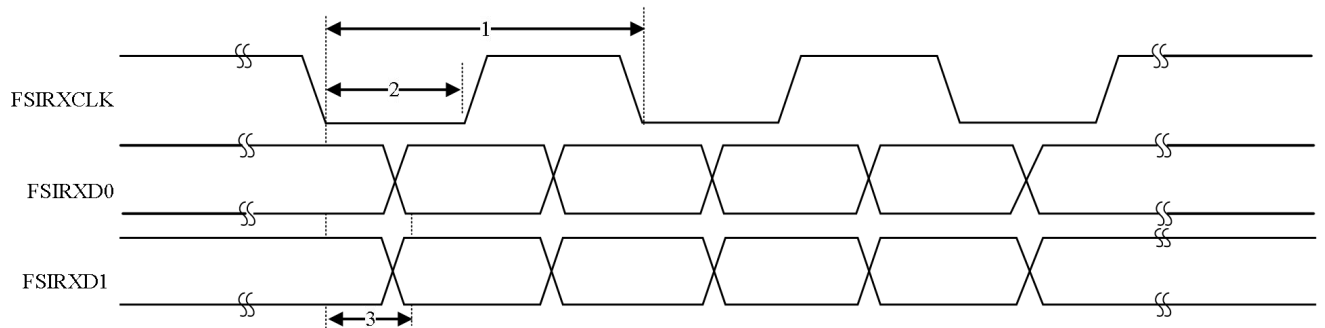


图 5-89 FSITX 时序

5.11.7.2 FSI 接收器

接收器模块在通过可选的可编程延迟线路后连接到 FSI 时钟 (RXCLK) 和数据线路 (RXD0 和 RXD1)。接收器内核会处理数据组帧、CRC 计算和与帧相关的错误检查。接收器位时钟和状态机由与器件系统时钟异步的 RXCLK 输入运行。

接收器控制寄存器可让 CPU (或 CLA) 对 FSIRX 的运行进行编程、控制和监控。CPU、CLA 和 DMA 均可访问接收数据缓冲器。

接收器内核具有以下特性：

- 16 字数据缓冲器
- 支持多种帧类型
- Ping 帧看门狗
- 帧看门狗
- 在硬件中进行 CRC 计算和比较
- ECC 检测
- 针对输入信号的可编程延迟线路控制
- DMA 支持
- CLA 任务触发
- SPI 兼容模式

图 5-90 所示为 FSIRX CPU 接口。图 5-91 提供了 FSIRX 中存在的内部模块的简要概览。图中并未显示所有数据路径和内部连接。

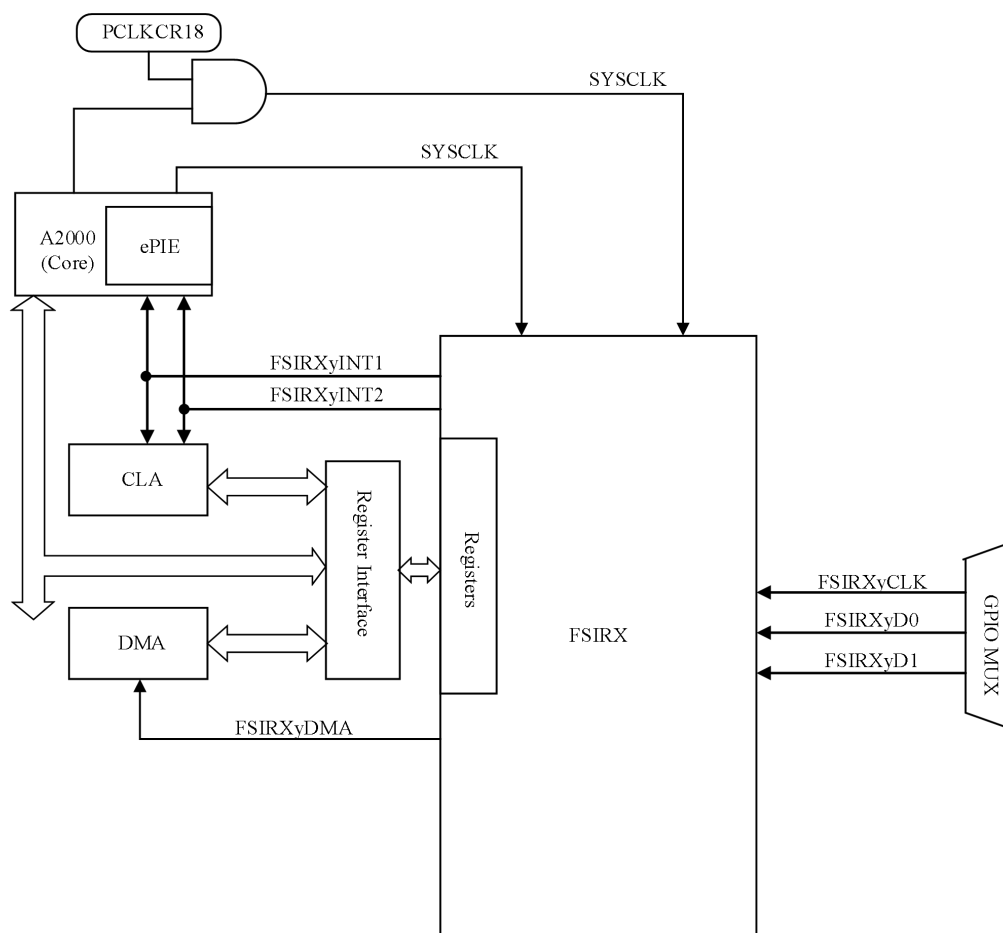


图 5-90 FSIRX CPU 接口

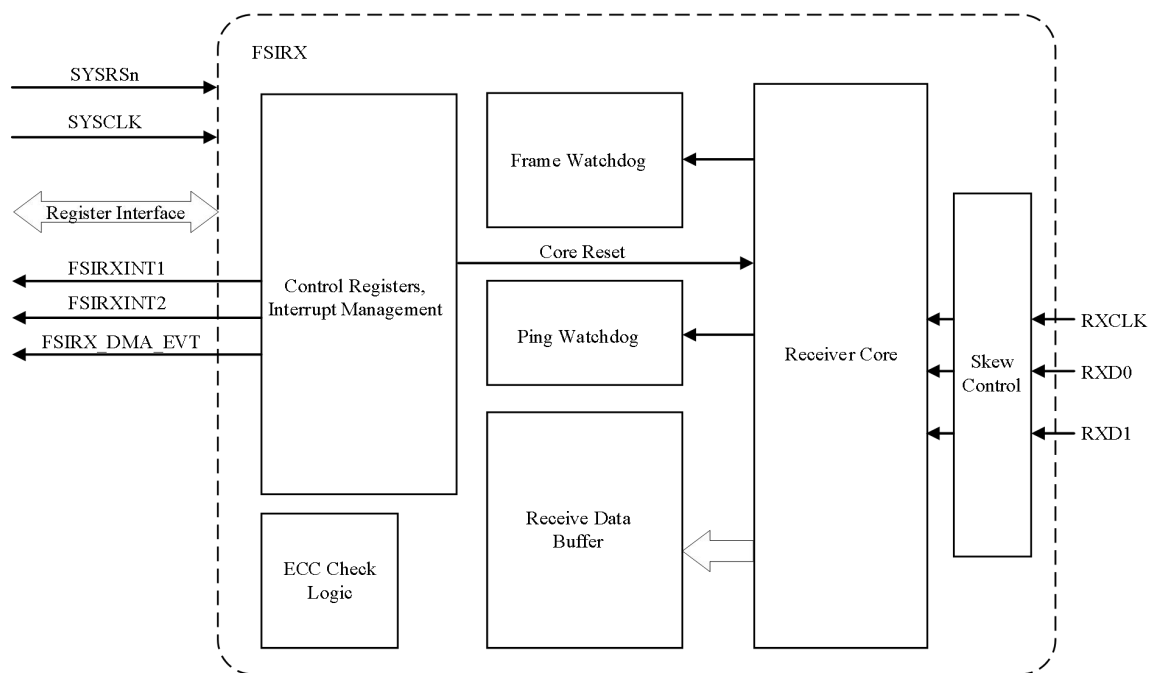


图 5-91 FSIRX 框图

5.11.7.2.1 FSIRX 电气数据和时序

第 5.11.7.2.1.1 节列出了 FSIRX 开关特性。第 5.11.7.2.1.2 节列出了 FSIRX 时序要求。图 5-92 所示为 FSIRX 时序。

5.11.7.2.1.1 FSIRX 开关特性

编号	参数	最小值	最大值	单位
1	$t_{d(RXCLK)}$ RX_DLYLINE_CTRL[RXCLK_DLY]=31 时的 RXCLK 延迟补偿	6	21	ns
2	$t_{d(RXD0)}$ RX_DLYLINE_CTRL[RXD0_DLY]=31 时的 RXD0 延迟补偿	6	21	ns
3	$t_{d(RXD1)}$ RX_DLYLINE_CTRL[RXD1_DLY]=31 时的 RXD1 延迟补偿	6	21	ns
4	$t_{d(DELAY_ELEMENT)}$ 每个延迟线路元件的 RXCLK、RXD0 和 RXD1 增量延迟	0.17	0.7	ns

注：上表所列数据为设计值。

5.11.7.2.1.2 FSIRX 时序要求

编号	参数	最小值	最大值	单位
1	$t_c(RXCLK)$ RXCLK 周期时间	20		ns
2	$t_w(RXCLK)$ RXCLK 低电平或 RXCLK 高电平的脉冲宽度	$(0.5t_c(RXCLK)) - 1$	$(0.5t_c(RXCLK)) + 1$	ns
3	$t_{su}(RXCLK-RXD)$ 相对于 RXCLK 的建立时间，应用于时钟的两个 边沿	1.7		ns
4	$t_h(RXCLK-RXD)$ 相对于 RXCLK 的保持时间，应用于时钟的两个 边沿	3.8		ns

注：上表所列数据为设计值。

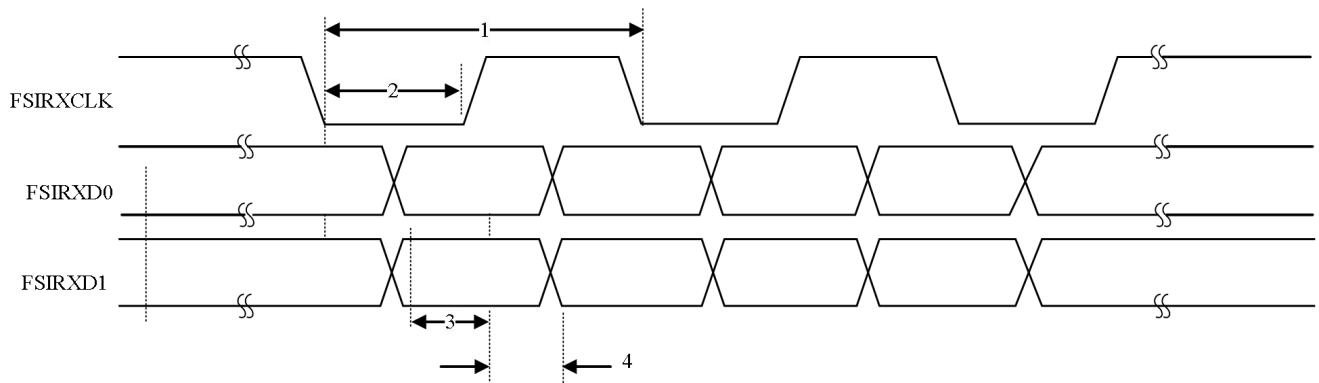


图 5-92 FSIRX 时序

5.11.7.3 FSI SPI 兼容模式

FSI 支持 SPI 兼容模式以实现与可编程 SPI 器件的通信。在此模式下，FSI 发送数据的方式与 SPI 在单时钟配置模式下发送数据的方式相同。虽然 FSI 在此模式下能够通过物理方式连接 SPI，但外部器件必须能够对 FSI 帧进行编码和解码才能成功进行通信。这是因为 FSI 会发送除前同步码和后同步码之外的所有 SPI 帧相位。FSI 提供与标准 FSI 模式相同的数据验证和帧检查功能，从而在不占用 CPU 周期的情况下实现更稳健的通信。为此，需要使用外部 SPI 来发送所有相关信息，并可用于访问标准 FSI 功能，例如 FSIRX 上的 ping 帧看门狗、帧标记或自定义 CRC 值。SPI 兼容模式的特性如下：

- 将在时钟的上升沿发送数据，并在下降沿接收数据。
- 仅支持 16 位字大小。
- TXD1 将像低电平有效片选信号一样被驱动。信号在整个帧发送期间将处于低电平。
- 无需接收器片选输入。不使用 RXD1。数据在每个有效时钟边沿转移到接收器中。
- 不会发送前同步码或后同步码时钟。帧相位结束后，所有信号都恢复到空闲状态。
- 由于 FSI TXCLK 不能采用外部时钟源，因此无法在 SPI 从器件配置下进行发送。

5.11.7.3.1 FSITX SPI 信令模式电气数据和时序

第 5.11.7.3.1.1 节列出了 FSITX SPI 信令模式开关特性。图 5-93 所示为 FSITX SPI 信令模式时序。在 SPI 信令模式下，FSIRX 不需要特殊时序。第 5.11.7.2.1.2 节中列出的 FSIRX 时序适用于 SPI 兼容模式。设置和保持时间仅在 FSIRXCLK 的下降沿有效，因为这是 SPI 信令模式中的有效边沿。

5.11.7.3.1.1 FSITX SPI 信令模式开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数	最小值	最大值	单位
1	$t_c(\text{TXCLK})$ TXCLK 周期时间	20		ns
2	$t_w(\text{TXCLK})$ TXCLK 低电平或 TXCLK 高电平的脉冲宽度	$(0.5t_c(\text{TXCLK})) - 1$	$(0.5t_c(\text{TXCLK})) + 1$	ns
3	$t_d(\text{TXCLKH} - \text{TXD0})$ TXCLK 高电平之后数据有效的延迟时间		3	ns
4	$t_d(\text{TXD1} - \text{TXCLK})$ TXD1 低电平之后 TXCLK 高电平的延迟时间	$t_w(\text{TXCLK}) - 1$		ns
5	$t_d(\text{TXCLK} - \text{TXD1})$ TXCLK 低电平之后 TXD1 高电平的延迟时间	$t_w(\text{TXCLK}) - 1$		ns

注：上表所列数据为设计值。

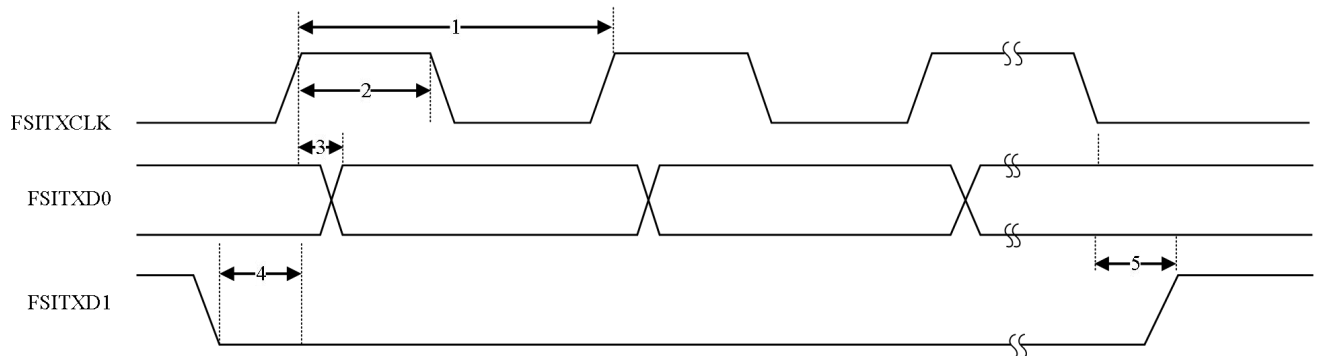


图 5-93 FSITX SPI 信令模式时序

6 详细说明

6.1 概述

AVP32F0049 是一款功能强大的 32 位浮点数字信号处理器 (DSP)，可让设计人员在单个器件上集成关键的控制外设、差分模拟和非易失性存储器。

实时控制子系统基于 32 位 A2000 CPU，可提供 120MHz 的信号处理性能。A2000 CPU 的性能通过新的 TMU 扩展指令集和 VCU-I 扩展指令集得到了进一步提升，TMU 扩展指令集可快速执行包含变换和扭矩环路计算中常见三角运算的算法，VCU-I 扩展指令集可降低编码应用中常见复杂数学运算的延迟。

CLA 允许从主 A2000 CPU 上大量卸载常见任务。CLA 是一款与 CPU 并行执行的独立 32 位浮点数学加速器。此外，CLA 自带专用存储资源，它可以直接访问典型控制系统中所需的关键外设。对 ANSI C 子集的支持是标准配置，就像硬件断点和硬件任务切换等关键特性也是标准配置。

AVP32F0049 支持高达 256KB (128KW) 的闪存，这些闪存分为两个 128KB (64KW) 存储体，支持并行编程和执行。此外，还以 4KB (2KW) 和 16KB (8KW) 块提供高达 100KB (50KW) 的片载 SRAM，以进行高效的系统分区。还支持闪存 ECC、SRAM ECC/奇偶校验和双区安全性。

AVP32F0049 MCU 上集成了高性能模拟块，以进一步支持系统整合。三个独立的 12 位 ADC 可准确、高效地管理多个模拟信号，从而最终提高系统吞吐量。模拟前端上的七个 PGA 可以在转换之前实现片载电压调节。七个模拟比较器模块针对跳闸情况下对输入电压电平进行连续监控。

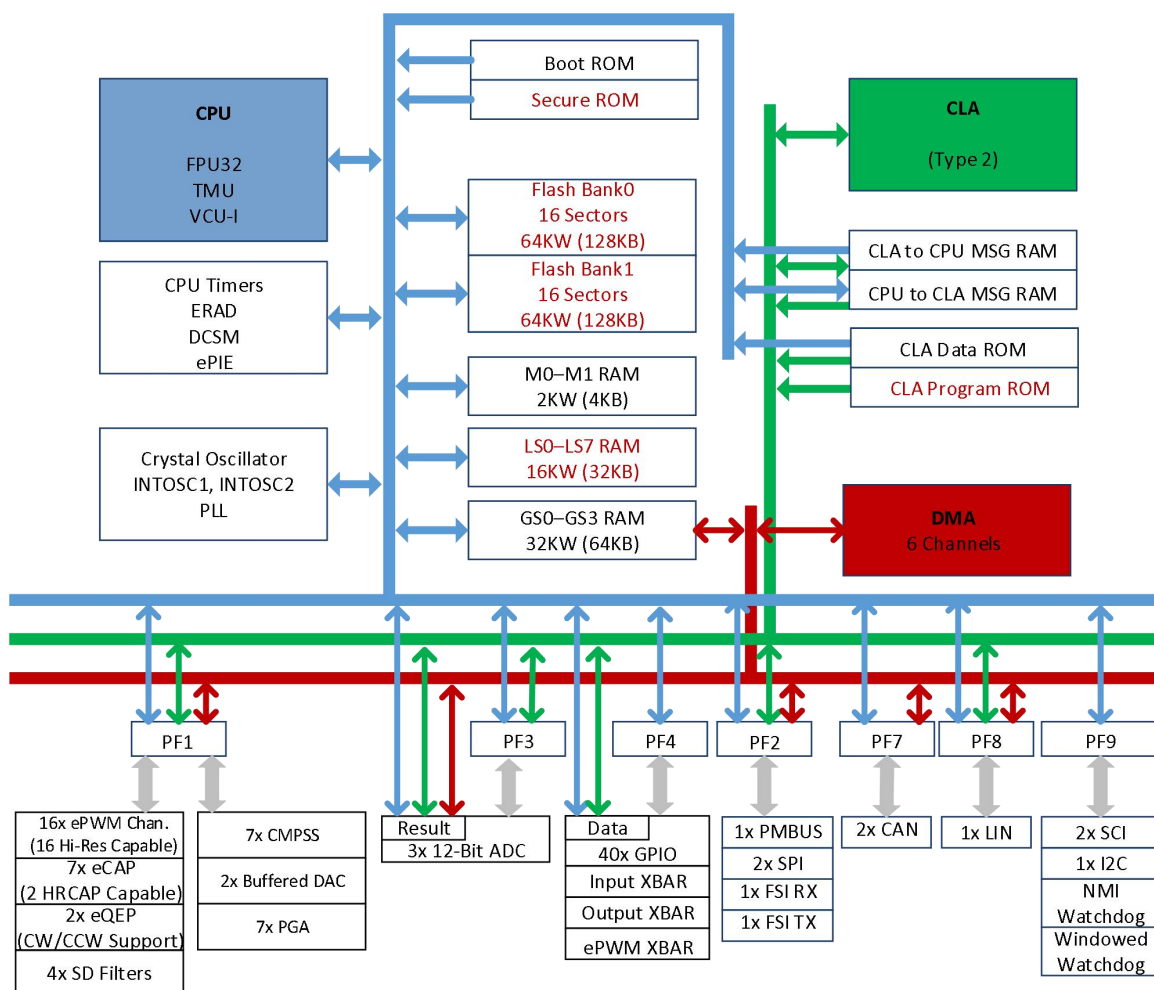
AVP32F0049 数字信号处理器包含先进的控制外设（具有独立于频率的 ePWM/HRPWM 和 eCAP），可对系统进行出色的控制。内置的 4 通道 SDFM 允许在隔离层上无缝集成过采样 $\Sigma\Delta$ 调制器。

通过各种业界通用通信端口（如 SPI、SCI、I2C、LIN 和 CAN）支持连接，并且提供了多个多路复用选项，可在各种应用中实现出色的信号布局。新增了完全符合标准的 PMBus。此外，FSI 率先在业内实现了高速可靠的通信，补充了嵌入该器件的各种外设的功能。

AVP32F0049 允许访问可配置逻辑块 (CLB) 来实现额外连接功能，还允许访问安全 ROM。

6.2 功能方框图

图 6-1 所示为 CPU 系统及相关外设。



A. 红色字体所示为安全存储器。

图 6-1 功能框图

6.3 存储器

6.3.1 存储器映射

表 6-1 描述了存储器映射。CLA 或 DMA 可访问的存储器（直接存储器存取）也已注明。请参阅《AVP32F0049 技术参考手册》中“系统控制”一章的“存储器控制器模块”部分。

表 6-1 存储器映射

存储器	大小	起始地址	结束地址	CLA 访问	DMA 访问	支持 ECC	奇偶校验	存储器访问保护	SECURE
M0 RAM	1K × 16	0x0000 0000	0x0000 03FF			支持			
M1 RAM	1K × 16	0x0000 0400	0x0000 07FF			支持			
PieVectTable	512 × 16	0x0000 0D00	0x0000 0EFF						
CLA 至 CPU	128 × 16	0x0000 1480	0x0000 14FF	读/写			是		
CPU 至 CLA	128 × 16	0x0000 1500	0x0000 157F	只读			是		
LS0 RAM	2K × 16	0x0000 8000	0x0000 87FF	可配置			是	是	是
LS1 RAM	2K × 16	0x0000 8800	0x0000 8FFF	可配置			是	是	是
LS2 RAM	2K × 16	0x0000 9000	0x0000 97FF	可配置			是	是	是
LS3 RAM	2K × 16	0x0000 9800	0x0000 9FFF	可配置			是	是	是
LS4 RAM	2K × 16	0x0000 A000	0x0000 A7FF	可配置			是	是	是
LS5 RAM	2K × 16	0x0000 A800	0x0000 AFFF	可配置			是	是	是
LS6 RAM	2K × 16	0x0000 B000	0x0000 B7FF	可配置			是	是	是
LS7 RAM	2K × 16	0x0000 B800	0x0000 BFFF	可配置			是	是	是
GS0 RAM	8K × 16	0x0000 C000	0x0000 DFFF		是		是	是	
GS1 RAM	8K × 16	0x0000 E000	0x0000 FFFF		是		是	是	
GS2 RAM	8K × 16	0x0001 0000	0x0001 1FFF		是		是	是	
GS3 RAM	8K × 16	0x0001 2000	0x0001 3FFF		是		是	是	
CAN A 消息 RAM	2K × 16	0x0004 9000	0x0004 97FF		是		是		
CAN B 消息 RAM	2K × 16	0x0004 B000	0x0004 B7FF		是		是		
闪存存储体 0	64K × 16	0x0008 0000	0x0008 FFFF			支持		不可用	是
闪存存储体 1	64K × 16	0x0009 0000	0x0009 FFFF			支持		不可用	是
安全 ROM	32K × 16	0x003E 8000	0x003E FFFF						是
引导 ROM	64K × 16	0x003F 0000	0x003F FBF						
向量	64 × 16	0x003F FFC0	0x003F FFFF						
CLA 数据 ROM	4K × 16	0x0100 1000	0x0100 1FFF	只读					

6.3.2 控制律加速器 (CLA) ROM 存储器映射

表 6-2 为 CLA 数据 ROM 存储器映射。有关 CLA 程序 ROM 的信息，请参阅《AVP32F0049 技术参考手册》中的“CLA 程序 ROM (CLAPROMCRC)”一章。

表 6-2 CLA 数据 ROM 存储器映射

存储器	起始地址	结束地址	长度
FFT 表（加载）	0x0100 1070	0x0100 186F	0x0800
数据（加载）	0x0100 1870	0x0100 1FF9	0x078A
版本（加载）	0x0100 1FFA	0x0100 1FFF	0x0006
FFT 表（运行）	0x0000 F070	0x0000 F86F	0x0800
数据（运行）	0x0000 F870	0x0000 FFF9	0x078A
版本（运行）	0x0000 FFFA	0x0000 FFFF	0x0006

6.3.3 闪存映射

在 AVP32F0049 器件上最多可以使用两个闪存存储体（每个均为 128KB [64KW]）。闪存存储体由单个 FMC（闪存模块控制器）进行控制。在有两个闪存存储体的器件上，一次只能对一个存储体进行编程或擦除。在双存储体的器件中，可从一个闪存存储体执行闪存的编程代码以擦除或编程另一个闪存存储体，也可从 RAM 执行该代码。不应正在对正在进行擦除/编程操作的闪存存储体进行任何类型的访问。表 6-3 列出了 AVP32F0049 的闪存扇区地址。

表 6-3 AVP32F0049 的闪存扇区地址

扇区	地址			ECC 地址		
	大小	起始	结束	大小	起始	结束
OTP 扇区						
用户不可配置的 OTP 存储体 0	1K x 16	0x0007 0000	0x0007 03FF	128 x 16	0x0107 0000	0x0107 007F
用户不可配置的 OTP 存储体 1	1K x 16	0x0007 0400	0x0007 07FF	128 x 16	0x0107 0080	0x0107 00FF
用户可配置的 DCSM OTP 存储体 0	1K x 16	0x0007 8000	0x0007 83FF	128 x 16	0x0107 1000	0x0107 107F
用户可配置的 DCSM OTP 存储体 1	1K x 16	0x0007 8400	0x0007 87FF	128 x 16	0x0107 1080	0x0107 10FF
闪存存储体 0 扇区						
扇区 0	4K x 16	0x0008 0000	0x0008 0FFF	512 x 16	0x0108 0000	0x0108 01FF
扇区 1	4K x 16	0x0008 1000	0x0008 1FFF	512 x 16	0x0108 0200	0x0108 03FF
扇区 2	4K x 16	0x0008 2000	0x0008 2FFF	512 x 16	0x0108 0400	0x0108 05FF
扇区 3	4K x 16	0x0008 3000	0x0008 3FFF	512 x 16	0x0108 0600	0x0108 07FF
扇区 4	4K x 16	0x0008 4000	0x0008 4FFF	512 x 16	0x0108 0800	0x0108 09FF
扇区 5	4K x 16	0x0008 5000	0x0008 5FFF	512 x 16	0x0108 0A00	0x0108 0BFF
扇区 6	4K x 16	0x0008 6000	0x0008 6FFF	512 x 16	0x0108 0C00	0x0108 0DFF
扇区 7	4K x 16	0x0008 7000	0x0008 7FFF	512 x 16	0x0108 0E00	0x0108 0FFF
扇区 8	4K x 16	0x0008 8000	0x0008 8FFF	512 x 16	0x0108 1000	0x0108 11FF
扇区 9	4K x 16	0x0008 9000	0x0008 9FFF	512 x 16	0x0108 1200	0x0108 13FF
扇区 10	4K x 16	0x0008 A000	0x0008 AFFF	512 x 16	0x0108 1400	0x0108 15FF
扇区 11	4K x 16	0x0008 B000	0x0008 BFFF	512 x 16	0x0108 1600	0x0108 17FF
扇区 12	4K x 16	0x0008 C000	0x0008 CFFF	512 x 16	0x0108 1800	0x0108 19FF
扇区 13	4K x 16	0x0008 D000	0x0008 DFFF	512 x 16	0x0108 1A00	0x0108 1BFF
扇区 14	4K x 16	0x0008 E000	0x0008 EFFF	512 x 16	0x0108 1C00	0x0108 1DFF
扇区 15	4K x 16	0x0008 F000	0x0008 FFFF	512 x 16	0x0108 1E00	0x0108 1FFF

表 6-3 AVP32F0049 的闪存扇区地址 (续)

扇区	地址			ECC 地址		
	大小	起始	结束	大小	起始	结束
闪存存储体 1 扇区						
扇区 0	4K x 16	0x0009 0000	0x0009 0FFF	512 x 16	0x0108 2000	0x0108 21FF
扇区 1	4K x 16	0x0009 1000	0x0009 1FFF	512 x 16	0x0108 2200	0x0108 23FF
扇区 2	4K x 16	0x0009 2000	0x0009 2FFF	512 x 16	0x0108 2400	0x0108 25FF
扇区 3	4K x 16	0x0009 3000	0x0009 3FFF	512 x 16	0x0108 2600	0x0108 27FF
扇区 4	4K x 16	0x0009 4000	0x0009 4FFF	512 x 16	0x0108 2800	0x0108 29FF
扇区 5	4K x 16	0x0009 5000	0x0009 5FFF	512 x 16	0x0108 2A00	0x0108 2BFF
扇区 6	4K x 16	0x0009 6000	0x0009 6FFF	512 x 16	0x0108 2C00	0x0108 2DFF
扇区 7	4K x 16	0x0009 7000	0x0009 7FFF	512 x 16	0x0108 2E00	0x0108 2FFF
扇区 8	4K x 16	0x0009 8000	0x0009 8FFF	512 x 16	0x0108 3000	0x0108 31FF
扇区 9	4K x 16	0x0009 9000	0x0009 9FFF	512 x 16	0x0108 3200	0x0108 33FF
扇区 10	4K x 16	0x0009 A000	0x0009 AFFF	512 x 16	0x0108 3400	0x0108 35FF
扇区 11	4K x 16	0x0009 B000	0x0009 BFFF	512 x 16	0x0108 3600	0x0108 37FF
扇区 12	4K x 16	0x0009 C000	0x0009 CFFF	512 x 16	0x0108 3800	0x0108 39FF
扇区 13	4K x 16	0x0009 D000	0x0009 DFFF	512 x 16	0x0108 3A00	0x0108 3BFF
扇区 14	4K x 16	0x0009 E000	0x0009 EFFF	512 x 16	0x0108 3C00	0x0108 3DFF
扇区 15	4K x 16	0x0009 F000	0x0009 FFFF	512 x 16	0x0108 3E00	0x0108 3FFF

6.3.4 外设寄存器内存映射

表 6-4 列出了外设寄存器。

表 6-4 外设寄存器内存映射

寄存器	结构名称	起始地址	结束地址	流水线 保护 ⁽¹⁾	CLA 存取	DMA 存取
外设帧 0						
AdcaResultRegs ⁽²⁾	ADC_RESULT_REGS	0x0000 0B00	0x0000 0B1F		是	是
AdcbResultRegs ⁽²⁾	ADC_RESULT_REGS	0x0000 0B20	0x0000 0B3F		是	是
AdccResultRegs ⁽²⁾	ADC_RESULT_REGS	0x0000 0B40	0x0000 0B5F		是	是
Cla1OnlyRegs	CLA_ONLY_REGS	0x0000 0C00	0x0000 0CFF		是 - 仅限 CLA, 无 CPU 访问权限	
CpuTimer0Regs	CPUTIMER_REGS	0x0000 0C00	0x0000 0C07			
CpuTimer1Regs	CPUTIMER_REGS	0x0000 0C08	0x0000 0C0F			
CpuTimer2Regs	CPUTIMER_REGS	0x0000 0C10	0x0000 0C17			
PieCtrlRegs	PIE_CTRL_REGS	0x0000 0CE0	0x0000 0CFF			
Cla1SoftIntRegs	CLA_SOFTINT_REGS	0x0000 0CE0	0x0000 0CFF		是-仅限 CLA, 无 CPU 访问权限	
DmaReg	DMA_RE	0x0000 1000	0x0000 11FF			
Cla1Reg	CLA_REG	0x0000 1400	0x0000 147F	是		
外设帧 1						
EPwm1Regs	EPWM_RE	0x0000 4000	0x0000 40FF	是	是	是
EPwm2Regs	EPWM_RE	0x0000 4100	0x0000 41FF	是	是	是
EPwm3Regs	EPWM_RE	0x0000 4200	0x0000 42FF	是	是	是
EPwm4Regs	EPWM_RE	0x0000 4300	0x0000 43FF	是	是	是
EPwm5Regs	EPWM_RE	0x0000 4400	0x0000 44FF	是	是	是
EPwm6Regs	EPWM_RE	0x0000 4500	0x0000 45FF	是	是	是
EPwm7Regs	EPWM_RE	0x0000 4600	0x0000 46FF	是	是	是
EPwm8Regs	EPWM_RE	0x0000 4700	0x0000 47FF	是	是	是
EQep1Regs	EQEP_REG	0x0000 5100	0x0000 513F	是	是	是
EQep2Regs	EQEP_REG	0x0000 5140	0x0000 517F	是	是	是
ECap1Regs	ECAP_REG	0x0000 5200	0x0000 521F	是	是	是
ECap2Regs	ECAP_REG	0x0000 5240	0x0000 525F	是	是	是
ECap3Regs	ECAP_REG	0x0000 5280	0x0000 529F	是	是	是
ECap4Regs	ECAP_REG	0x0000 52C0	0x0000 52DF	是	是	是
ECap5Regs	ECAP_REG	0x0000 5300	0x0000 531F	是	是	是
ECap6Regs	ECAP_REG	0x0000 5340	0x0000 535F	是	是	是
Hrcap6Regs	HRCAP_RE	0x0000 5360	0x0000 537F	是	是	是
ECap7Regs	ECAP_REG	0x0000 5380	0x0000 539F	是	是	是
Hrcap7Regs	HRCAP_RE	0x0000 53A0	0x0000 53BF	是	是	是
Pga1Regs	PGA_REG	0x0000 5B00	0x0000 5B0F	是	是	是
Pga2Regs	PGA_REG	0x0000 5B10	0x0000 5B1F	是	是	是
Pga3Regs	PGA_REG	0x0000 5B20	0x0000 5B2F	是	是	是
Pga4Regs	PGA_REG	0x0000 5B30	0x0000 5B3F	是	是	是
Pga5Regs	PGA_REG	0x0000 5B40	0x0000 5B4F	是	是	是
Pga6Regs	PGA_REG	0x0000 5B50	0x0000 5B5F	是	是	是
Pga7Regs	PGA_REG	0x0000 5B60	0x0000 5B6F	是	是	是
DacaReg	DAC_REG	0x0000 5C00	0x0000 5C0F	是	是	是
DacbReg	DAC_REG	0x0000 5C10	0x0000 5C1F	是	是	是
Cmpss1Regs	CMPSS_RE	0x0000 5C80	0x0000 5C9F	是	是	是
Cmpss2Regs	CMPSS_RE	0x0000 5CA0	0x0000 5CBF	是	是	是
Cmpss3Regs	CMPSS_RE	0x0000 5CC0	0x0000 5CDF	是	是	是
Cmpss4Regs	CMPSS_RE	0x0000 5CE0	0x0000 5CFF	是	是	是
Cmpss5Regs	CMPSS_RE	0x0000 5D00	0x0000 5D1F	是	是	是
Cmpss6Regs	CMPSS_RE	0x0000 5D20	0x0000 5D3F	是	是	是

表 6-4 外设寄存器内存映射 (续)

寄存器	结构名称	起始地址	结束地址	流水线保护 ⁽¹⁾	CLA 存取	DMA 存取
Cmpss7Regs	CMPSS_REGS	0x0000 5D40	0x0000 5D5F	是	是	是
Sdfm1Regs	SDFM_REGS	0x0000 5E00	0x0000 5E7F	有	是	是
外设帧 2						
SpiaRegs ⁽⁴⁾	SPI_REGS	0x0000 6100	0x0000 610F	有	是	是
SpibRegs ⁽⁴⁾	SPI_REGS	0x0000 6110	0x0000 611F	有	是	是
PmbusaRegs	PMBUS_REGS	0x0000 6400	0x0000 641F	是	是	是
FsiTxaRegs	FSI_TX_REGS	0x0000 6600	0x0000 667F	是	是	是
FsiRxaRegs	FSI_RX_REGS	0x0000 6680	0x0000 66FF	是	是	是
外设帧 3						
AdcaRegs	ADC_REGS	0x0000 7400	0x0000 747F	有	是	
AdcbRegs	ADC_REGS	0x0000 7480	0x0000 74FF	有	是	
AdccRegs	ADC_REGS	0x0000 7500	0x0000 757F	有	是	
外设帧 4						
InputXbarRegs	INPUT_XBAR_REGS	0x0000 7900	0x0000 791F	是		
XbarRegs	XBAR_REGS	0x0000 7920	0x0000 793F	是		
SyncSocRegs	SYNC_SOC_REGS	0x0000 7940	0x0000 794F	是		
DmaClaSrcSelRegs	DMA_CLA_SRC_SEL_REGS	0x0000 7980	0x0000 79BF	是		
EPwmXbarRegs	EPWM_XBAR_REGS	0x0000 7A00	0x0000 7A3F	是		
OutputXbarRegs	OUTPUT_XBAR_REGS	0x0000 7A80	0x0000 7ABF	是		
GpioCtrlRegs	GPIO_CTRL_REGS	0x0000 7C00	0x0000 7EFF	是		
GpioDataRegs ⁽³⁾	GPIO_DATA_REGS	0x0000 7F00	0x0000 7FFF	是	是	
外设帧 5						
DevCfgRegs	DEV_CFG_REGS	0x0005 D000	0x0005 D17F	是		
ClkCfgRegs	CLK_CFG_REGS	0x0005 D200	0x0005 D2FF	是		
CpuSysRegs	CPU_SYS_REGS	0x0005 D300	0x0005 D3FF	是		
PeriphAcRegs	PERIPH_AC_REGS	0x0005 D500	0x0005 D6FF	是		
AnalogSubsysRegs	ANALOG_SUBSYS_REGS	0x0005 D700	0x0005 D7FF	是		
外设帧 6						
EnhancedDebugGlobalRegs	ERAD_GLOBAL_REGS	0x0005 E800	0x0005 E80A			
EnhancedDebugHWBP1Reg	ERAD_HWBP_REGS	0x0005 E900	0x0005 E907			
EnhancedDebugHWBP2Reg	ERAD_HWBP_REGS	0x0005 E908	0x0005 E90F			
EnhancedDebugHWBP3Reg	ERAD_HWBP_REGS	0x0005 E910	0x0005 E917			
EnhancedDebugHWBP4Reg	ERAD_HWBP_REGS	0x0005 E918	0x0005 E91F			
EnhancedDebugHWBP5Reg	ERAD_HWBP_REGS	0x0005 E920	0x0005 E927			
EnhancedDebugHWBP6Reg	ERAD_HWBP_REGS	0x0005 E928	0x0005 E92F			
EnhancedDebugHWBP7Reg	ERAD_HWBP_REGS	0x0005 E930	0x0005 E937			
EnhancedDebugHWBP8Reg	ERAD_HWBP_REGS	0x0005 E938	0x0005 E93F			
EnhancedDebugCounter1Reg	ERAD_COUNTER_REGS	0x0005 E980	0x0005 E98F			
EnhancedDebugCounter2Reg	ERAD_COUNTER_REGS	0x0005 E990	0x0005 E99F			
EnhancedDebugCounter3Reg	ERAD_COUNTER_REGS	0x0005 E9A0	0x0005 E9AF			
EnhancedDebugCounter4Reg	ERAD_COUNTER_REGS	0x0005 E9B0	0x0005 E9BF			
DcsmBank0Z1Regs	DCSM_BANK0_Z1_REGS	0x0005 F000	0x0005 F022	是		
DcsmBank0Z2Regs	DCSM_BANK0_Z2_REGS	0x0005 F040	0x0005 F062	是		
DcsmBank1Z1Regs	DCSM_BANK1_Z1_REGS	0x0005 F100	0x0005 F122	是		
DcsmBank1Z2Regs	DCSM_BANK1_Z2_REGS	0x0005 F140	0x0005 F162	是		
DcsmCommonRegs	DCSM_COMMON_REGS	0x0005 F070	0x0005 F07F	是		
DcsmCommon2Regs	DCSM_COMMON_REGS	0x0005 F080	0x0005 F087	是		
MemCfgRegs	MEM_CFG_REGS	0x0005 F400	0x0005 F47F	是		
AccessProtectionRegs	ACCESS_PROTECTION_REGS	0x0005 F4C0	0x0005 F4FF	是		
MemoryErrorRegs	MEMORY_ERROR_REGS	0x0005 F500	0x0005 F53F	是		
Flash0CtrlRegs	FLASH_CTRL_REGS	0x0005 F800	0x0005 FAFF	是		
Flash0EccRegs	FLASH_ECC_REGS	0x0005 FB00	0x0005 FB3F	是		
外设帧 7						
CanaRegs	CAN_REGS	0x0004 8000	0x0004 87FF	是		是

表 6-4 外设寄存器内存映射 (续)

寄存器	结构名称	起始地址	结束地址	流水线保护 ⁽¹⁾	CLA 存取	DMA 存取
CanbRegs	CAN_REGS	0x0004 A000	0x0004 A7FF	是		是
RomPrefetchRegs	ROM_PREFETCH_REGS	0x0005 E608	0x0005 E609	是		
DccRegs	DCC_REGS	0x0005 E700	0x0005 E73F	是		
外设帧 8						
LinaRegs	LIN_REGS	0x0000 6A00	0x0000 6AFF	是	是	是
外设帧 9						
WdRegs ⁽⁴⁾	WD_REGS	0x0000 7000	0x0000 703F	是		
NmiIntruptRegs ⁽⁴⁾	NMI_INTRUPT_REGS	0x0000 7060	0x0000 706F	是		
XintRegs ⁽⁴⁾	XINT_REGS	0x0000 7070	0x0000 707F	是		
SciaRegs ⁽⁴⁾	SCI_REGS	0x0000 7200	0x0000 720F	是		
ScibRegs ⁽⁴⁾	SCI_REGS	0x0000 7210	0x0000 721F	是		
I2caRegs ⁽⁴⁾	I2C_REGS	0x0000 7300	0x0000 733F	是		

- (1) CPU (不适用于 CLA 或 DMA) 包含先写后读保护模式, 以确保在受保护地址范围内, 通过延迟读取操作直至启动写入操作, 按写入形式执行位于写入操作之后的任何读取操作。
- (2) ADC 结果寄存器没有仲裁。每个主器件都可以访问任何 ADC 结果寄存器而无需任何仲裁。
- (3) CPU 和 CLA 都有各自的 GPIO_DATA_REGS 副本, 因此 CPU 和 CLA 之间无需仲裁。有关更多详细信息, 请参阅《AVP32F0049 技术参考手册》的“通用输入/输出(GPIO)”一章。
- (4) 仅限具有 16 位访问权限的寄存器。

6.3.5 存储器类型

6.3.5.1 专用 RAM (Mx RAM)

CPU 子系统有两个支持 ECC 功能的专用 RAM 模块：M0 和 M1。这些存储器是与 CPU 紧密耦合的小型非安全块（即，只有 CPU 可以访问这些存储器）。

6.3.5.2 本地共享 RAM (LSx RAM)

专用于每个子系统且仅可由其 CPU 和 CLA 访问的 RAM 块称为本地共享 RAM (LSx RAM)。

所有 LSx RAM 块都具有奇偶校验功能。这些存储器都是安全的，且具有访问保护（CPU 写入/CPU 取指）特性。默认情况下，这些存储器仅供 CPU 使用，用户可以通过适当地配置 LSxMSEL 寄存器中的 MSEL_LSx 位字段来选择与 CLA 共享这些存储器（请参阅表 6-5）。

表 6-5 对 LSx RAM 的主访问
(假设已禁用所有其他访问保护)

MSEL_LSx	CLAPGM_LSx	CPU 允许访问	CLA1 允许的访问	注释
00	X	全部	—	LSx 存储器被配置为 CPU 专用 RAM。
01	0	全部	数据读取 数据写入 仿真数据读取 仿真数据写入	LSx 存储器在 CPU 和 CLA1 之间共享。
01	1	仿真读取 仿真写入	仅取指 仿真程序读取 仿真程序写入	LSx 存储器是 CLA1 程序存储器。

6.3.5.3 全局共享 RAM (GSx RAM)

可从 CPU 和 DMA 访问的 RAM 块被称为全局共享 RAM (GSx RAM)。CPU 和 DMA 都具有对这些内存的完全读写访问权限。表 6-6 为 GSx RAM 的特性。

表 6-6 全局共享 RAM

CPU (取指)	CPU (读取)	CPU (写入)	CPU.DMA (读取)	CPU.DMA (写入)
是	是	是	是	是

所有 GSx RAM 块都具有奇偶校验功能。

GSx RAM 具有访问保护（CPU 写入/CPU 取指/DMA 写入）。

6.3.5.4 CLA 消息 RAM (CLA MSGRAM)

这些 RAM 块可用于在 CPU 和 CLA 之间共享数据。CLA 具有对“CLA 到 CPU MSGRAM”的读写访问权限。CPU 具有对“CPU 到 CLA MSGRAM”的读写访问权限。CPU 和 CLA 都具有对两个 MSGRAM 的读取权限。

该 RAM 具有奇偶校验功能。

6.4 标识

表 6-7 列出了器件标识寄存器。有关器件标识的其他信息、PARTIDH 和 PARTIDL 的寄存器说明，请参阅《AVP32F0049 技术参考手册》。

表 6-7 器件标识寄存器

名称	地址	大小 (x16)	说明
PARTIDH	0x0005 D00A	2	器件型号标识号 AVP32F0049 0x01FF 0500
REVID	0x0005 D00C	2	器件版本号 0x0000 0002
UID_UNIQUE	0x0007 03CC	2	唯一标识号。此编号在具有相同 PARTIDH 的每个单独器件上是不同的。此唯一编号可以用作应用中的序列号。

6.5 总线架构 - 外设连接

表 6-8 列出了每个总线主器件对外设和配置寄存器的可访问性。

表 6-8 总线主器件对外设的访问

外设	DMA	CLA	CPU
系统外设			
CPU 定时器			是
系统配置 (WD、NMIWD、LPM、外设时钟门控)			是
器件功能、外设复位			是
时钟和 PLL 配置			是
闪存配置			是
复位配置			是
GPIO 引脚映射和配置			是
GPIO 数据 ⁽²⁾		是	是
DMA 和 CLA 触发源选择			是
控制外设			
ePWM/HRPWM	是	是	是
eCAP/HRCAP	是	是	是
eQEP ⁽¹⁾	是	是	是
SDFM	是	是	是
模拟外设			
模拟系统控制			是
ADC 配置		是	是
ADC 结果 ⁽³⁾	是	是	是
CMPSS ⁽¹⁾	是	是	是
DAC ⁽¹⁾	是	是	是
PGA ⁽¹⁾	是	是	是
通信外设			
CAN	是		是
SPI	是	是	是
I2C			是
PMBus	是	是	是
SCI			是
LIN	是	是	是
FSI	是	是	是

(1) 这些模块可从 DMA 访问，但不能触发 DMA 传输。

(2) GPIO 数据寄存器对于 CPU 和 CLA 是唯一的。当 GPIO 引脚映射寄存器配置为将 GPIO 分配给特定主器件时，相应的 GPIO 数据寄存器将控制该 GPIO。有关更多详细信息，请参阅《AVP32F0049 技术参考手册》的“通用输入/输出 (GPIO)”一章。

(3) 每个主器件各自都有一组重复的 ADC 结果寄存器，这使得在没有与其他主器件进行仲裁的情况下，以 0 等待状态读取这些寄存器。

6.6 A2000 处理器

CPU 是一个 32 位定点处理器，它具备数字信号处理器、RISC 以及微控制器的架构、固件和工具链的最佳特性。

其特性包括：

- CPU — 改进的 Harvard 架构和循环寻址。改进后的 Harvard 架构使指令和数据获取能够并行执行。CPU 可以同时读取指令和数据，并写入数据，得以在整个流水线中保持单周期指令操作。CPU 通过六个独立的地址和数据总线完成上述操作。
- RISC — 单周期指令执行、寄存器到寄存器操作和改进后的 Harvard 架构。
- 微控制器 — 通过直观的指令集、字节打包和解包以及位操作来实现易用性。

6.6.1 嵌入式实时分析和诊断 (ERAD)

ERAD 模块增强了器件的调试和系统分析功能。ERAD 模块提供的调试和系统分析增强功能在 CPU 之外完成。ERAD 模块由增强型总线比较器单元和基准测试系统事件计数器单元组成。增强型总线比较器单元用于生成硬件断点、硬件观察点和其他输出事件。基准系统事件计数器单元用于分析和评测系统。ERAD 模块可由调试器和应用软件访问，这显著提高了许多实时系统的调试功能，尤其是在调试器未连接的情况下。在 AVP32F0049 器件中，ERAD 模块包含八个增强型总线比较器单元和四个基准系统事件计数器单元。

6.6.2 浮点单元 (FPU)

FPU 处理器通过增加支持 IEEE 单精度浮点运算的寄存器和指令来扩展 A2000 定点 CPU 的功能。

具有 A2000 CPU+FPU 的器件包含标准 A2000 寄存器集以及一组额外的浮点单元寄存器。额外的浮点单元寄存器如下：

- 八个浮点结果寄存器， R_nH (其中 $n=0 \sim 7$)
- 浮点状态寄存器 (STF)
- 重复块寄存器 (RB)

除 RB 寄存器外，所有浮点寄存器都有影子寄存器。这种影子寄存器的设计可用于高优先级中断，以实现浮点寄存器的快速上下文保存和恢复。

6.6.3 三角函数数学单元 (TMU)

通过添加指令和利用现有 FPU 指令来加速表 6-9 中列出的常见三角函数和算术运算的执行，TMU 扩展了处理器的能力。

表 6-9 TMU 支持的指令

指令	C 等效运算	流水线周期
MPY2PIF32 RaH,RbH	$a = b * 2\pi$	2/3
DIV2PIF32 RaH,RbH	$a = b / 2\pi$	2/3
DIVF32 RaH,RbH,RcH	$a = b/c$	5
SQRTF32 RaH,RbH	$a = \sqrt{b}$	5
SINPUF32 RaH,RbH	$a = \sin(b*2\pi)$	4
COSPUF32 RaH,RbH	$a = \cos(b*2\pi)$	4
ATANPUF32 RaH,RbH	$a = \tan(b)/2\pi$	4
QUADF32 RaH,RbH,RcH,RdH	用于协助计算 ATANPU2 的运算	5

对现有指令、流水线或内存总线架构均未做任何更改。所有 TMU 指令都使用现有的 FPU 寄存器集 (R0H 至 R7H) 来执行运算。

6.6.4 Viterbi、复杂数学和 CRC 单元 (VCU-I)

带 VCU 的 A2000 处理器可通过增加支持以下算法类型的寄存器和指令来扩展 A2000 定点或浮点 CPU 的功能。

• Viterbi 译码

Viterbi 译码通常用于基带通信应用中。Viterbi 解码算法包含三个主要部分：分支度量计算、比较-选择 (Viterbi 蝶型) 和回溯运算。表 6-10 汇总了每个运算的 VCU-I 性能。

表 6-10 Viterbi 译码性能

VITERBI 运算	VCU 周期
分支度量计算 (码速率 = 1/2)	1
分支度量计算 (码速率 = 1/3)	2p
Viterbi 蝶型 (相加-比较-选择)	2 ⁽¹⁾
每阶段回溯	3 ⁽²⁾

(1) A2000 CPU 完成每个蝶型需要 15 个周期。

(2) A2000 CPU 完成每个阶段需要 22 个周期。

• 循环冗余校验 (CRC)

CRC 算法提供了一种简单的方法来验证大型数据块、通信数据包或代码段上的数据完整性。A2000 CPU+VCU 可执行 8 位、16 位和 32 位 CRC。例如，VCU 可以在 10 个周期内计算出块长度为 10 字节的 CRC。CRC 结果寄存器包含当前 CRC，每次执行 CRC 指令时，该 CRC 都会更新。

• 复杂数学

复杂数学用于许多应用中，例如：

– 快速傅里叶变换 (FFT)

复数 FFT 用于扩频通信以及许多信号处理算法中。

– 复数滤波器

复数滤波器可增加数据可靠性、延长传输距离和提高功效。A2000 CPU+VCU 可在单个周期内将复数 I 和 Q 乘以系数 (四次乘法)。此外，A2000 CPU+VCU 可在单个周期内将 16 位复数数据的实部和虚部读/写入内存中。

表 6-11 汇总了 VCU 支持的一些复杂数学运算。

表 6-11 复杂数学性能

复杂数学运算	VCU 周期	注意事项
加法或减法	1	$32 \pm 32 = 32$ 位 (适用于滤波器)
加法或减法	1	$16 \pm 32 = 15$ 位 (适用于 FFT)
乘法	2p	$16 \times 16 = 32$ 位
乘法和累加 (MAC)	2p	$32 + 32 = 32$ 位, $16 \times 16 = 32$ 位
RPT MAC	2p+N	重复 MAC。第一次运算后的单个周期。

6.7 控制律加速器 (CLA)

CLA Type-2 是一款独立、完全可编程的 32 位浮点数学处理器，实现了并发控制环路执行。CLA 的低中断延迟使其能够“及时”读取 ADC 采样值。这显著降低了 ADC 采样到输出延迟，从而实现了更快的系统响应和更高频率控制环路。通过利用 CLA 为时间关键型控制环路提供服务，可腾出主 CPU 来执行其他系统任务，如通信和诊断。

控制律加速器通过添加并行处理来扩展 A2000 CPU 功能。CLA 处理的时间关键控制环路可实现低 ADC 采样输出延迟。因此，CLA 支持更快速的系统响应和更高频率的控制环路。将 CLA 用于时间关键型任务可释放主 CPU 以同时执行其他系统和通信功能。

以下为 CLA 主要特性：

- 时钟速率与主 CPU 一致 (SYSCLKOUT)。
- 一个独立的架构使得 CLA 能够独立于主 A2000 CPU 之外执行算法。
 - 完整的总线架构：
 - 程序地址总线 (PAB) 和程序数据总线 (PDB)
 - 数据读取地址总线 (DRAB)、数据读取数据总线 (DRDB)、数据写入地址总线 (DWAB) 和数据写入数据总线 (DWDB)
 - 独立的 8 级流水线。
 - 16 位程序计数器 (MPC)
 - 四个 32 位结果寄存器 (MR0 至 MR3)
 - 两个 16 位辅助寄存器 (MAR0、MAR1)
 - 状态寄存器 (MSTF)
- 指令集包括：
 - IEEE 单精度 (32 位) 浮点数学运算
 - 可并行载入或者存储的浮点数学
 - 可并行加法或者减法的浮点乘法
 - $1/X$ 和 $1/\sqrt{X}$ 估值
 - 数据类型转换
 - 条件分支指令和调用
 - 数据载入/存储操作
- CLA 程序代码可包含多达 8 个任务或中断处理例程，或者 7 个任务和一个主后台任务。
 - 每一个任务的开始地址由 MVECT 寄存器指定。
 - 只要任务适合可配置的 CLA 程序内存空间，任务大小就有限制。
 - 每次处理并完成一个任务。无任务嵌套。
 - 任务完成时，在 PIE 内标志一个任务专用中断。
 - 当一个任务结束时，下一个具有最高优先级的等待任务自动开始。
 - CLA 可以有一个在后台连续运行的主任务，而其他高优先级事件则触发前台任务。
- 任务触发机制：
 - 借助于 IACK 指令的 A2000 CPU
 - 任务 1 到任务 8：最多 256 个可能的触发源，来自连接到共享总线的外设，CLA 在共享总线上承担二级所有权。

— 任务 8 可以设置为后台任务，而任务 1 至 7 采用外设触发。

• 内存和共用外设：

- 两个专用消息 RAM 用于 CLA 和主 CPU 间的通信。
- A2000 CPU 能够将 CLA 程序和数据内存映射到主 CPU 空间或者 CLA 空间。

图 6-2 所示为 CLA 功能框图。

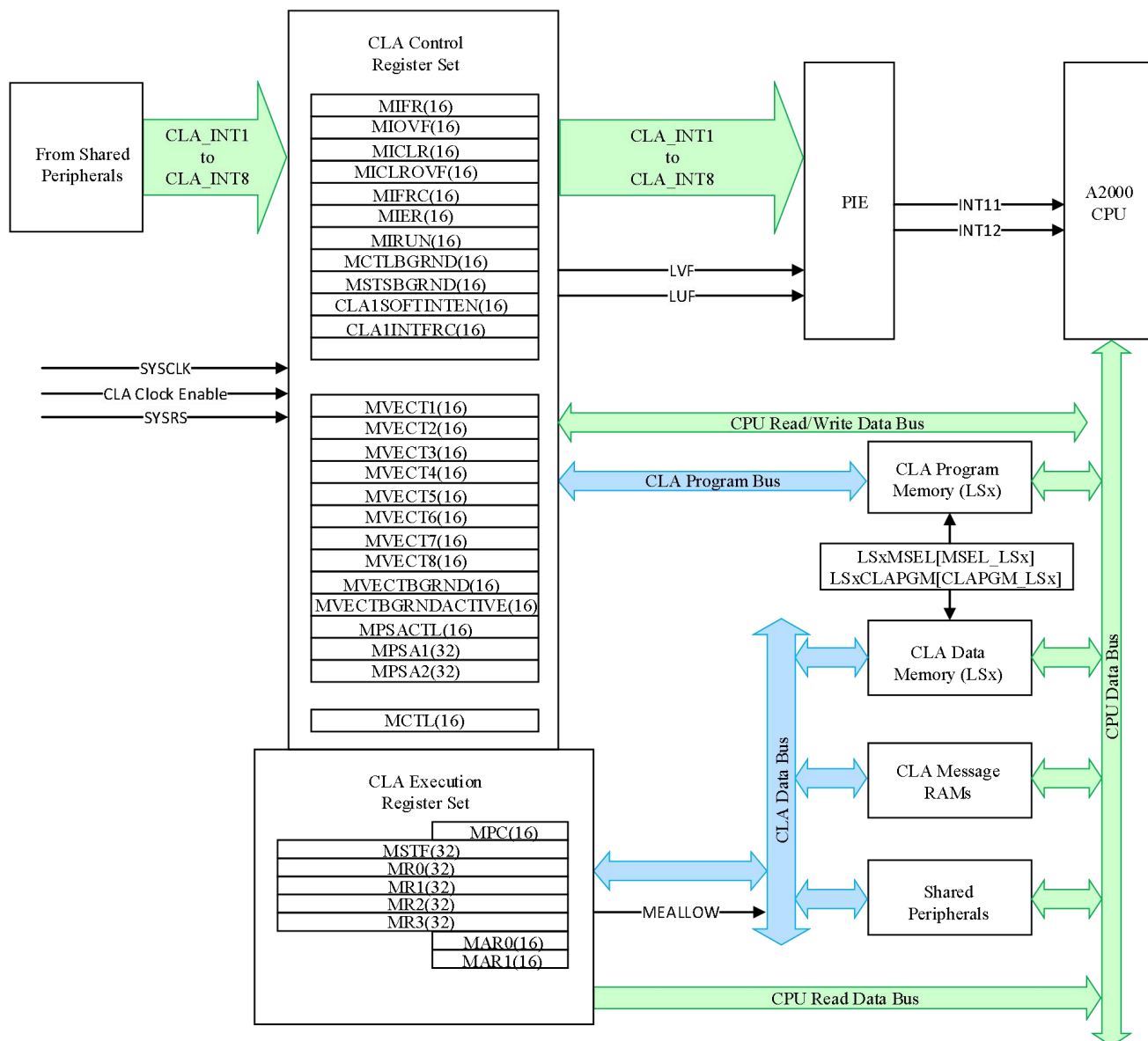


图 6-2 CLA 框图

6.8 直接存储器访问 (DMA)

DMA 模块提供了一种在外设和/或存储器之间传输数据的硬件方法，无需 CPU 干预，从而为其他系统功能释放带宽。此外，DMA 还能够在数据传输时对其进行正交重排，以及在缓冲器之间对数据执行“乒乓”操作。这些特性对于将数据结构化为块以实现最优 CPU 处理非常有用。

DMA 特性包括：

- 六个具有独立 PIE 中断的通道
- 外设中断触发源
 - ADC 中断和 EVT 信号
 - 外部中断
 - ePWM SOC 信号
 - CPU 定时器
 - eCAP
 - Σ - Δ 滤波器模块
 - SPI 发送和接收
 - CAN 发送和接收
 - LIN 发送和接收
- 数据源和目标：
 - GSx RAM
 - ADC 结果寄存器
 - 控制外设寄存器 (ePWM、eQEP、eCAP、SDFM)
 - DAC 和 PGA 寄存器
 - SPI、LIN、CAN 和 PMBus 寄存器
- 字大小：16 位或 32 位 (SPI 限制到 16 位)
- 吞吐量：每个字四个周期，无需仲裁

图 6-3 所示为 DMA 的器件级框图。

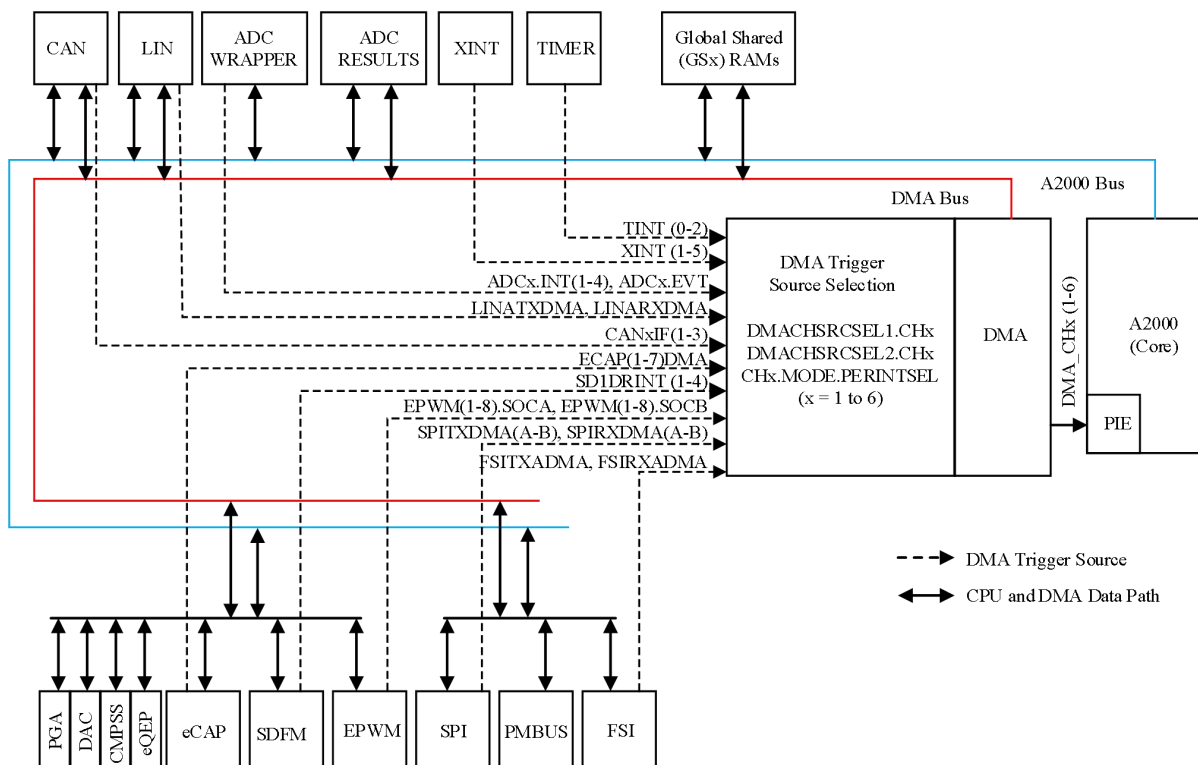


图 6-3 DMA 框图

6.9 引导 ROM 和外设引导

器件引导 ROM 包含引导加载软件。器件 ROM 有一个内部引导加载程序，在器件上电以及器件每次复位时执行该引导加载程序。引导加载程序用作初始程序，通过任何可引导外设将应用程序加载到器件 RAM 中，或配置为在闪存中启动应用程序（如果有）。

表 6-12 列出了默认引导模式选项。用户可以选择自定义支持的引导模式以及引导模式选择引脚。

表 6-12 器件默认引导模式

引导模式	GPIO24 (默认引导模式选择引脚 1)	GPIO32 (默认引导模式选择引脚 0)
并行 IO	0	0
SCI/等待引导	0	1
CAN	1	0
闪存	1	1

表 6-13 列出了器件上可能支持的引导模式。默认引导模式引脚为 GPIO24（引导模式引脚 1）和 GPIO32（引导模式引脚 0）。如果用户在这些引脚上也使用外设，则可选择为引导模式引脚设置弱上拉，因此上拉可能会过驱动。在此器件上，客户可以通过对用户可配置的双代码安全模块 (DCSM) OTP 位置进行编程来更改出厂默认的引导模式引脚。

表 6-13 所有可用的引导模式

引导模式编号	引导模式
0	并行 IO
1	SCI/等待引导
2	CAN
3	闪存
4	等待
5	RAM
6	SPI 主机
7	I2C 主机
8	PLC

备注

所有支持的外设引导模式都使用外设模块的第一个实例（SCIA、SPIA、I2CA、CANA 等）。凡是本节提到的这些引导模式（例如 SCI 引导），实际均指第一个模块实例，如 SCIA 端口上的 SCI 引导。这同样适用于其他外设引导。

6.9.1 配置备用引导模式选择引脚

本节介绍了用户如何通过用户在用户可配置 DCSM OTP 中对 BOOTPIN_CONFIG 位置进行编程来定制引导模式选择引脚。用户 DCSM OTP 中的位置是 Z1-OTP-BOOTPIN-CONFIG。调试时，EMU-BOOTPIN-CONFIG 是 Z1-OTP-BOOTPIN-CONFIG 的仿真等效，可对其进行编程，以在不写入 OTP 的情况下使用不同的引导模式进行实验。可根据需要对器件进行编程，以使用 0、1、2 或 3 个引导模式选择引脚。

表 6-14 BOOTPIN_CONFIG 位字段

位	名称	说明
31-24	密钥	将 0x5A 写入这 8 位，告诉引导 ROM 代码此寄存器中的位有效
23-16	引导模式选择引脚 2 (BMSP2)	请参阅 BMSP0 说明
15-8	引导模式选择引脚 1 (BMSP1)	请参阅 BMSP0 说明
7—0	引导模式选择引脚 0 (BMSP0)	设置为在引导期间使用的 GPIO 引脚（最多 255）。 0x0 = GPIO0；0x01 = GPIO1 等等。 如果所有其他 BMSP 也设置为 0xFF，则 0xFF 无效，并选择出厂默认值 BMSP0。 如果任何其他 BMSP 未设置为 0xFF，则将 BMSP 设置为 0xFF 将禁用该特定的 BMSP。

备注

以下 GPIO 不能用作 BMSP。如果为特定的 BMSP 选择，引导 ROM 会自动选择出厂默认 GPIO（BMSP2 的出厂默认值为 0xFF，这会禁用 BMSP）。

- GPIO 20 至 23
- GPIO 36
- GPIO 38
- GPIO 60 至 223

表 6-15 独立引导模式选择引脚译码

BOOTPIN_CONFIG KEY	BMSP0	BMSP1	BMSP2	实现的引导模式
!= 0x5A	不用考虑	不用考虑	不用考虑	由出厂默认 BMSP（GPIO24、GPIO32）定义的引导
= 0x5A	0xFF	0xFF	0xFF	引导模式 0 的引导表中定义的引导（禁用所有 BMSP）
	有效 GPIO	0xFF	0xFF	由 BMSP0 值定义的引导（禁用 BMSP1 和 BMSP2）
	0xFF	有效 GPIO	0xFF	由 BMSP1 值定义的引导（禁用 BMSP0 和 BMSP2）
	0xFF	0xFF	有效 GPIO	由 BMSP2 值定义的引导（禁用 BMSP0 和 BMSP1）
	有效 GPIO	有效 GPIO	0xFF	由 BMSP0 和 BMSP1 的值定义的引导（禁用 BMSP2）
	有效 GPIO	0xFF	有效 GPIO	由 BMSP0 和 BMSP2 的值定义的引导（禁用 BMSP1）
	0xFF	有效 GPIO	有效 GPIO	由 BMSP1 和 BMSP2 的值定义的引导（禁用 BMSP0）
	有效 GPIO	有效 GPIO	有效 GPIO	由 BMSP0、BMSP1 和 BMSP2 的值定义的引导

6.9.2 配置备用引导模式选项

本节介绍了如何为器件配置引导定义表 BOOTDEF 以及相关的引导选项。64 位位置位于 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 位置的用户可配置 DCSM OTP 中。调试时，EMU-BOOTDEF-LOW 和 EMU-BOOTDEF-HIGH 是 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 的仿真等效，并且可以进行编程，以便在不写入 OTP 的情况下使用不同的引导模式选项进行实验。引导定义表的自定义范围取决于正在使用多少引导模式选择引脚。有关如何使用 BOOTPIN_CONFIG 和 BOOTDEF 值的示例，请参阅《AVP32F0049 技术参考手册》中“ROM 代码和外设引导”一章的“引导模式示例用例”部分。

表 6-16 BOOTDEF 位字段

BOOTDEF 名称	字节位置	名称	说明
BOOT_DEF0	7—0	BOOT_DEF0 模式和选项	设置引导模式和引导模式选项。这可能包括更改特定引导外设的 GPIO 或指定不同的闪存入口点。任何不支持的引导模式都会导致器件复位。 有关有效的 BOOTDEF 值，请参阅“GPIO 分配”。 请参阅 BOOT_DEF0 说明。
BOOT_DEF1	15-8	BOOT_DEF1 模式和选项	
BOOT_DEF2	23-16	BOOT_DEF2 模式和选项	
BOOT_DEF3	31-24	BOOT_DEF3 模式和选项	
BOOT_DEF4	39—32	BOOT_DEF4 模式和选项	
BOOT_DEF5	47—40	BOOT_DEF5 模式和选项	
BOOT_DEF6	55—48	BOOT_DEF6 模式和选项	
BOOT_DEF7	63—56	BOOT_DEF7 模式和选项	

6.9.3 GPIO 分配

本节将详细介绍 GPIO 以及在位于 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 的 BOOT_DEFx 中设置的每种引导模式的引导选项。请参阅“配置备用引导模式选择引脚”一节，了解如何操作 BOOT_DEFx。选择引导模式选项时，请确认所用特定器件封装的引脚多路复用器选项中提供了必要的引脚。

表 6-17 SCI 引导选项

选项	BOOTDEFx VALUE	SCIATX GPIO	SCIARX GPIO
0 (默认值)	0x01	GPIO29	GPIO28
1	0x21	GPIO16	GPIO17
2	0x41	GPIO8	GPIO9
3	0x61	GPIO48	GPIO49
4	0x81	GPIO24	GPIO25

备注

在 SCIATX 和 SCIARX 引脚上启用上拉电阻。

表 6-18 CAN 引导选项

选项	BOOTDEFx 值	CANTXA GPIO	CANRXA GPIO
0 (默认值)	0x02	GPIO32	GPIO33
1	0x22	GPIO4	GPIO5
2	0x42	GPIO31	GPIO30
3	0x62	GPIO37	GPIO35

备注

在 CANTXA 和 SCIARX 引脚上启用上拉电阻。

表 6-19 闪存引导选项

选项	BOOTDEFx 值	闪存入口点 (地址)	闪存存储体、扇区
0 (默认值)	0x03	闪存 - 默认选项 1 (0x00080000)	存储体 0 扇区 0
1	0x23	闪存 - 选项 2 (0x0008EFF0)	存储体 0 扇区 14
2	0x43	闪存 - 选项 3 (0x00090000)	存储体 1 扇区 0
3	0x63	闪存 - 选项 4 (0x0009EFF0)	存储体 1 扇区 14

表 6-20 等待引导选项

选项	BOOTDEFx 值	看门狗状态
0	0x04	被启用
1	0x24	禁用

表 6-21 SPI 引导选项

选项	BOOTDEFx 值	SPIA_SIMO	SPIA_SOMI	SPIA_CLK	SPIA_STE
1	0x26	GPIO8	GPIO10	GPIO9	GPIO11
2	0x46	GPIO54	GPIO55	GPIO56	GPIO57
3	0x66	GPIO16	GPIO17	GPIO56	GPIO57
4	0x86	GPIO8	GPIO17	GPIO9	GPIO11

备注

在 SPIA_SIMO、SPIA_SOMI、SPIA_CLK 和 SPIA_STE 引脚上启用上拉电阻。

表 6-22 I2C 引导选项

选项	BOOTDEF _x 值	SDAA GPIO	SCLA GPIO
0	0x07	GPIO32	GPIO33
1	0x47	GPIO26	GPIO27
2	0x67	GPIO42	GPIO43

备注

在 SDAA 和 SCLA 引脚上启用上拉电阻。

表 6-23 并行引导选项

选项	BOOTDEF _x 值	D0 至 D7 GPIO	DSP 控制 GPIO	主机控制 GPIO
0 (默认值)	0x00	GPIO0 至 GPIO7	GPIO16	GPIO11

备注

在 GPIO0 至 GPIO7 上启用上拉电阻。

表 6-24 RAM 引导选项

选项	BOOTDEF _x 值	RAM 入口点地址
0	0x05	0x00000000

6.10 双代码安全模块

双代码安全模块 (DCSM) 防止对片载安全内存进行访问。术语“安全”意味着阻止对安全存储器和资源的访问。术语“不安全”是指允许访问；例如，通过代码调试器™ (CSS) 等调试工具。

代码安全机制为两个区域，即区域 1 (Z1) 和区域 2 (Z2)，提供保护。这两个区域的安全实现是相同的。每个区域都有自身的专用安全资源 (OTP 存储器和安全 ROM) 和分配的安全资源 (CLA、LSx RAM 和闪存扇区)。

每个区域的安全性都由自身的 128 位密码 (CSM 密码) 确保。每个区域的密码根据区域专用链接指针存储在 OTP 存储器位置中。可以更改链接指针值，以在 OTP 中编程一组不同的安全设置 (包括密码)。

代码安全模块声明

本器件所包含的代码安全模块 (CSM) 旨在对存储在相关存储器中的数据进行密码保护。

然而，不保证或承诺 CSM 不会受到损坏或破坏，也不保证或承诺存储在相关存储器中的数据不能通过其他方式访问。除上述内容外，也未对本器件的 CSM 或运行做任何保证或表示，包括对适销性或特定用途适用性的任何暗示保证。

在任何情况下，我对以任何方法使用 CSM 或本器件产生的任何必然、特殊、间接、偶然或惩罚性损害概不负责，无论我司是否已告知上述损害。排除的损害包括但不限于数据丢失、信誉损失、使用损失、业务中断或其他经济损失。

6.11 看门狗

该看门狗模块与之前的 AVP32x 器件上的模块相同，但针对计数器的软件复位之间的时间提供了一个可选的下限。默认情况下会禁用此窗口倒计时，因此该看门狗完全向后兼容。

看门狗生成复位或中断。看门狗使用可选分频器通过内部振荡器计时。图 6-4 所示为看门狗模块功能框图。

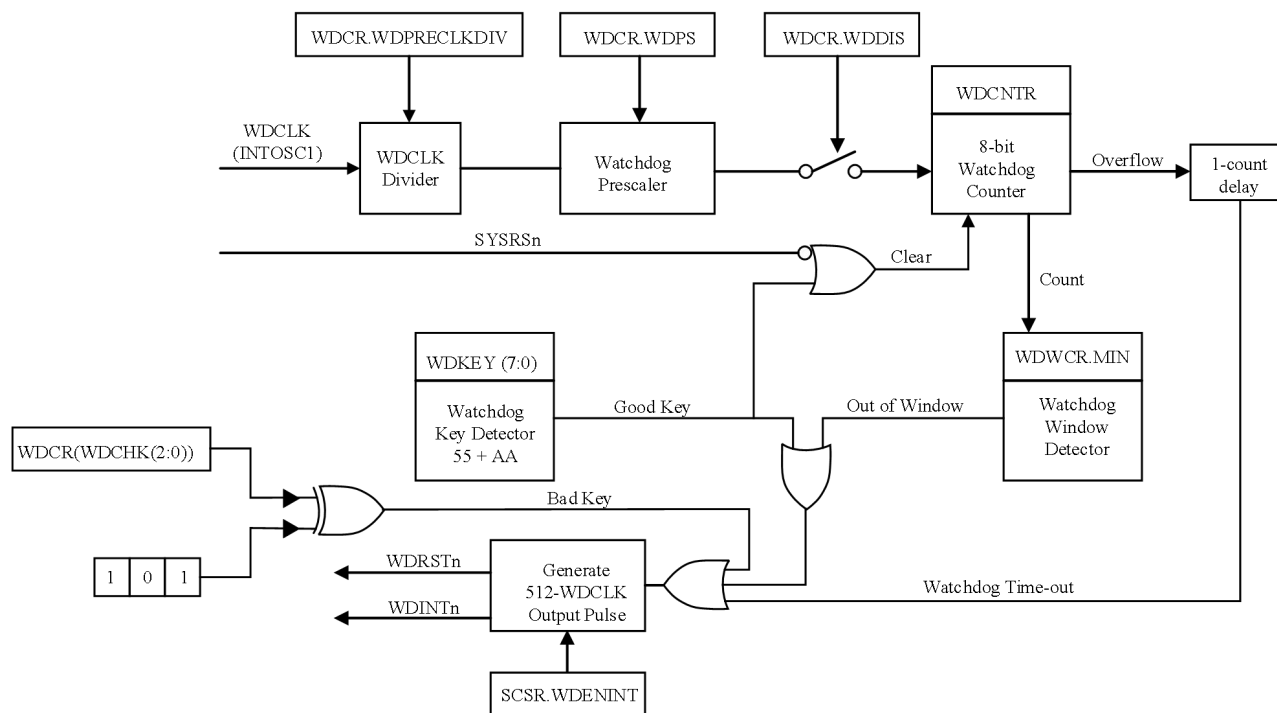


图 6-4 窗口看门狗

6.12 可配置逻辑块 (CLB)

可配置逻辑块 (CLB) 是一组模块的集合，这些模块使用软件进行互连，以实现自定义数字逻辑功能或增强现有的片载外设。CLB 能够通过一组交叉开关互连来增强现有的外设，为现有的控制外设（例如增强型脉宽调制器 (ePWM)、增强型捕获模块 (eCAP) 和增强型正交编码器脉冲模块 (eQEP)）提供高度连接性。交叉开关还允许将 CLB 连接到外部 GPIO 引脚。通过这种方式，CLB 可以配置为与器件外设交互以执行小型逻辑功能（例如比较器），或实现自定义串行数据交换协议。通过 CLB，原本需要使用外部逻辑器件实现的功能现在可在 MCU 内实现。

CLB 模块及其互连如图 6-5 所示。

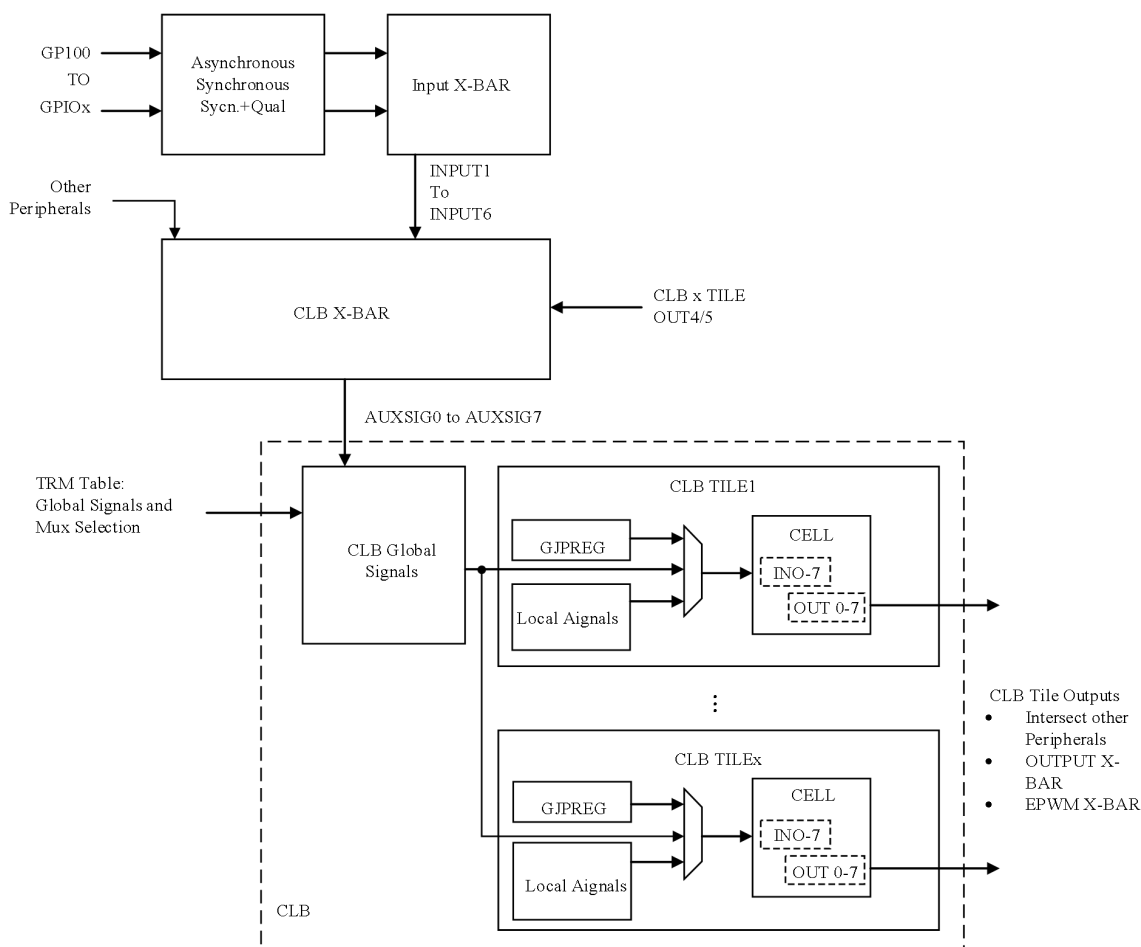


图 6-5 CLB 概述

7 应用、实施和布局

备注

以下应用部分中的信息不属于我司器件规格的范围，我司不担保其准确性和完整性。我司的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计实现，以确保系统功能。

7.1 器件主要特性

表 7-1 器件主要特性

模块	特性	系统优势
处理器		
实时控制 CPU	高达 200MIPS A2000 CPU : 100MIPS CLA : 100MIPS 闪存 : 高达 256KB RAM : 高达 100KB 32 位浮点单元 (FPU32) 三角函数数学单元 (TMU) 维特比复杂数学单元 (VCU)	32 位 A2000 DSP 内核可为从片载闪存或 SRAM 运行的浮点或定点代码提供 120MHz 的信号处理性能。 为从片载闪存或 SRAM 运行的浮点或定点代码提供 120MHz 的信号处理性能。 FPU32 : 原生硬件支持 IEEE-754 单精度浮点运算 TMU : 使用加速器加快三角函数和算术运算执行速度, 从而提高控制应用的计算速度 (例如 PLL 和 DQ 变换)。有助于实现更快的控制环路, 从而提高效率和优化元件尺寸。 特殊指令支持非线性 PID 控制算法 VCU : 降低编码应用中常见的复杂数学运算延迟
SENSING		
模数转换器 (ADC) (12 位)	多达 3 个 ADC 模块 3.45MSPS 高达 21 通道	ADC 对全部三相电流和直流总线进行精准并行采样, 且具有零抖动。 ADC 后处理 - 片载硬件将降低 ADC ISR 复杂度并缩短电流环路周期。 增加 ADC 数量在多相应用中很有用。提供更高的有效 MSPS (过采样) 和典型 ENOB 以实现更好的控制环路性能。
比较器子系统 (CMPSS)	CMPSS 2 个窗口比较器 双 12 位 DAC DAC 斜坡生成 外部引脚上提供低 DAC 输出 数字滤波器 60ns 跳闸检测时间 斜率补偿	系统保护无报错 : 比较器子系统 (CMPSS) 模块适用于峰值电流模式控制、开关模式电源、功率因数校正和电压跳闸监控等应用。 借助模拟比较器子系统提供的消隐窗口和滤波功能, PWM 跳闸触发和消除不必要噪声变得非常容易。 提供更出色的控制精度。无需进一步的 CPU 配置即可通过比较器和 12 位 DAC (CMPSS) 控制 PWM。 使用同一引脚实现保护和控制。
增强型正交编码器 脉冲 (eQEP)	2 个 eQEP 模块	用于与线性或旋转增量编码器进行直接连接, 以便获得高性能运动和位置控制系统中使用的旋转机器的位置、方向和速度信息。另外, 也可以在其他应用中用于对来自外部器件 (例如传感器) 的输入脉冲进行计数。

表 7-1 器件主要特性 (续)

模块	特性	系统优势
增强型捕获 (eCAP)/高分辨率增强型捕获 (HRCAP)	7 个 eCAP 模块 (2 个具有 HRCAP 功能) 测量事件之间经过的时间 (最多 4 个带时间戳的事件)。 通过输入 X-BAR 连接到任何 GPIO。 当未用于捕获模式时, eCAP 模块可配置为单通道 PWM 输出 (APWM)。	eCAP 的应用包含 : 旋转机械的速度测量 (例如, 通过霍尔传感器感应齿状链轮)。 位置传感器脉冲之间的持续时间测量。 脉冲序列信号的周期和占空比测量。 对来自占空比编码电流/电压传感器的电流或电压幅度进行译码。
	2 个 HRCAP 通道 能够以 300ps 的典型分辨率测量外部脉冲的宽度。	HRCAP 的应用包括 : 脉冲序列周期的高分辨率周期和占空比测量 瞬时速度测量 瞬时频率测量 在一个隔离边界上的电压测量 距离/声纳测量和扫描 流量测量 电容式触控应用
驱动		
增强型脉宽调制 (ePWM)/高分辨率脉宽调制 (HRPWM)	多达 16 个 ePWM 通道 能够生成具有死区的高侧/低侧 PWM 支持谷底开关 (能够在谷点切换 PWM 输出) 以及消隐窗口等特性	灵活的 PWM 波形生成功能, 具有出色的电源拓扑覆盖范围。 影子化死区和影子化动作限定器可实现自适应 PWM 生成和保护, 从而提高控制精度并降低功率损耗。 可改善功率因数 (PF) 和总谐波失真 (THD), 这在功率因数校正 (PFC) 应用中尤为重要。可提高轻载效率。
	HRPWM 功能 : 所有 16 个通道均提供高分辨率功能 (150ps) 为占空比、周期、死区以及相位偏移提供 150ps 的步长, 精度提高 99%	有利于精确控制并实现性能更佳的高频功率转换。 实现更干净的波形并避免输出端产生振荡/限制周期。
	一次性和全局重新加载功能	对于变频和多相 DC-DC 应用至关重要, 有助于实现高频控制环路 (>2MHz)。 能够在高频下控制交错式 LLC 拓扑。
	针对逐周期 (CBC) 跳闸事件和一次性跳闸 (OST) 跳闸事件进行独立 PWM 操作	提供逐周期保护并在故障条件下完全关闭 PWM。有助于实现多相 PFC 或 DC-DC 控制。
	在 SYNC 时加载 (支持在发生 SYNC 事件时的“影子到活动”加载)	支持变频应用 (允许在功率转换中进行 LLC 控制)。
	无需软件干预即可关闭 PWM (无 ISR 延迟)	在出现故障时提供快速保护。
	延迟跳闸功能	有助于利用峰值电流模式控制 (PCMC) 相移全桥 (PSFB) DC-DC 转换器轻松实现死区, 无需占用大量 CPU 资源 (即使发生基于比较器、跳闸或同步输入事件的触发事件时也是如此)。
	死区发生器 (DB) 子模块	通过向 PWM 信号上升沿 (RED) 和下降沿 (FED) 添加可编程延迟, 防止高侧和低侧栅极同时导通。
CONNECTIVITY		
串行外设接口 (SPI)	2 个高速 SPI 端口	支持 25MHz
串行通信接口 (SCI)	2 个 SCI (UART) 模块	与控制器连接

表 7-1 器件主要特性 (续)

本地互连网络 (LIN)	1 个 LIN	提供一种低成本解决方案，无需控制器局域网 (CAN) 的带宽和容错能力。 也可用作 SCI 与其他控制器进行通信。
控制器局域网 (CAN/DCAN)	1 个 DCAN 模块	能够兼容经典 CAN 模块
集成电路总线 (I2C)	1 个 I2C 模块	与外部 EEPROM、传感器或控制器连接
电源管理总线 (PMBus)	1 个 PMBus 模块 符合 SMI Forum PMBus 规范 (第 I 部分 v1.0 和第 II 部分 v1.1)	基于硬件的无缝主机通信
带发送器和接收器的快速串行接口 (FSI)	最多 1 个 FSI 发送器和 1 个 FSI 接收器 能够在隔离器件之间进行可靠的高速通信 (高达 120MHz) 的串行通信外设	快速串行接口 (FSI) 可用于低引脚数的高速通信，甚至能够以高达 100Mbps 的速度跨越隔离边界进行通信。
其他系统特性		
安全增强功能	双区域代码安全模块 (DCSM) 看门狗 寄存器受写保护 丢失时钟检测逻辑 (MCD) 纠错码 (ECC) 和奇偶校验	DCSM ：防止对专有代码进行复制和逆向工程 看门狗 ：如果 CPU 陷入无休止的执行循环，则会产生复位 寄存器受写保护 ： 针对系统配置寄存器进行锁定保护 防止虚假 CPU 写入 MCD ：自动时钟故障检测 ECC 和奇偶校验 ：single-bit 纠错和 double-bit 错误检测
交叉矩阵 (XBAR)	可灵活连接各种配置中的器件输入、输出和内部资源。 • 输入 X-BAR • 输出 X-BAR • ePWM X-BAR • CLB X-BAR	增强硬件设计的通用性： 输入 X-BAR ：将信号从任何 GPIO 路由到芯片内的多个 IP 块 输出 XBAR ：将内部信号路由到指定的 GPIO 引脚上 ePWM X-BAR ：将内部信号从各种 IP 块路由到 ePWM CLB X-BAR ：允许用户将信号从各种 IP 块传输到 CLB

7.2 应用信息

7.2.1 典型应用

“典型应用”一节将详细介绍该器件的某些应用。如需查看更详细的应用列表，请参阅本数据表的“市场应用”一节。

7.2.1.1 服务器电信电源单元 (PSU)

服务器电信电源单元 (PSU) 包含功率因数校正 (PFC) 级和 DC-DC 转换器级。通常使用图腾柱 PFC 作为 PFC 级。对于 DC-DC 级，LLC 和相移全桥 (PSFB) 是两种常用的拓扑。通常，当前服务器 PSU 基于双芯片架构，如图 7-1 所示。电信 PSU 更有可能采用单芯片架构，如图 7-2 所示。

PFC 级从交流电源吸取与交流电压同相的正弦波电流，并在其输出端保持稳定的直流总线电压 (VDC，通常为 +400V)。该输出电压施加到 DC-DC 级的输入端，可将其转换为隔离式低输出电压 Vout (服务器为 12V/48V，电信为 48V)。

7.2.1.1.1 系统框图

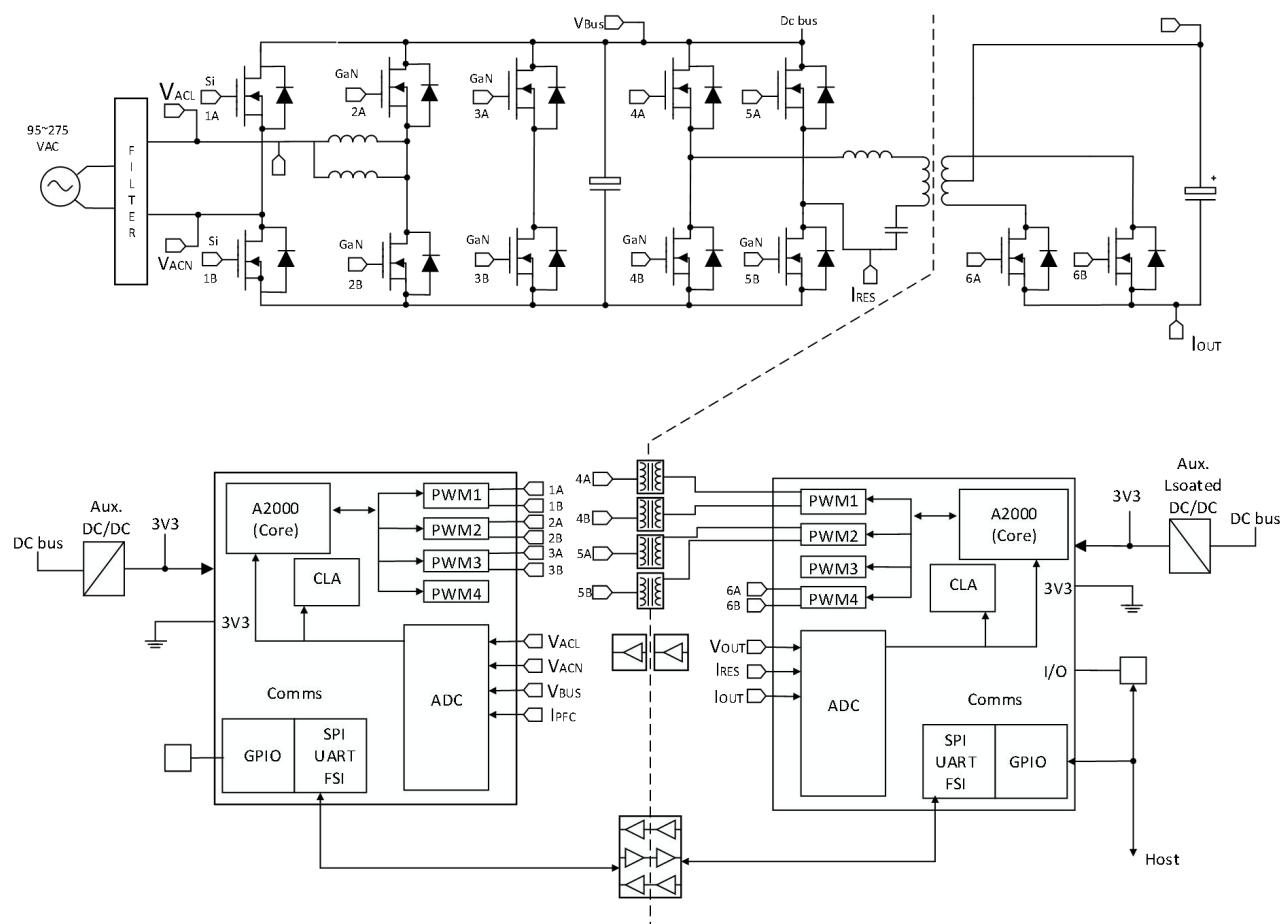


图 7-1 典型的服务器 PSU 架构

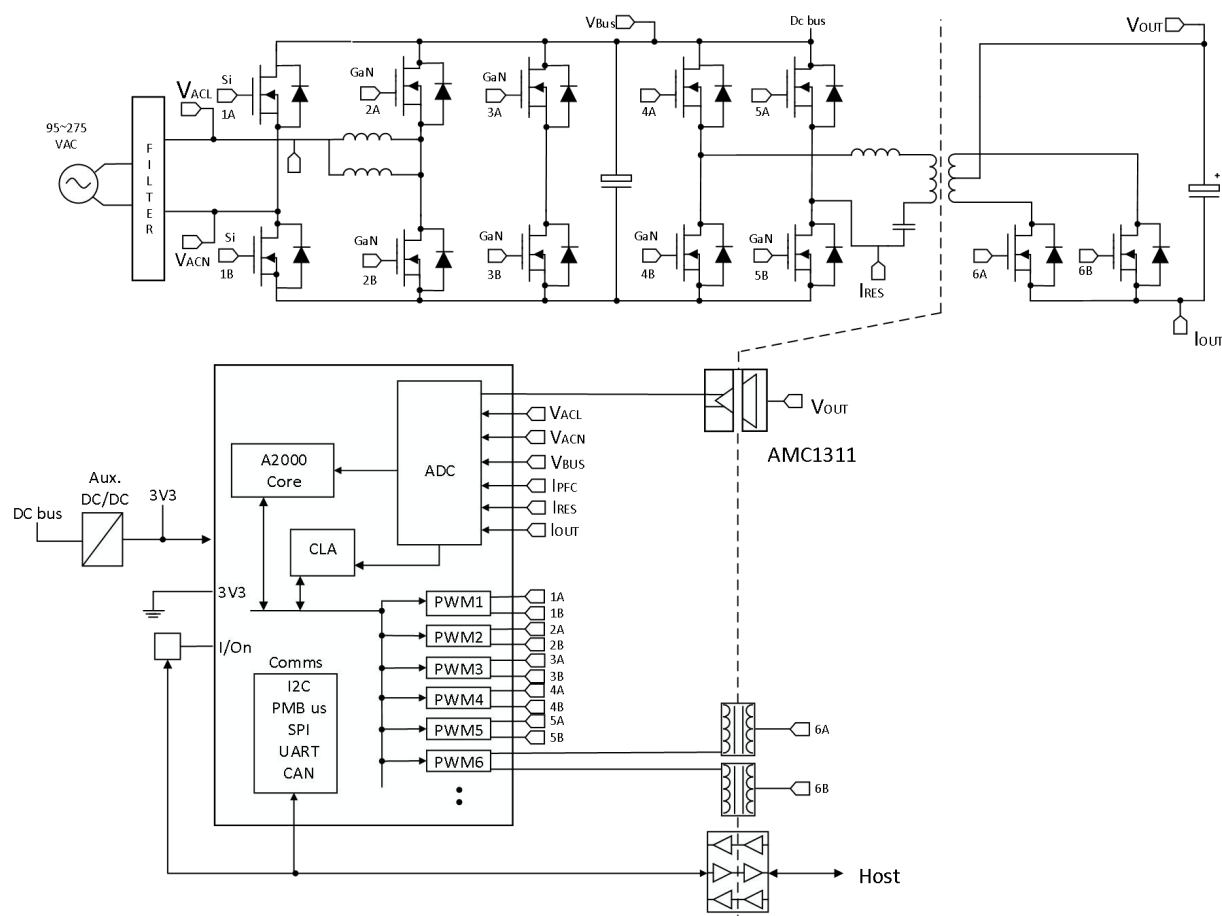


图 7-2 典型的电信 PSU 架构

7.2.1.2 单相在线 UPS

不间断电源 (UPS) 在将关键负载 (例如计算机、通信系统、医疗/生命支持系统和工业控制) 连接至公共电网方面扮演着重要角色。它们旨在为主要处于任何正常或异常实用电源条件下的负载提供清洁、持续的电源。在各种 UPS 拓扑或配置中, 在线 UPS, 也称为反向器首选 UPS, 可为负载提供最佳的线路调节性能和最强大的保护以防止出现公共电源问题。它可以在任何输入线路条件下提供稳定的正弦输出电压。从公共电力线获得电源后, 它将保持正弦输入电流处于高输入功率因素。这些增强的输入/输出特征使在线 UPS 成为许多应用领域中的理想解决方案。

一个三路转换在线 UPS 系统如图 7-3 所示。功率因数校正 (PFC) 输入级是一个交流/直流转换器, 可对交流输入电压进行整流并生成直流总线电压, 同时在高输入功率因数下维持正弦输入电流。PFC 级还针对交流输入电压的变化调节直流总线电压。通过输出直流/交流逆变器级对直流总线电压进行反相即可生成适当频率的交流输出电压。DC-DC 降压转换器级将实现电池充电器。电池充电器级可降低高直流总线电压 (高达 400V), 从而为较小的电池充电。当系统以电池备用模式运行时, DC-DC 升压转换器将电池电压升高至总线电压。

7.2.1.2.1 系统框图

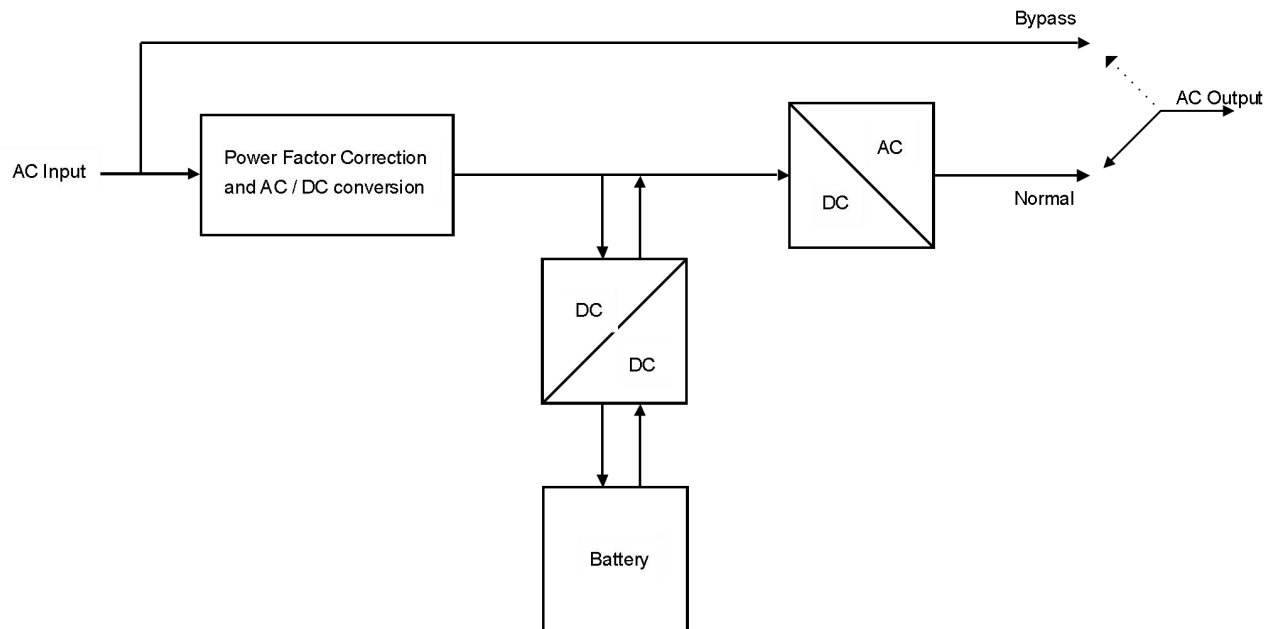


图 7-3 三路转换在线 UPS 系统

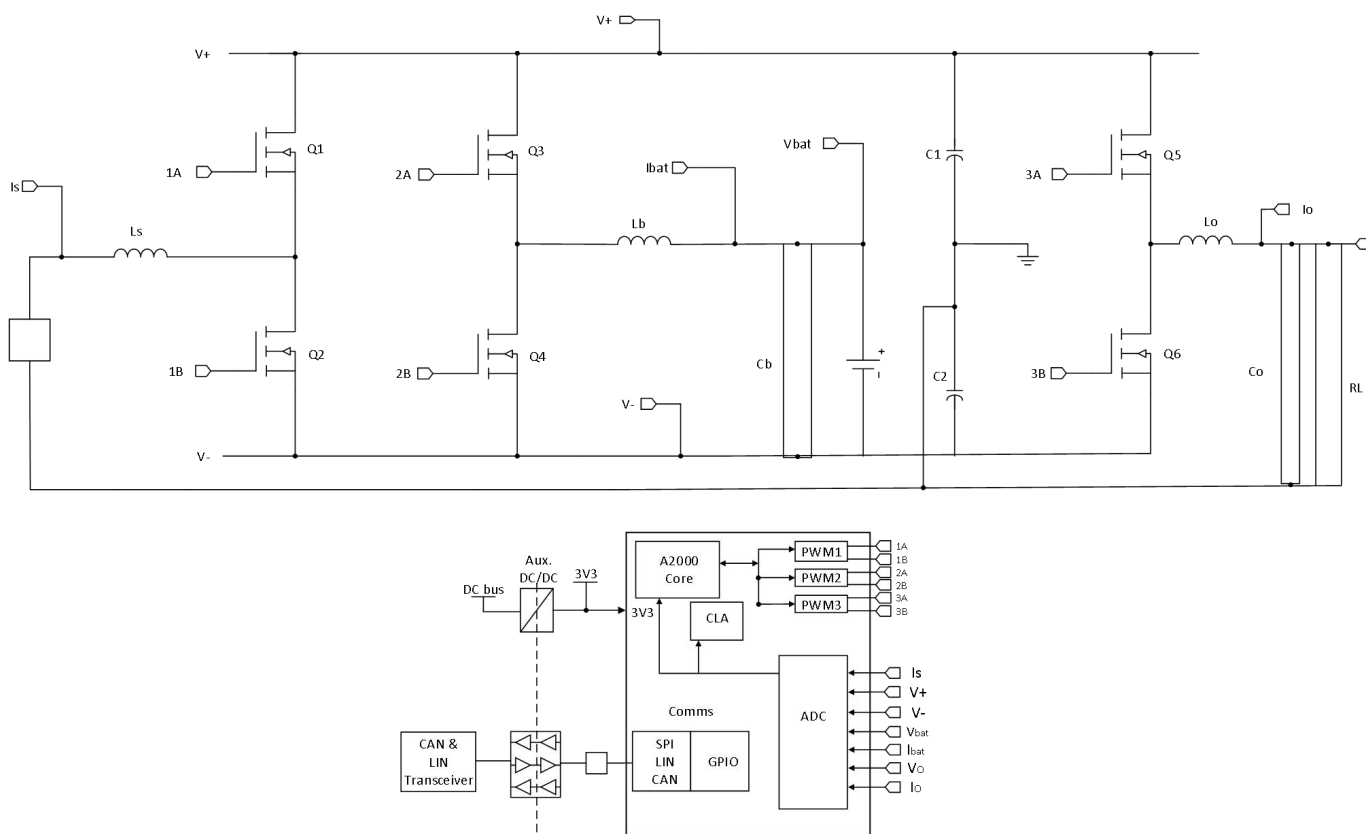


图 7-4 单相在线 UPS

7.2.1.3 微型光伏逆变器

微型光伏逆变器包含直流/交流逆变器功率级和最大功率点跟踪 (MPPT) DC-DC 功率级。逆变器 (直流/交流) 的典型开关频率介于 20kHz-50kHz 之间, 而 DC-DC 侧的开关频率范围可在 100kHz-200kHz 之间。可以使用各种功率级来实现这一目的, 该图仅描述了典型的功率级以及控制和通信要求。AVP32F0049 数字信号处理器采用片载 EPWM、ADC 和模拟比较器模块来实现此类微型逆变器系统的完全数字控制。

7.2.1.3.1 系统框图

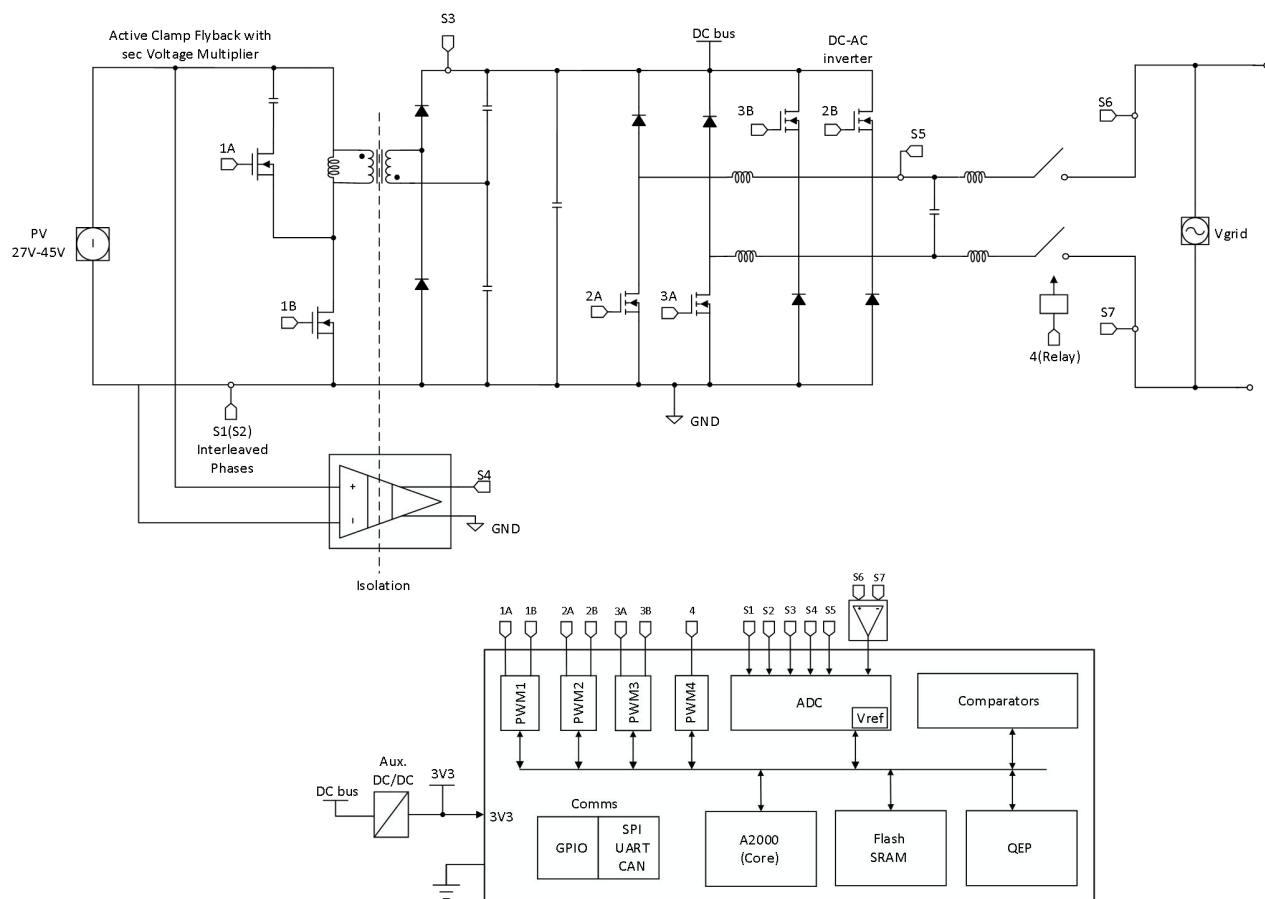


图 7-5 微型光伏逆变器

7.2.1.4 电动汽车充电站电源模块

直流充电站中的电源模块包含交流/直流功率级和 DC-DC 功率级。每个与其功率级相关的转换器都包含多个开关管和一个栅极驱动器、电流和电压检测以及实时微控制器。输入侧有三相交流电源, 连接到交流/直流功率级。该块将传入的交流电压转换为约 800V 的固定直流电压。该电压用作 DC-DC 功率级的输入, DC-DC 功率级处理功率并直接与电动汽车上的电池连接。每个功率级都有一个独立的实时微控制器, 该微控制器负责处理模拟信号并提供快速控制操作。

交流/直流级 (也称为 PFC 级) 是电动汽车充电站中的第一级功率转换。它将从电网传入的交流功率 (380-415VAC) 转换为大约 800V 的稳定直流链路电压。PFC 级保持正弦输入电流 (THD 通常小于 5%), 并提供高于线间输入电压幅度的受控直流输出电压。DC-DC 级是电动汽车充电站中的第二级功率转换。它将 800V 的传入直流链路电压 (对于三相系统) 转换为较低的直流电压, 以便为电动汽车的电池充电。DC-DC 转换器必须能够在宽范围内为

电池提供额定功率，并且能够根据电池的荷电状态 (SOC) 以恒流或恒压模式为电池充电。

7.2.1.4.1 系统框图

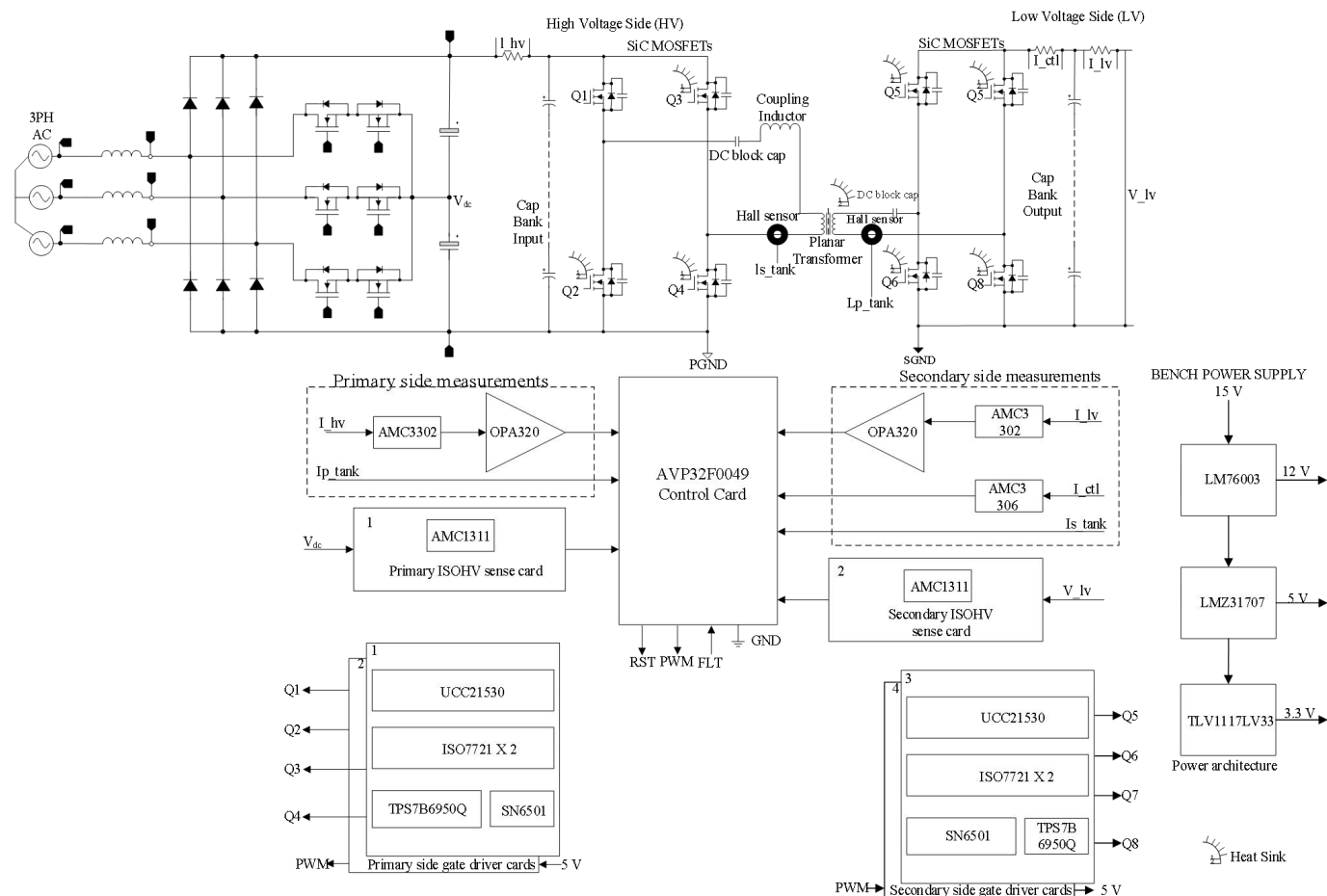


图 7-6 双有源电桥 DC-DC 转换器

7.2.1.5 伺服驱动器控制模块

伺服驱动器需要高精度电流和电压检测功能以实现精确的扭矩控制，并且通常支持用于多种编码器类型的接口以及通信接口。AVP32F0049 既可作为独立伺服驱动器的单芯片解决方案（如图 7-7 所示），也可用于分散式系统（如图 7-8 所示）。在后一种情况下，AVP32F0049 充当控制器，对所有电压和电流输入进行采样并为逆变器生成正确的 PWM 信号。每个 AVP32F0049 器件均作为目标轴的实时控制器，用于控制电机的电流控制环。

7.2.1.5.1 系统框图

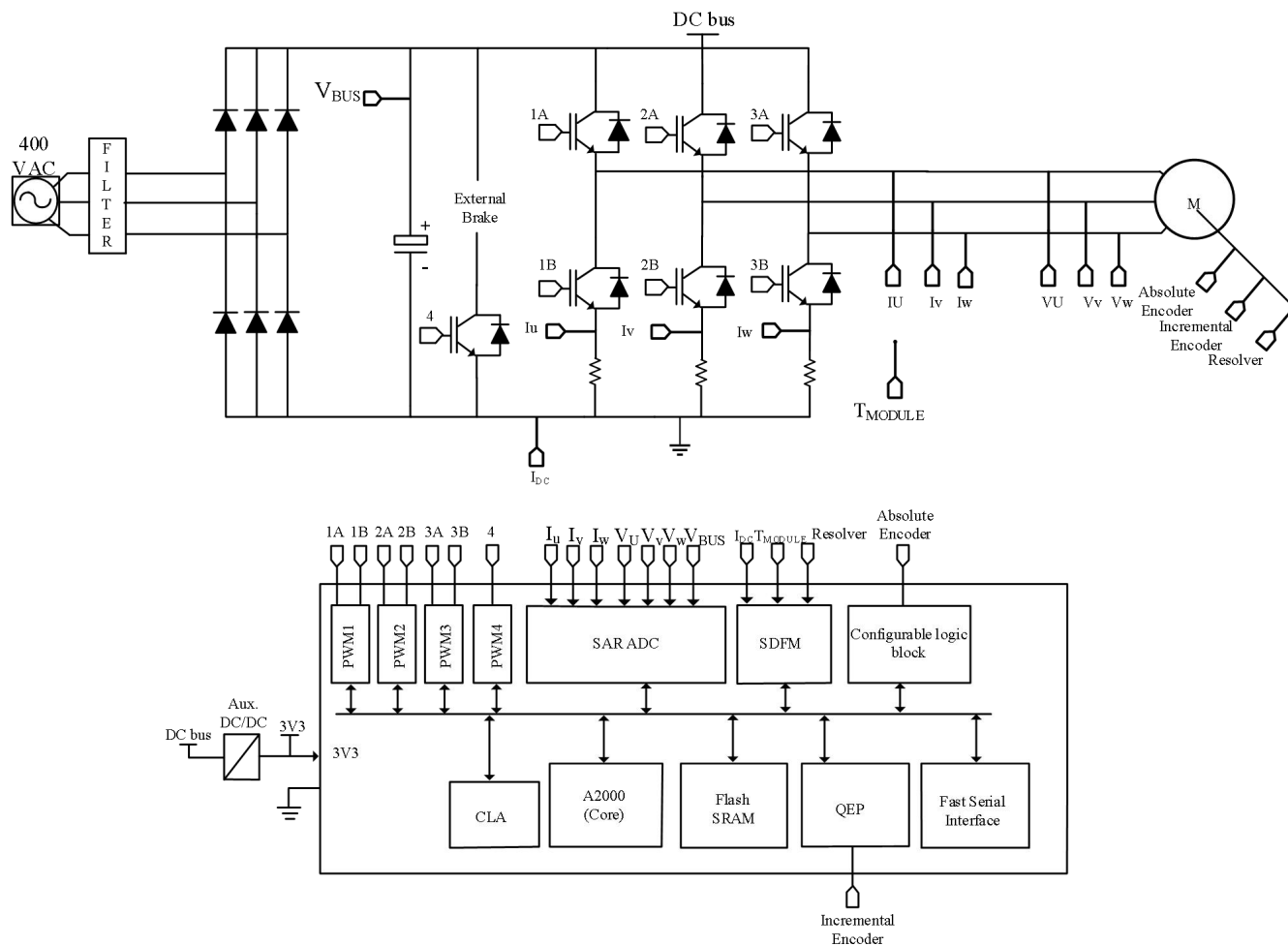


图 7-7 伺服驱动器控制模块

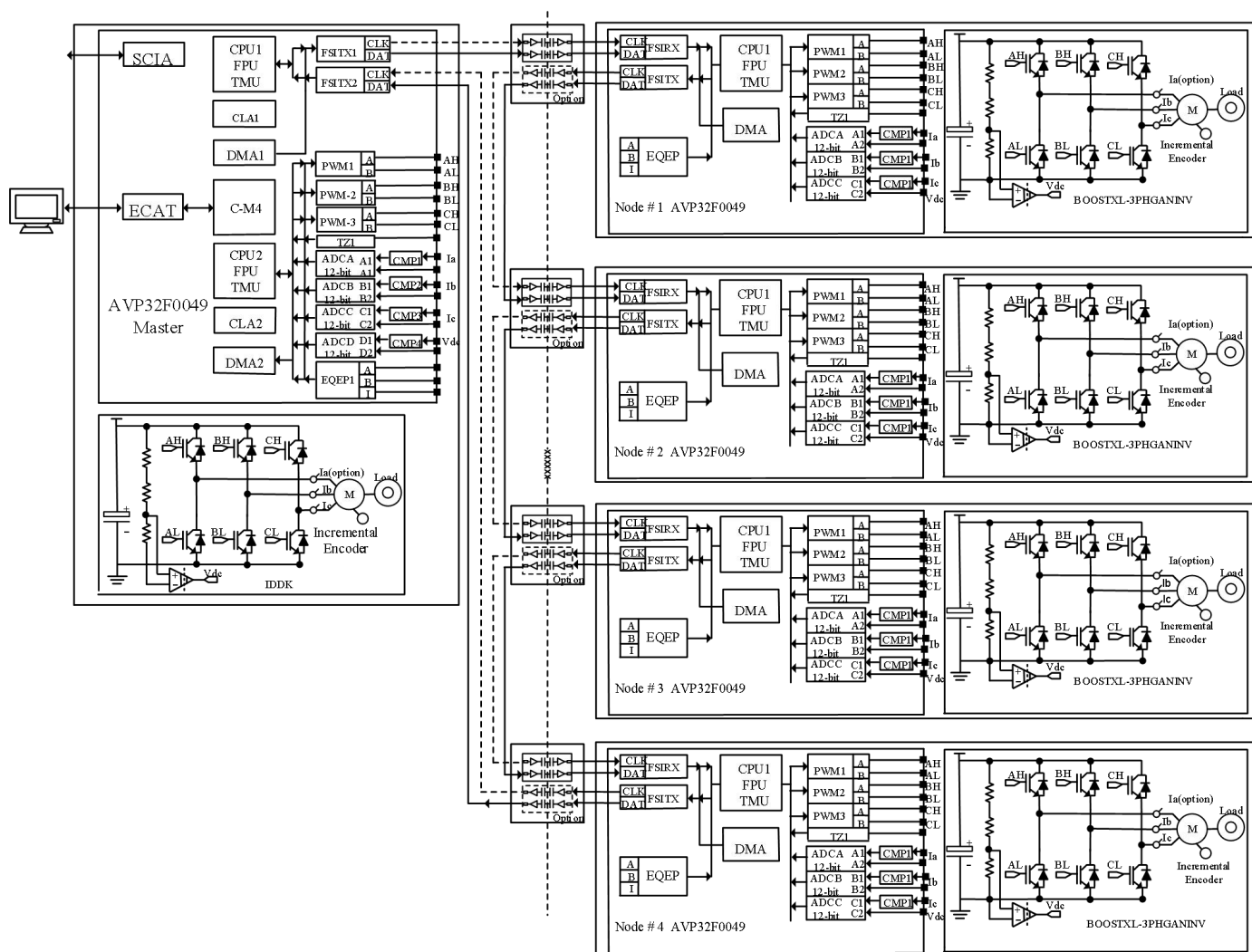


图 7-8 分布式多轴伺服驱动器

8 器件命名规则和文档支持

8.1 器件命名规则

AVP32F0049 产品代号编码规则:

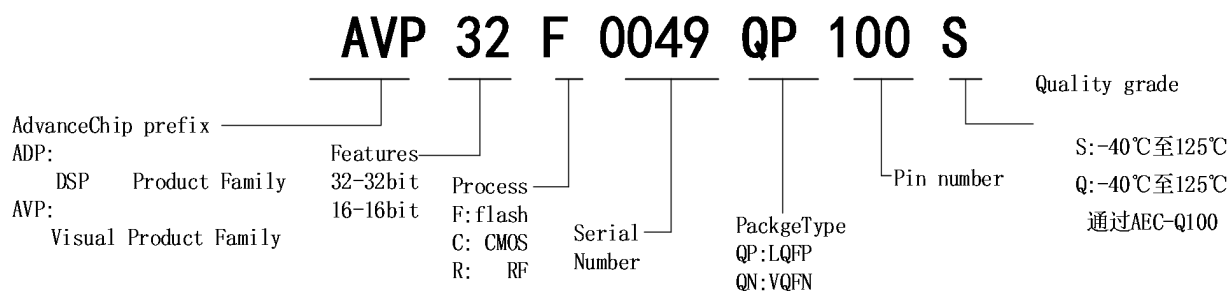
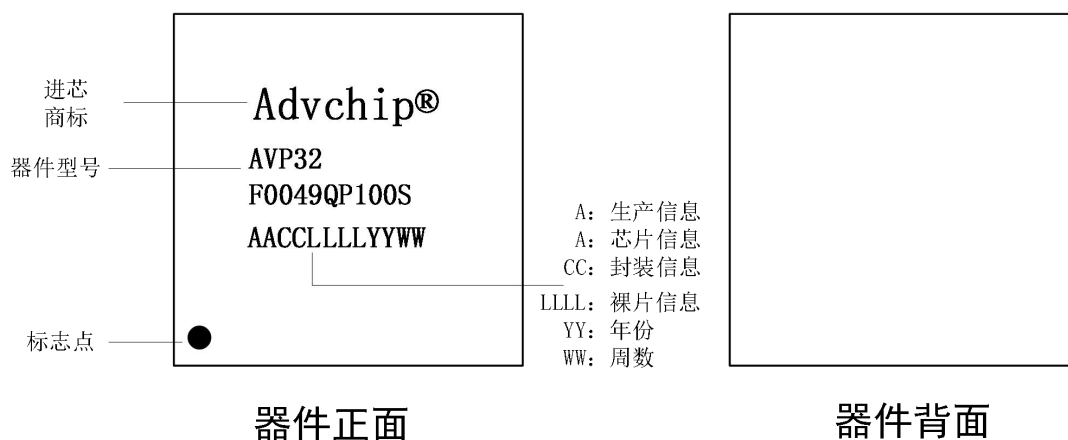


图 8-1 器件命名规则

器件标识:



8.2 文档支持

下面列出了介绍处理器、相关外设以及其他配套技术资料的最新文档。

勘误表

《AVP32F0049 器件勘误表》介绍了有关器件的已知勘误项，并提供了应对方法。

技术参考手册

《AVP32F0049 技术参考手册》详述了 AVP32F0049 微控制器中每个外设和子系统的集成、环境、功能说明和编程模型。

8.3 支持资源

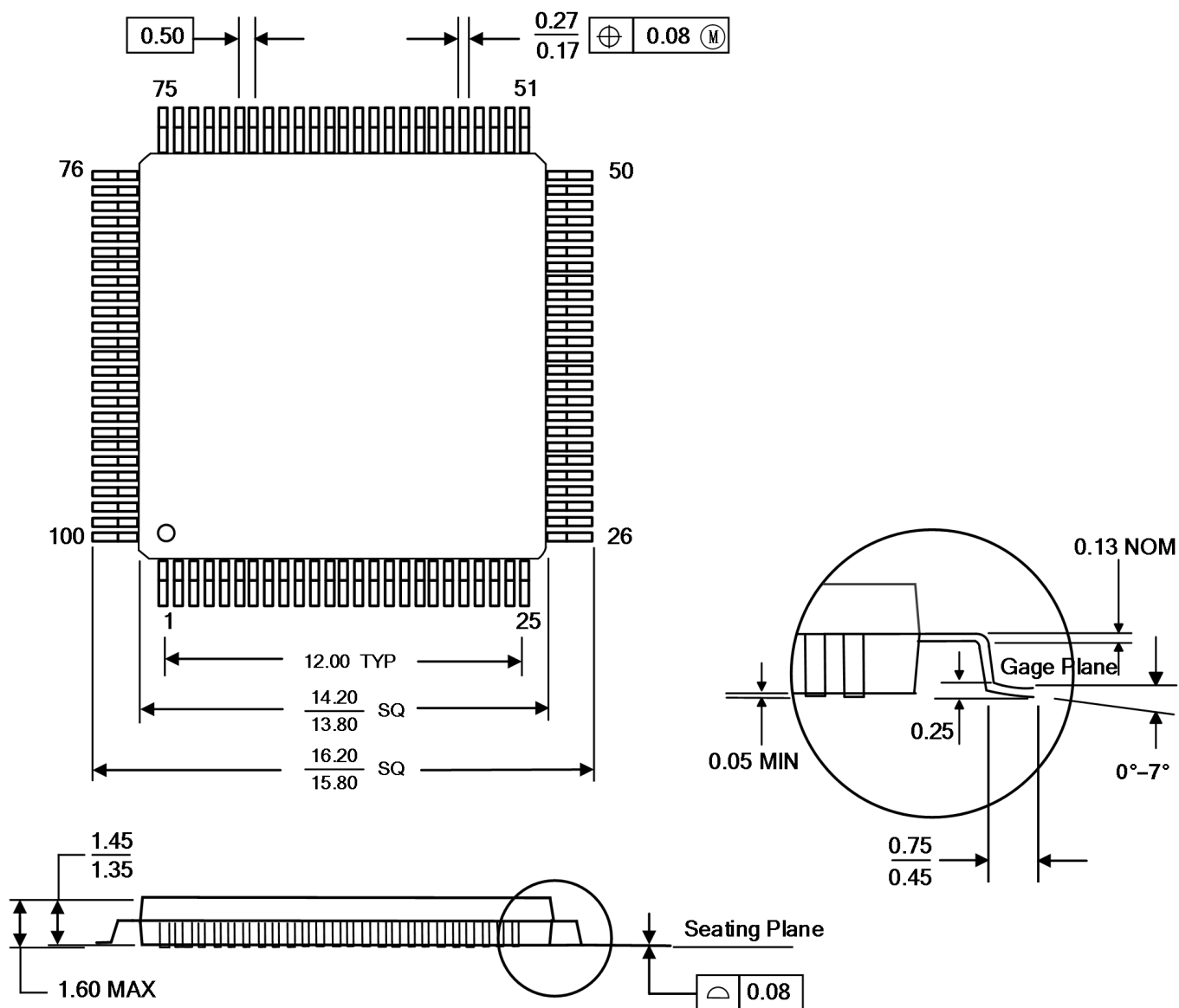
产品相关资源请访问湖南进芯电子科技有限公司官网 (<http://advancechip.com/>)。

9 封装和可订购信息

9.1 封装信息

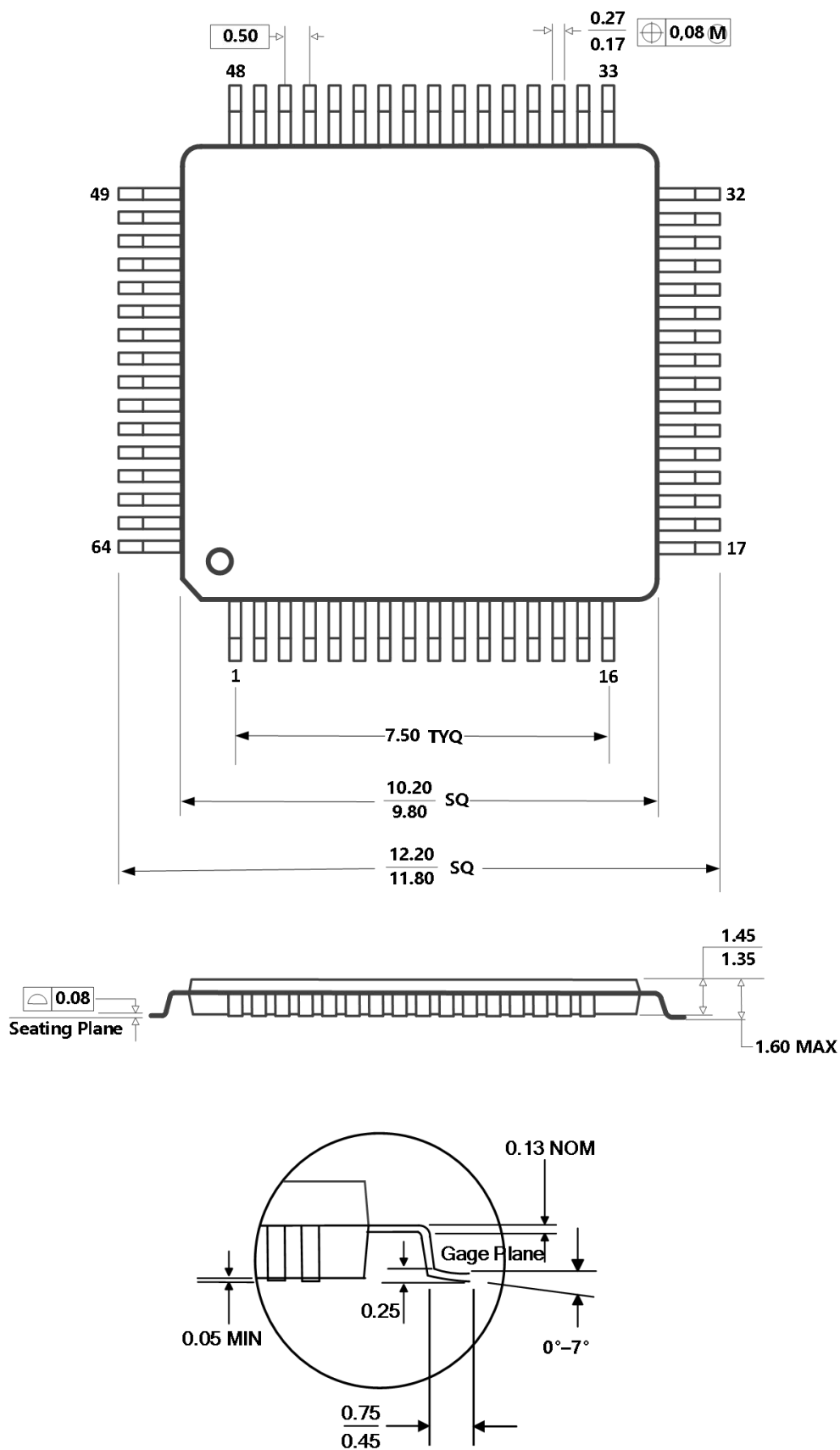
LQFP100

mm



LQFP64

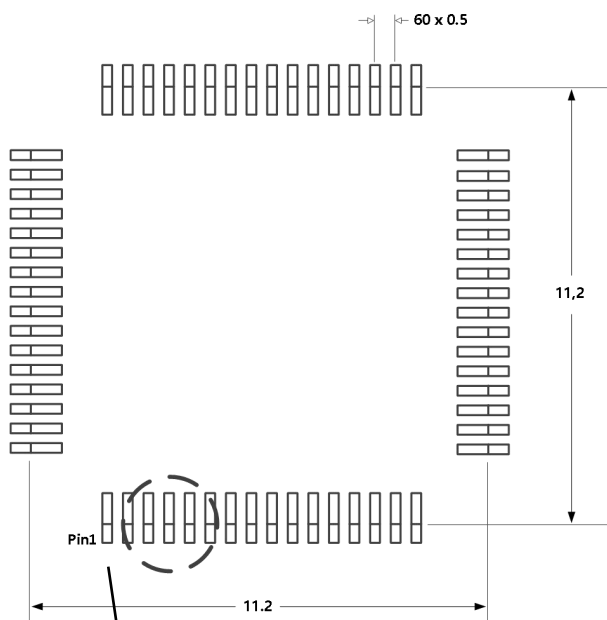
单位: mm



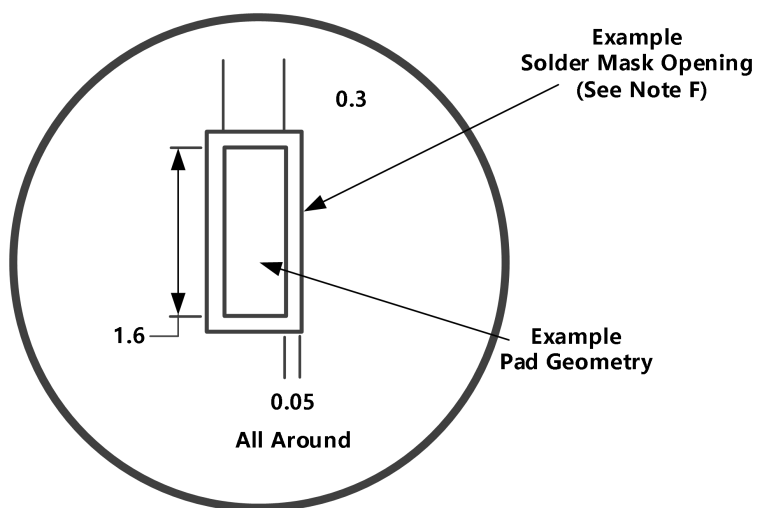
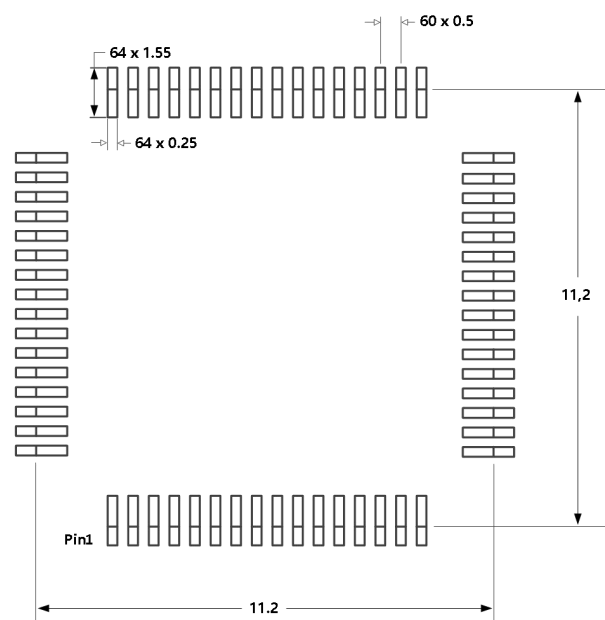
LQFP64

单位: mm

Example Board Layout

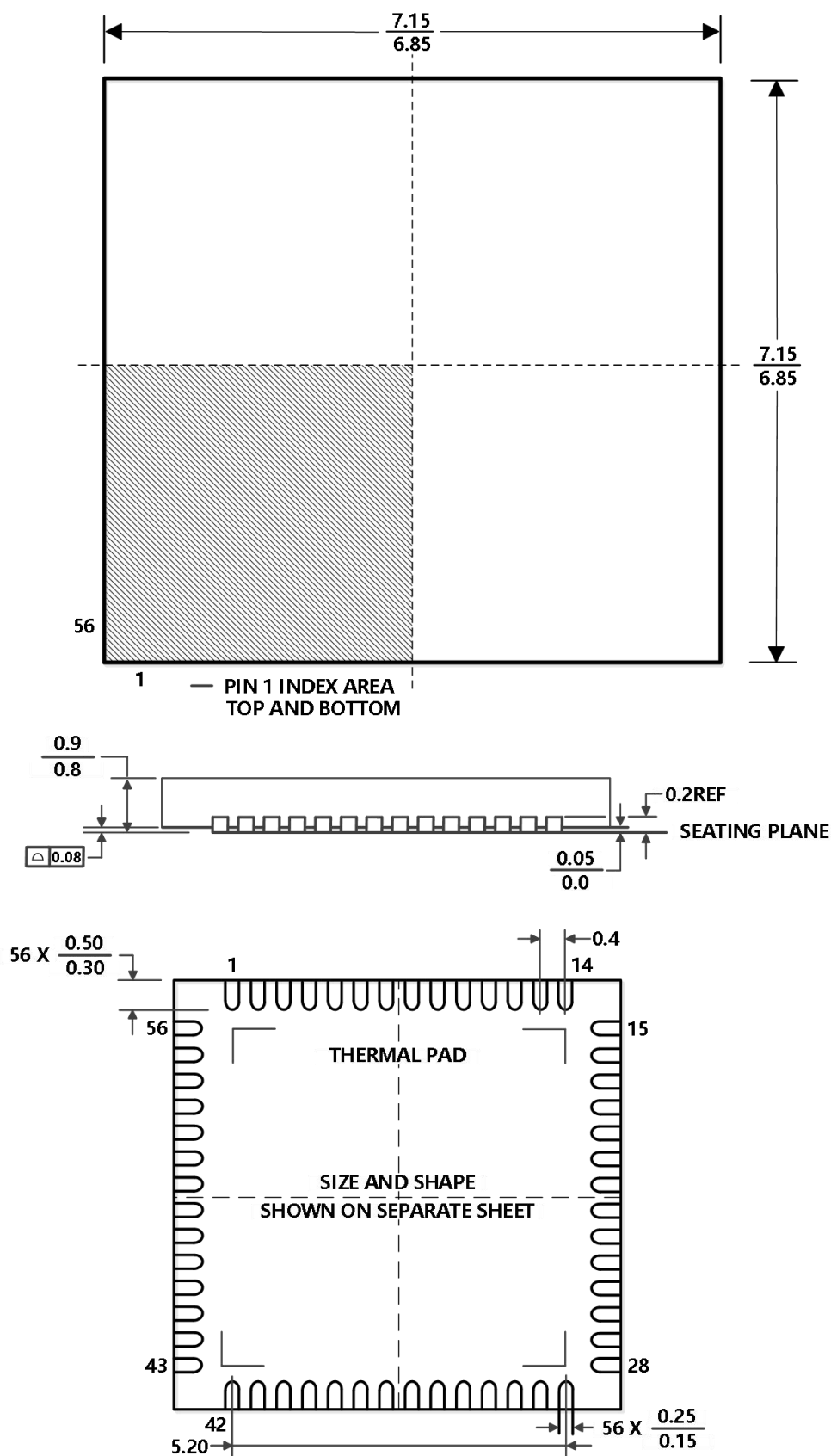


Stencil Openings
Based on a stencil thickness
of .127mm (.005inch).



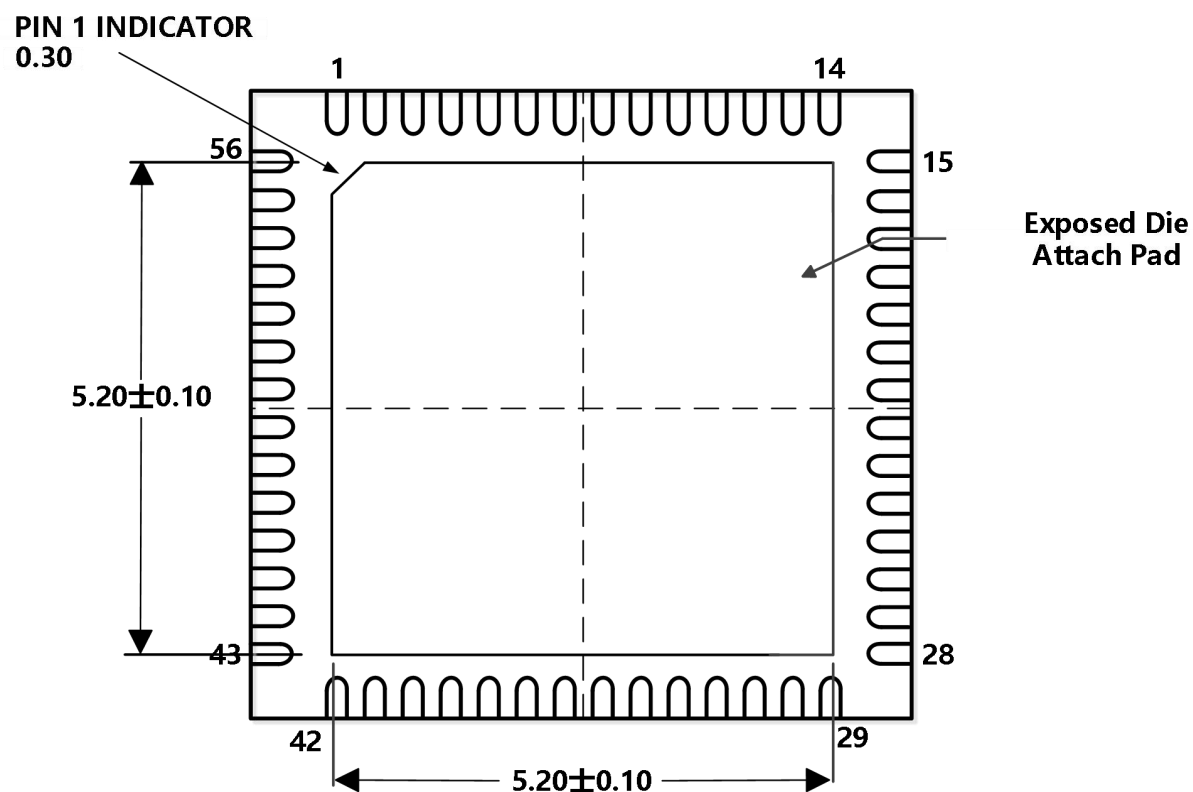
VQFN56

单位: mm



VQFN56

单位: mm



Bottom View

Exposed Die Attach Pad Dimensions

10 重要注意事项和声明

Advancechip 均以“原样”提供技术性 & 可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。所述资源可供专业开发人员应用 Advancechip 产品进行设计使用。您将对以下行为独自承担全部责任：（1）针对您的应用选择合适的 Advancechip 产品；（2）设计、验证并测试您的应用；（3）确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。进芯电子对您使用所述资源的授权仅限于开发资源所涉及 Advancechip 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它进芯电子或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，进芯电子对此概不负责，并且您须赔偿由此对进芯电子及其代表造成的损害。

联系方式

公司网址: www.advancechip.com

联系邮箱: sales@advancechip.com

销售联系电话: 0731-88731027 (长沙)

公司总部地址: 长沙市湘江新区东方红街道北斗产业园·黄金园 A5 栋

南京销售中心: 南京市秦淮区卡子门大街 19 号紫云智慧广场 6 号楼 15 层

